

非同期式回路における スキャン設計のフローの確立

衛藤 優[†] 山口 賢一^{††} 岩田 大志^{††}

† 奈良工業高等専門学校 システム創生工学専攻
情報システムコース

†† 奈良工業高等専門学校 情報工学科

1. はじめに

現在 LSI は同期式回路が主流だが、近年省電力かつ動作が高速な非同期式回路に置き換えが進んでいる。しかし、順序素子を含む回路のテストは困難である。そこで、テスト容易化手法としてスキャン設計が提案されている[1]が、非同期式回路では実証実験が行われていない。

本研究では、非同期式回路を作成し、スキャン設計を適用するために回路に内包した順序素子群をスキャンチェーンに置き換えるプログラムを作成する。そして、チップを製造し、実証実験を行うことで非同期式回路におけるスキャン設計のフローの確立を目的としている。

2. スキャン設計

スキャン設計とは、回路中の順序素子にスキャン制御機能を付与しスキャン素子化したものを接続しスキャンチェーンとした設計である。回路にスキャン設計を適用すると、順序素子が保持する値の観測と設定が可能となり、テストが容易になる。

3. 研究内容

本研究で用いる非同期式回路として非同期式 4bit 乗算回路を作成した。図 1 に非同期式 4bit 乗算回路のペトリネット図を示す。

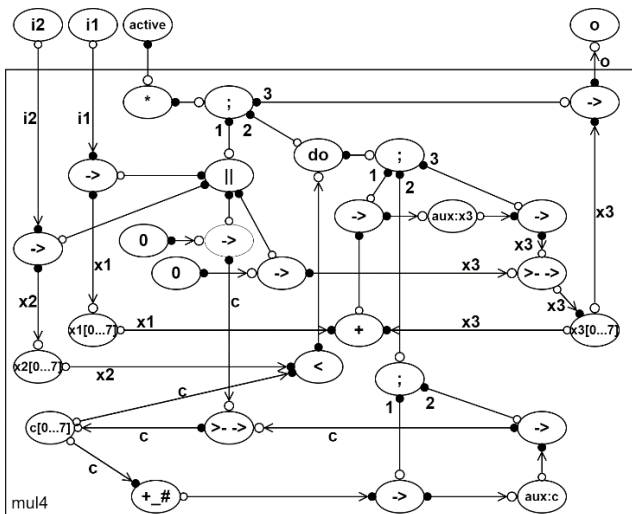


図1. 非同期式 4bit 乗算回路のペトリネット図

図 1 に示した回路の動作を説明する。active から信号が入力されると処理が開始される。まず、i1, i2 から入力された値を x1, x2 に格納し、x3, c を 0 に初期化する。次に c と x2 を比較して c が x2 未満であれば、x3 に x1, c に 1 を加算する動作を繰り返す。最後に x3 を o へ出力して処理が終了する。

次に順序素子群をスキャンチェーンに置き換えるプログラムを説明する。非同期式回路は組合せ回路部と状態・データを保持する順序回路部に大別される。つまり、図 1 のデータ・状態の転送及び保持を行う“->”, ”>-”, ”;”, ”aux:X”, ”X[byte]”がスキャン素子に置き換えることが可能な順序素子を含んでいると考えられる。

4. 進捗と今後の予定

図 2 に研究のフローを示す。

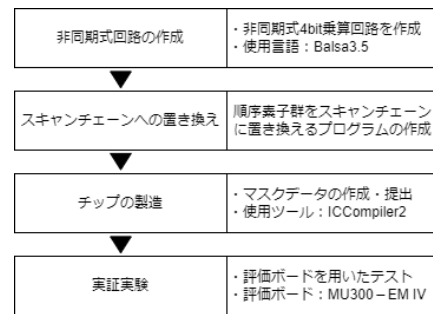


図 2. 研究のフロー

現在の進捗は、非同期式回路の作成が完了し、プログラムを作成するために Verilog ファイルの分析を開始した。今後の予定は、プログラムの作成し、チップの製造を行い、評価ボードで実証実験を行う予定である。

参考文献

[1] Miron Abramovic, Melvin A.Breuer, Arthur D.Friedman: "DIGITAL SYSTEMS TESTING AND TESTABLE DESIGN", IEEE Press, pp358-407, 1990.
[2] Kokoro Yamasaki, Ken'ichi Yamaguchi, Hiroshi Iwata: "An Implementation of Self-Testable Layout-Level Scan C-element," The 24th Workshop on Synthesis And System Integration of Mixed Information Technologies, To appear, Oct. 2022.

本研究（の一部は）、JSPS 科研費（JP21K11820）の助成を受けたものである。

本研究は東京大学大規模集積システム設計教育研究センターを通してシノプス株式会社の協力で行われたものである。