

チャージシェア型 SRAM を用いた ハミング距離検索機能付き CAM の回路構成と消費電力の一検討

澤田 桐弥[†] 西口 大嗣^{††} 伊藤 祥磨^{††} 福原 雅朗^{††}
[†] 東海大学情報通信学部 ^{††} 東海大学大学院情報通信学研究所

1. はじめに

ハミング距離検索機能付き CAM (Content Addressable Memory, H-CAM) は、莫大なデータの中から検索データに類似したデータを高速に検出するパターンマッチングに有用である反面、消費電力が大きいという課題を抱えている機能メモリである。本稿では、チャージシェア型 SRAM (CS-SRAM)^[1]を導入した低電力型 H-CAM を提案し、その消費電力を検討する。

2. H-CAM の構成と CS-SRAM の導入

2.1 H-CAM の回路構成と課題

図 1 にビット数 n , ワード数 m の H-CAM のブロック図を示す。H-CAM はビット数 n の検索データと m ワードの全記憶データを並列に照合し各ハミング距離 D_{Hi} ($i=1,2,\dots,m$) を求め、その D_{Hi} が類似の割合として予め設定される参照距離 D_R 以内である i ワード目の記憶データを効率的に読み出すことができる。メモリセルに 6T-SRAM を用いた H-CAM (6T-H-CAM) の場合、照合の際に全てのメモリセルが同時に駆動されるため消費電力が大きくなる。

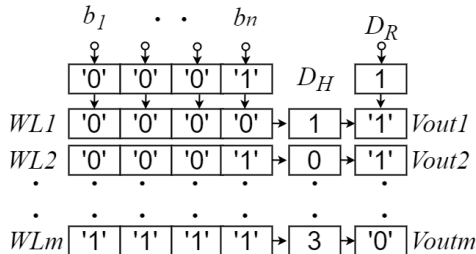


図 1 H-CAM のブロック図

2.2 CS-SRAM の特徴と H-CAM への適用

CS-SRAM (チャージシェア型 SRAM) は、広域ワード線 GWL により、局所ビット線対 LBL ($LBL0, LBLx0$ 等) に蓄えられた電荷を広域ビット線対 GBL ($GBL0, GBLx0$ 等) へシェアすることで LBL の振幅変化を抑制し低電力化を実現できる^[2]。

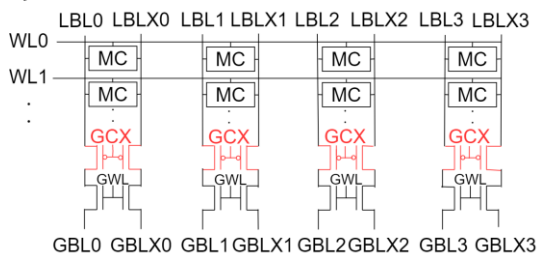


図 2 CS-SRAM の回路図

本研究では前節の課題を解決するため H-CAM のメモリセル部に CS-SRAM を導入する (CS-H-CAM)。この際、6T-H-CAM に GWL を加えただけでは正常に動作しなかったため、制御スイッチ GCX を付加している。

3. 消費電力

本研究では、 $n=4, 8, m=1$ の小規模構成で従来の 6T-H-CAM と提案 CS-H-CAM の消費電力を HSPICE シミュレーションにより検証した。電源電圧 1.8[V], ハミング距離 $D_H=1$, 参照距離 $D_R=1$ とし、書き込み動作、読み出し動作、照合動作の順に両 H-CAM を駆動した際の平均消費電力を求め、その結果を表 1 に示す。従来 6T-H-CAM では記憶データを読み出すビット線対が単独のものだったが、提案 CS-H-CAM では GBL と LBL で分けることでメモリセルに繋がっている LBL への電力負荷を抑えることで H-CAM 全体の消費電力削減に繋がったと考える。

表 1 平均消費電力

ビット数 n	平均消費電力 [μ W]		削減率 {=1-(CC/6T)}
	6T-H-CAM	CS-H-CAM	
4	37.3	20.1	46.2%
8	63.2	34.3	45.8%

4. まとめと今後の課題

本研究では、H-CAM のメモリセル部に CS-SRAM を適用した新しい回路構成を提案し、その消費電力を HSPICE シミュレーションで検証した結果、およそ半減することに成功した。今回の H-CAM は読み出し後にハミング距離の照合を実行する回路構成であったが、今後は効率的な照合動作が可能な回路構成について検討を深めるとともに、ワード数とビット数を増やした大規模 H-CAM を設計し提案回路の優位性を示していく。

謝辞

本研究は、東京大学大学院工学研究科附属システムデザイン研究センター (d.lab:旧 VDEC), 日本ケイデンス・デザイン・システムズ社, 日本シノプシス合同会社, メンター・グラフィックス・ジャパン株式会社の協力で行われたものである。また、本研究は JSPS 科研費 JP22K04223 の助成を受けたものである。

参考文献

- [1] 山岡他, “しきい値論理回路を用いたハミング距離検索機能を有する高速機能メモリ”, 信学技報, pp. 31-36, 2003
- [2] 宮野信治, “混載 DRAM および SRAM の高性能化に関する研究”, 東京大学工学系研究科電気系工学専攻博士論文, 2015