

スキャンC素子におけるトランジスタレベル解析

山崎 心[†]新谷 悠太[‡]岩田 大志[‡]山口 賢一[‡][†] 奈良工業高等専門学校 情報工学科[‡] 奈良工業高等専門学校 システム創成工学専攻

1 研究背景

近年、クロックスキューの問題を解決し、低消費電力な動作を実現できる非同期式回路を利用したVLSI設計が採用されている。非同期式回路はクロックによって回路動作を制御する同期式回路に比べて製造後の出荷テストが難しく、標準化されたテスト容易化手法が存在しない。文献 [1] では同期式回路で標準的に使われているスキャンテスト法を非同期式回路に適用するスキャンC素子が提案されている。スキャンC素子はC素子の値保持機能をスキャンパスのメモリとして利用する素子である。しかし、これまでに提案されているスキャンC素子内部のトランジスタのパラメータは全て同じで個々に最適化されておらず、低消費電流かつ遅延の少ないパラメータが定められていない。本稿では、文献 [2] で提案されているトランジスタレベル回路のスキャンC素子を実モデルを用いて設計し、パラメータの最適化を行うことで消費電流の減少及び遅延の抑制を図る。

2 スキャンC素子

順序回路におけるテスト容易化設計手法として、スキャン設計がある。順序回路に組込むスキャン設計は、回路に存在する順序素子の内部状態を自由に設定することができ、かつ順序素子に入力される応答を観測できる。任意の順序回路を外部から設定できるようにするため、回路内のループ間にスキャン素子を挿入することで、ループを切るよう設計する。非同期式順序回路の組合せループの多くは、種々の順序素子の内部にある。よって、順序素子にスキャン機能を付与してスキャン素子とすることにより、ほとんどの組合せループは切ることができる。

C素子とは、非同期式順序回路で用いられる記憶素子の1つである。C素子はクロックを用いず、表1の状態表に従って入力端子からの信号を得て内部状態を更新する。図1にC素子の論理記号を示す。C素子は、(A,B)が(0,0)である場合に値をリセット、(1,1)である場合に値をセット、それ以外の場合に前の値を保持する。

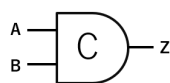


図1 C素子

表1 状態表

A	B	Z
0	0	0
0	1	Q
1	0	Q
1	1	1

3 実モデルを用いたトランジスタレベル解析

本稿ではHSPICE¹を利用して、ROHM0.18 μ mの実モデルを用いた実験をしている。本稿で提案するスキャンC素子のうち、C素子部分を実モデルを用いて設計しパラメータの最適化を行う。図2に提案するC素子のトランジスタレベルの回路図を示す。図2のC素子はセット・リセット部に用いる素子のファンアウト能力を、リセット時の誤操作を防ぐためにループ部に用いる素子より大きくする必要がある。

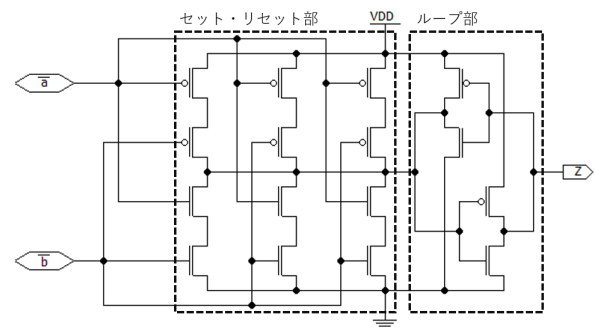


図2 提案するC素子

4 実験結果

図2のC素子と、実モデルで設計したスキャン制御部を組み込んだスキャンC素子の動作確認を行った。また動作確認を行ったスキャンC素子のスキャン制御部では全て同じパラメータを用いている。

今後の方針として、図2のC素子で利用した素子同士のファンアウト能力の最適化が挙げられる。文献 [2] で提案されているトランジスタ数を削減した回路、及び通常動作の遅延を抑制した回路をスキャン制御部のマルチプレクサに用いることで、低消費電力化及び遅延の抑制を図る。

参考文献

- [1] Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara: "Bipartite Full Scan Design: A DFT Method for Asynchronous Circuits", Proc. of ATS'10, pp.206-211, Dec.(2010)
- [2] Yuta Shintani, Ken'ichi Yamaguchi, and Hiroshi Iwata, "An Implementation of Functional Speed Oriented Transistor-Level Scan C-element", Proc. of WRTL'21, TS3-2, pp.1-5, Nov.(2020).

¹本研究は、東京大学VDEC活動を通して、シノプシス株式会社の協力で行われたものである。