

共通経路を削減するテスト容易化高位合成

細見 吏[†]岩田 大志[‡]山口 賢一[‡][†] 奈良工業高等専門学校 システム創成工学専攻[‡] 奈良工業高等専門学校 情報工学科

1 まえがき

LSIを製造すると、一定の割合で本来の働きをしない不良のLSIが混入する可能性がある。不良品が市場に出荷されるのを防ぐために、様々なLSIのテスト手法が提案されている。現在では面積増加を抑え、設計変更が容易なスキャン設計が一般的なテスト手法として用いられている。しかし、近年ではLSIの集積密度の向上により、テスト手法の見直しが図られている。佐藤ら[1]は、データパスを対象としたテスト容易化機能的時間展開モデルを用いることで、高位合成におけるテスト容易化設計手法を提案した。本稿ではRTL回路に対して新たな可検査性を定義する。その後、定義した可検査性を満たす高位合成アルゴリズムを提案する。

2 高位合成

高位合成では、動作記述を元に、RTL回路を設計する。高位合成のフローチャートを図1に示す。データフローグラフはデータと演算の関係を示すグラフである。スケジューリングでは、データフローグラフから回路の処理能力、面積等を考慮して同時に利用できる演算数を決定する。バインディングでは、スケジューリング済みデータフローグラフの演算変数に対して、演算器やレジスタを割り当てる。これらの処理を元にRTL回路が生成される。特にスケジューリング、バインディングの方法によって設計されるRTL回路が変化する。

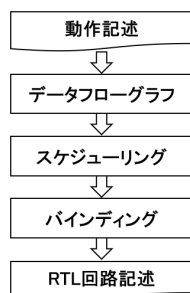


図1 高位合成フロー

3 提案手法

本稿では、RTL回路に対して新たな可検査性を定義する。問題の定式化のために、面積増加やテスト時間の最適化など、様々な最適化目標を考慮した定義が必要である。新たな可検査性は、演算器やレジスタを共有しないことで、共通部分を持つ経路を減らすねらいがある。共通部分を持つ経路および共通部分を持たない経路のデータパス図を図2に示す。共通部分を持つ経路を減らすこ

とにより、テストのための経路探索や、テストパターンの生成が容易になる。定義した可検査性を満たすRTL回路生成のため、高位合成アルゴリズムを提案する。従来の高位合成は、マルチプレクサやレジスタ、演算器などの利用可能なリソースに制約を設けることで、面積増加を抑えているが、共通部分を持つ経路が増加する。提案手法では、共通部分を持つ経路を減らすために、リソースを無制限に利用可能とした高位合成を行う。

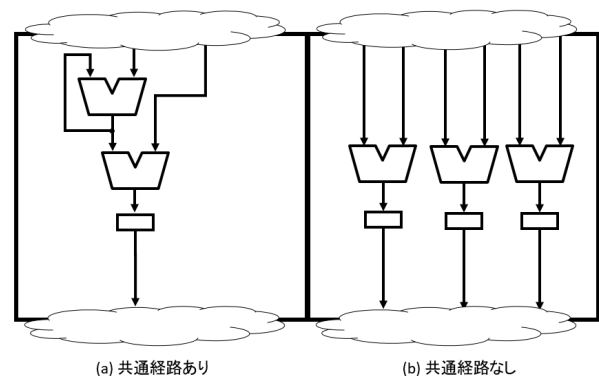


図2 データパス図

4 実験方法

既存のRTL回路と提案手法にて設計されたRTL回路の性能を比較する。RTLベンチマーク回路であるLWF, Paulin, Tsengの3つのRTL回路に対して、動作記述まで逆高位合成を行う。その後提案手法にて、再度高位合成を行う。回路の処理能力(スループット)は、スケジューリングにて決定した状態数に依存する。既存のRTL回路から状態数を増加させて回路を設計した際、面積増加を抑えられるが、回路の処理能力が低下する。そのため、既存のRTL回路と比較した際に、状態数が増加しないように回路を設計する。

5 今後の予定

共通経路を削減するテスト容易化高位合成のために、新たな可検査性を定式化する。可検査性を定式化した後、同様に定義した可検査性を満たす高位合成アルゴリズムを定式化する。その後、故障検出率、テスト生成時間等の評価軸でアルゴリズムを評価する。

参考文献

- [1] 佐藤護ら, “テスト容易化機能的時間展開モデル生成のためのバインディング法,” 日本大学生産工学部第49回学術機構講演会講演概要 (2016).