

FG キャリブレーション回路を付加したニューロン CMOS インバータ型 ハミング距離検出回路の複数サイクル時間の検討

藏野 貴教[†] 山田 海貴^{††} 恩地 夏央[†] 大塚 陸^{††} 福原 雅朗^{††}

[†] 東海大学大学院情報通信学研究科

^{††} 東海大学情報通信学部組込みソフトウェア工学科

1. はじめに

我々は、ニューロン CMOS インバータ(以下 vCMOS)を活用した様々なハミング距離検出回路の研究をしてきた[1][2]。文献[1]中のハミング距離検出回路は、FG キャリブレーション回路を付与して、初期電荷の影響で動作が不安定になる問題を解消した。本論文では、提案回路で行われていない複数サイクル時間の検討を HSPICE シミュレーションにより測定し、文献[2]中のハミング距離検出回路(以下従来回路)との比較検討を行う。

2. 複数回サイクルの検討

提案回路を図1に示す。提案回路は、同じビット数 $n=8$ である 2 つのデータ、DATA-A($a_1, a_2, a_3, \dots, a_8$)と DATA-B($b_1, b_2, b_3, \dots, b_8$)のハミング距離検出 D_{HS} と、設定した参照信号 $REF_j(j=1, 2, \dots, 7)$ から算出される参照距離 D_{HR} をもつ。 D_{HS} が D_{HR} 以内であれば出力電圧 $V(OUT)$ に V_{DD} 、 D_{HR} より大きければ 0[V] が出力される回路である。従来回路も同様のハミング距離検出の方式である。今回、8 サイクルの検出動作を行う。本論文では、 D_{HS} と D_{HR} を比較する動作を 1 サイクルと呼ぶ。従来回路では、1 サイクルの検出動作ごとにアナログコンパレータのキャリブレーション(リセット)動作が必要となるのに対し、提案回路は、キャリブレーション動作後に、 D_{HS} と D_{HR} の変更以外で vCMOS のフローティングゲート電圧 $V(G_F)$ は変動しないため、最初にキャリブレーション動作を行えば連続して検出動作を行うことができる。

3. シミュレーション結果

Rohm0.18 μ m プロセスルールを用いて HSPICE シミュレーションを行った。図2は、提案回路の検出動作を 8

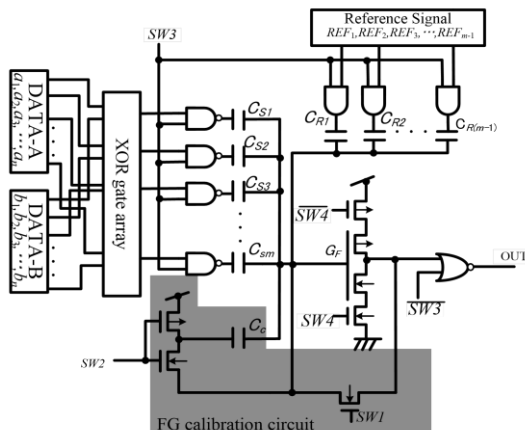


図1. 提案回路

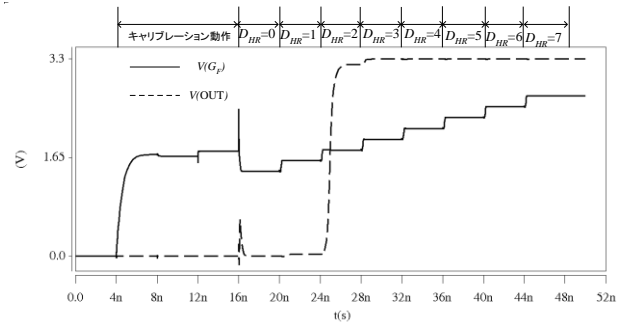


図2. $V(G_F)$ 及び、 $V(OUT)$ の波形($D_{HS}=2$)

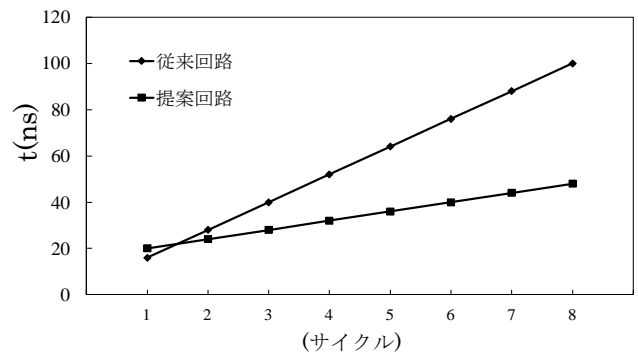


図3. ハミング距離検出に要する時間

サイクル行ったときの $V(G_F)$ 及びそれに対応する $V(OUT)$ の波形を示している。図3には、従来回路と、提案回路のそれぞれの回路で 8 サイクルまでの検出時間を示している。ここから、複数サイクル検出を行う場合、1 サイクル目では、従来回路の方が検出時間は短くなるが、2 サイクル目以降は提案回路の方が検出時間は短いことが確認できる。

4. 謝辞

本研究は東京大学大規模集積システム設計教育センターを通じシノプシス株式会社、日本ケイデンス株式会社及びビローム株式会社の協力で行われたものである。

参考文献

[1] Takanori Kurano, et.al, "Voltage Characteristics of a Hamming Distance Search Circuit in Voltage Domain Using Clocked Neuron CMOS Inverter" ICIC Express Letters, Vol.3 No 3, 2019(掲載決定済)

[2] 福原雅朗 他, 対称型 NOR アーキテクチャを用いたハミング距離検出機能付き CAROM の提案, 東海大学紀要情報通信学部, Vol.10, No.1, pp.1-8, 2017