

3次元 NAND 型フラッシュメモリにおけるデータ保持エラー評価

前田 京佑[†] 溝口 恭史^{††} 竹内 健^{†, ††}
[†] 中央大学理工学部電気電子情報通信工学科
^{††} 中央大学大学院理工学研究科電気電子情報通信工学専攻

1. はじめに

近年、PC やスマートフォン、データセンター用 SSD など幅広く用いられている NAND 型フラッシュメモリは、メモリセルの微細化や多値化[1]により大容量化が進んでいる。しかし、従来の NAND 型フラッシュメモリではメモリセルの微細化が限界を迎えている。そこで、図 1 に示すようにメモリセルを 3 次元に積層した 3 次元 NAND 型フラッシュメモリの開発が進んでいる[2]。

NAND 型フラッシュメモリには書き換え回数とデータ保持時間にトレードオフの関係があり、データを長時間保存するためには書き換え回数が制限される。本研究では、多値化により 1 つのメモリセルに 3 ビットのデータを保存することが出来る 3 次元 Triple Level Cell (TLC) NAND 型フラッシュメモリにおいて、書き換え回数などの条件を変化させた際のデータ保持特性を評価する。

2. TLC NAND 型フラッシュメモリ

NAND 型フラッシュメモリは、メモリセルに電子を蓄えることでデータを保存する。図 2 に TLC NAND 型フラッシュメモリのしきい値電圧(V_{TH})分布を示す。3 次元 NAND 型フラッシュメモリでは電荷捕獲層内の電子量を制御することによりしきい値電圧を変化させてデータを記憶する。TLC NAND 型フラッシュメモリの場合、3 ビットのデータを保存するため、8 種類のしきい値電圧状態を表現できる。しかし、TLC ではしきい値電圧分布間の読み出しマージンが狭くなってしまったため、信頼性は悪化する。

3. データ保持における信頼性の問題

図 3 に 3 次元 NAND 型フラッシュメモリのデータ保持における信頼性の問題を示す。3 次元 NAND 型フラッシュメモリには、電子が上下の隣接メモリセルへと移動する特有の問題がある。これを Lateral charge migration と呼ぶ[3]。Lateral charge migration はワード線間の電界が高いほど影響が大きくなり、信頼性が悪化する。また、3 次元 NAND 型フラッシュメモリでは積層方向にメモリセルを微細化して積層数を増加させることで大容量化するため、Lateral charge migration により信頼性がさらに悪化する。また、従来の NAND 型フラッシュメモリで発生するデトラップも 3 次元 NAND 型フラッシュメモリの信頼性の問題である。NAND 型フラッシュメモリは、書き込みや消去を繰り返すことでトンネル酸化膜内に電子を捕獲するトラップが生成される。デトラップとは、トラップに捕獲された電子がチャンネル方向へ抜ける現象であり、これにより信頼性が悪化する。また、電

荷捕獲方式 3 次元 NAND 型フラッシュメモリでは、電荷捕獲層からチャンネルに抜ける現象もデトラップと呼ぶ。電荷捕獲層とチャンネル間の電界が高いほどデトラップが多く発生するため、信頼性は悪化する。本研究では、Lateral charge migration とデトラップによる影響を評価するために、隣接メモリセルや対象のメモリセルのしきい値電圧状態のパターン毎にデータ保持特性を評価した。

謝辞

本研究の一部は、JST、CREST の支援(Grant 番号 JPMJCR1532)を受けたものである。

参考文献

- [1] M. Bauer, *et al.*, in *IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers*, pp.132-133, Feb. 1995.
- [2] H. Tanaka, *et al.*, in *IEEE Symp. VLSI Tech. Dig. Tech. Papers*, pp. 14-15, Jun. 2007.
- [3] A. Maconi *et al.*, *Solid-State Electronics*, vol. 74, p.64-70, Aug. 2012.

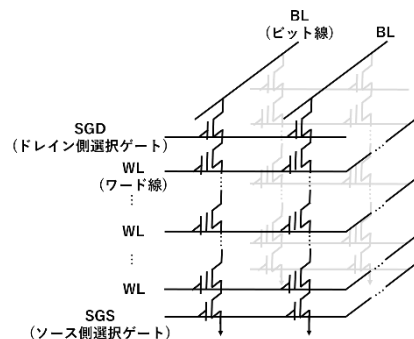


図 1 3次元 NAND 型フラッシュメモリのメモリセルアレイ

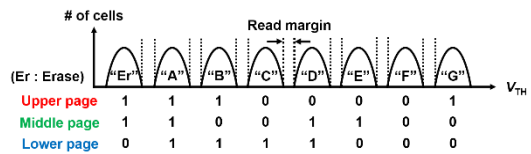


図 2 TLC NAND 型フラッシュメモリのしきい値電圧分布

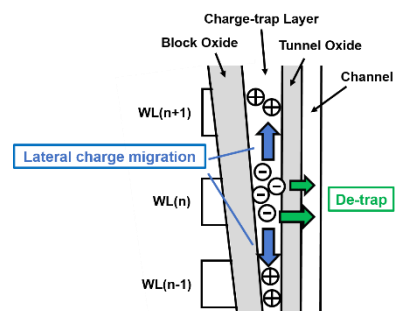


図 3 データ保持における信頼性の問題