

半導体設計の教育支援を目的とする高位合成 CAD

西本 悠一郎[†] 灰谷 亮[†] 吉川 祐樹[†]
[†] 呉工業高等専門学校 専攻科 プロジェクトデザイン工学専攻

1. はじめに

我々の生活を支えるデジタルシステムは多機能・高性能化し、コアとなる半導体集積回路(ハードウェア)は大規模・複雑化している。それに伴いハードウェア設計は、C 言語や C++言語などのソフトウェアで動作アルゴリズムを設計し、高位合成によってその機能を実現する RTL 回路に変換する C 言語ベースハードウェア設計が主流になっており、高位合成ツールは実用化されている。高位合成ツールは、回路の最適化目標(面積、速度、消費電力など)や制約を与えることで、入力動作記述に対して異なる複数のハードウェアを設計することができ、設計者は目標に応じた回路を得ることができる。ただし、CAD ベンダーが提供する市販のツールは、効率的な解をユーザーに提供することが重要であり、一般には処理途中の内部状態をユーザーに見せることは必ずしも目的ではない。

これに対し我々は、ハードウェア設計技術者の育成や教育機関での学習を目的とした高位合成 CAD の研究を行う。我々が提案する高位合成 CAD は、高位合成の処理を理解するためにデータフローグラフを入力とし、スケジュールやバインディングなど高位合成の各工程の状態をユーザーに示す。

2. 高位合成

高位合成は動作アルゴリズムを RTL 回路に変換する処理のことを指す。動作アルゴリズムが記述されたものを動作記述といい、演算の順序をグラフで表したデータフローグラフ(DFG)で表現する。その後、演算の実行時刻を決定するスケジューリング、各演算がどの演算器に、各内部変数がどのレジスタに割り当てられるかを決定するバインディングが実行される。最後に、演算器やレジスタ間の結線を行い RTL 回路が生成される。

3. 教育支援を目的とする CAD の概要

市販の高位合成 CAD に「Vivado HLS」^[1]がある。この CAD は C 言語ベースの動作記述から最適化目標を入力し、合成を実行すると RTL 回路記述が生成される。この CAD を操作し、高位合成の学習において3つの点が必要だと考えた。

1. 演算の順序を示す DFG を表示
2. スケジューリング結果を SDFG で表示
3. 演算器とレジスタの割当処理を可視化

そこで我々は高位合成の各工程を表示する CAD を

開発した。現時点で、演算順序を表す DFG, SDFG によるスケジューリング結果の表示、レジスタの割当状態の表示ができています。

また、最適化目標によって出力される RTL 回路は変化するため、高位合成を学習する上では、出力される回路の評価が必要であると考えます。そのために回路の結果の違いをユーザーに伝える必要がある。その手段として、スケジューリングやバインディングの工程では自らの操作で演算の実行時刻を動かしたり、割当の一部を変えたりする。そして、回路の結果の違いを示すために図1のように前回の高位合成の結果を同時に表示する。これを繰り返し行うことで高位合成の理解を深めていく。

上記から高位合成において教育支援に必要な要素は以下の通りにまとめる。

1. 高位合成の各工程の表示
2. 最適化目標及びスケジューリング・バインディングアルゴリズムの違いによる合成結果の比較

我々はこの2つの要素を持った CAD を開発していく。

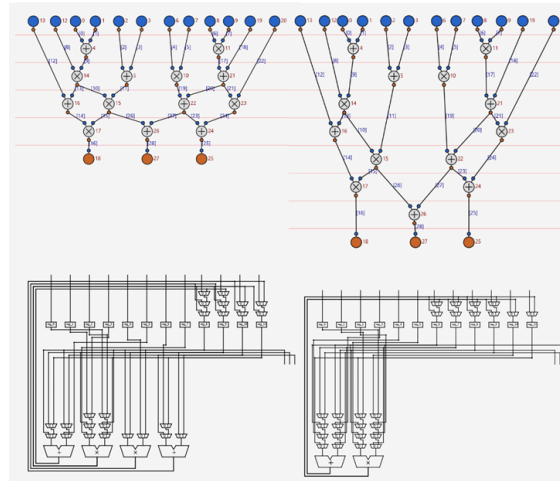


図1. 合成結果の比較(左:前回 右:今回)

4. まとめ

更に開発を進めていき、扱いやすく教育支援に適した CAD を目指す。

参考文献

- [1] Xilinx 「Vivado HLS (高位合成)」, <https://japan.xilinx.com/products/design-tools/vivado/integration/esl-design.html> (参照 2019-1-30).