

オンチップキャパシタ

図 1 にキャパシタの構造を示す。導体の導電率は全て $2.5 \times 10^7 \text{ S/m}$ である。図 2 に実験に使用したチップ写真を示す。図 3 に S パラメータの実測値を示す。結果はディエンベディング処理を行い、図 1 のポートに参照面を変換している。ポートのマイクロストリップ線路の特性インピーダンスは約 50Ω である。

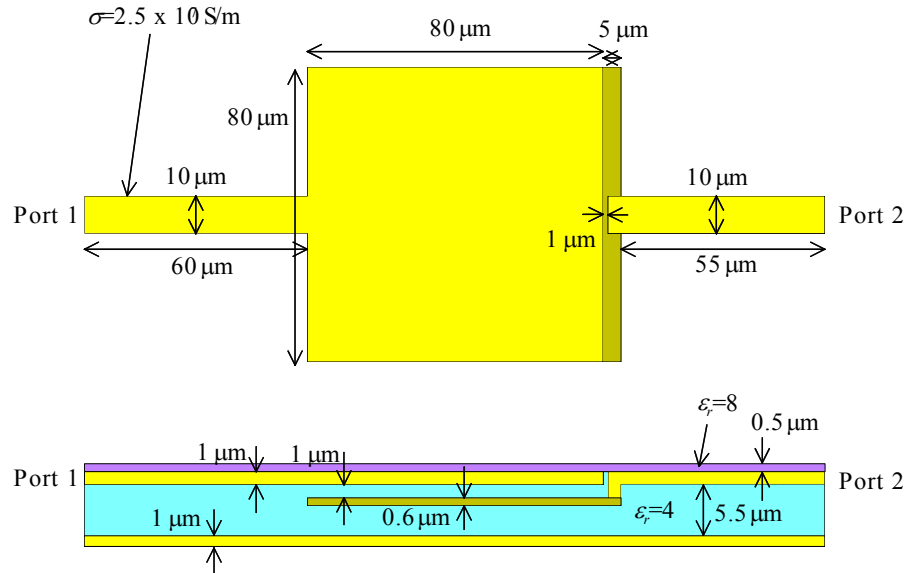


図 1 キャパシタの構造

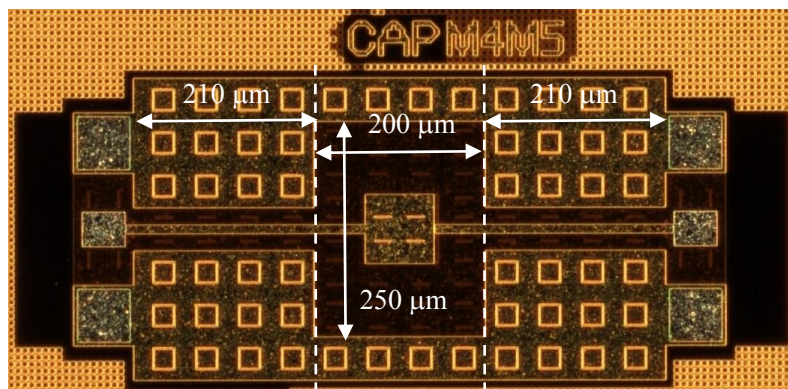
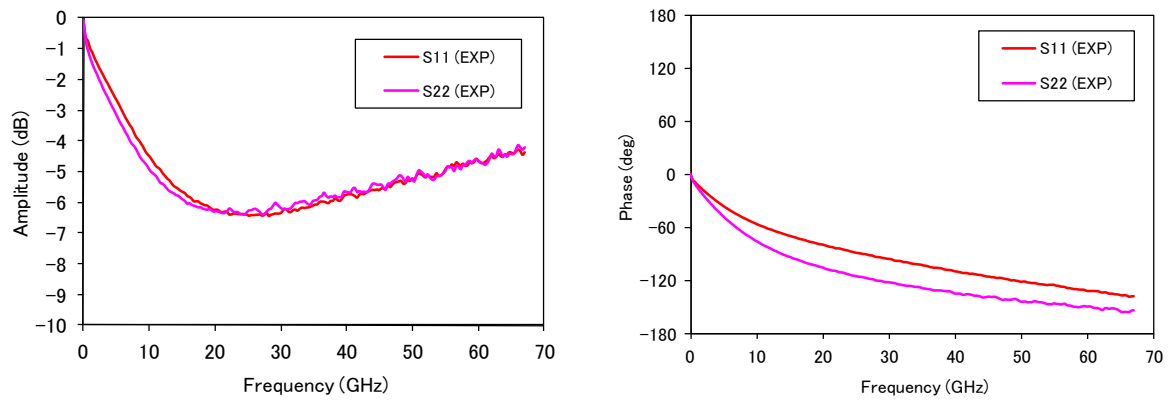
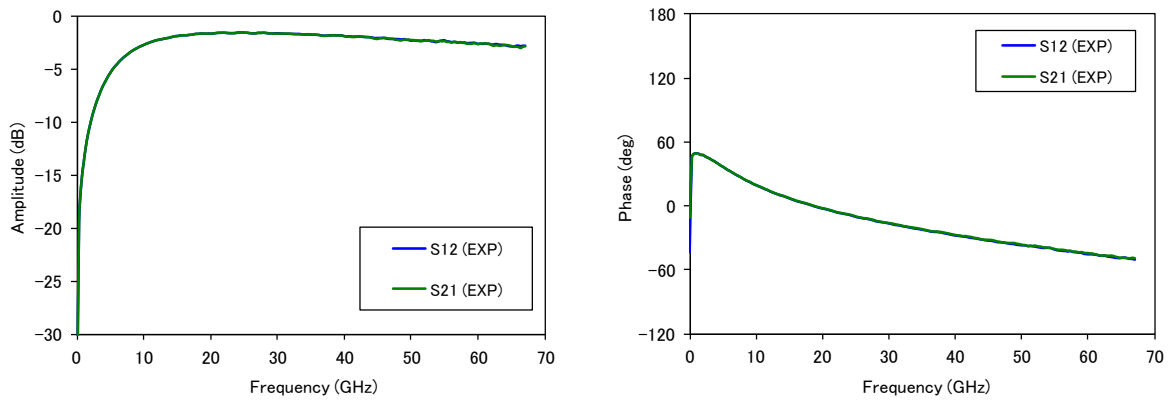


図 2 キャパシタのチップ写真



(a) S_{11} and S_{22}



(b) S_{12} and S_{21}

図 3 キャパシタの S パラメータ(ディエンベディング後, ポートの定義は図 1 参照)

参考文献

- [1] T. Hirano, K. Okada, J. Hirokawa, and M. Ando, “Accuracy Investigation of De-embedding Techniques Based on Electromagnetic Simulation for On-wafer RF Measurements,” Numerical Simulation - From Theory to Industry, InTech Open Access Book, ISBN: 978-953-51-0749-1, September 19, 2012.
Available:
<http://www.intechopen.com/books/numerical-simulation-from-theory-to-industry/accuracy-investigation-of-d-e-embedding-techniques-based-on-electromagnetic-simulation-for-on-wafer-r>
- [2] Y. Ono, T. Hirano, K. Okada, J. Hirokawa, and M. Ando, “Eigenmode Analysis of Propagation Constant for a Microstrip Line with Dummy Fills on a Si CMOS Substrate,” IEICE Trans. Electron., Vol.E94-C No.6, pp.1008-1015, June 2011.