

## 2 本腕バンディット問題を解く 0.18 $\mu\text{m}$ CMOS 集積回路の設計

Design of a 0.18- $\mu\text{m}$  CMOS Analog integrated Circuit Solving the Two-Armed Bandit Problem

中條 洋資<sup>†</sup> 和田 和千<sup>†</sup> 関根 かをり<sup>†</sup> 原 紳介<sup>††</sup> 笠松 章史<sup>††</sup> 成瀬 誠<sup>†††</sup>

Yosuke NAKAJO<sup>†</sup> Kazuyuki WADA<sup>†</sup> Kawori SEKINE<sup>†</sup> Shinsuke HARA<sup>††</sup> Akifumi KASAMATSU<sup>††</sup> Makoto NARUSE<sup>†††</sup>

<sup>†</sup> 明治大学 <sup>††</sup> 情報通信研究機構 <sup>†††</sup> 東京大学

<sup>†</sup> Meiji University <sup>††</sup> National Institute of Information and Communications Technology <sup>†††</sup> The University of Tokyo

### 1. はじめに

機械学習分野の問題の1つに、バンディット問題がある。バンディット問題の研究には、光レーザーカオス信号を用いて速く学習できることを示唆する成果がある[1]。一方、文献[2]において、この問題を解くアナログ回路を個別電子部品で実現し、システムクロック 6 MHz で動作していた。段階的に高速な回路設計をするために、本稿では 1 GHz の動作に向けて標準 CMOS を用いて集積化することとし、比較器、選択回路、履歴積算回路の設計を行った。

### 2. 回路設計

**2.1 学習回路** 図 1 に学習回路を示す。図1の $V_A, V_B$ は2つのスロットマシン A, B の 2 値出力電圧であり、選択回路の出力 $V_{CHG}$ ,  $V_{DISCHG}$ は履歴積算回路(AHS)を通して電圧保持用容量 $C_{HS}$ の電圧 $V_{th}$ を充放電する。A を選択し $V_A = High$ の場合と B を選択し $V_B = Low$ の場合は選択回路で $V_{PULSE}$ がHighの時間だけ、 $C_{HS}$ から電荷を一定量放電させて $V_{th}$ を下げる。その他の場合は充電して $V_{th}$ を上げる。その後 $V_{th}$ と揺らぎ信号 $V_{CS}$ を比較し、 $V_S$ のタイミングで 2 値信号 $V_{Select}$ が出力される。 $V_{Select}$ がHighであった場合は A を、Lowなら B を選択する。 $V_S$ と $V_{PULSE}$ は、システム全体のクロック信号 $V_{CLK}$ をパルス発生器で 4 分周して生成させる。

**2.2 構成回路** 使用プロセスを ROHM 0.18 $\mu\text{m}$  CMOS とした。図 2(a)に示すように比較器として正帰還を用いて微小入力電圧差をデジタル値で出力できるダイナミック型コンパレータ[3]を設計した。図 2(b)に示すように選択回路は論理回路で構成した[2]。図 2(c)の履歴積算回路はチャージポンプ回路と同様であり、抵抗 $R_{ref}$ で電流を調整することで充放電の電圧を調整することができる。

### 3. シミュレーション結果

回路シミュレータ Spectre を用いて、学習回路全体で正常に動作するかを確認した。図 3 に各信号のシミュレーション結果を示す。シミュレーション結果より、動作周波数 $V_{CLK}=1$  GHz で所望の動作が見込まれる。図 4 に、集積回路の試作のために行ったレイアウトを示す。

### 4. まとめ

標準 CMOS を用いて 2 本腕バンディット問題を解くアナログ回路の集積回路設計を行った。システムクロック 1 GHz での動作をシミュレーション上で確認でき、集積回路を試作した。今後はこれを実装し、様々な条件のもとで動作を観測し、より微細なプロセスを使用する上での問題点を見出す予定である。

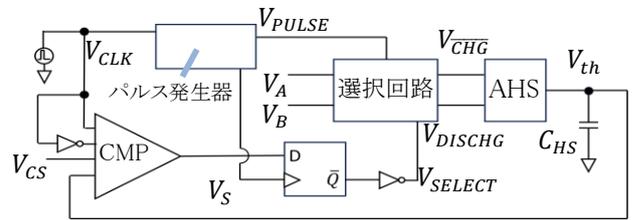


図1 学習回路の回路図

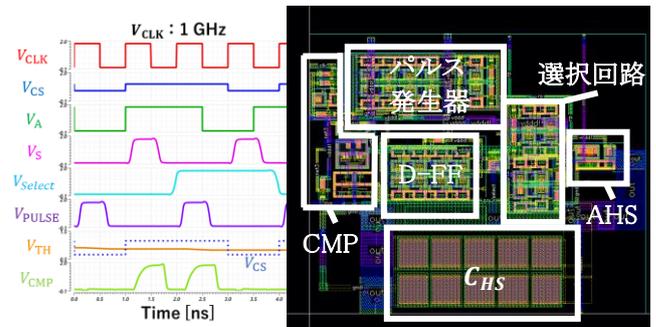
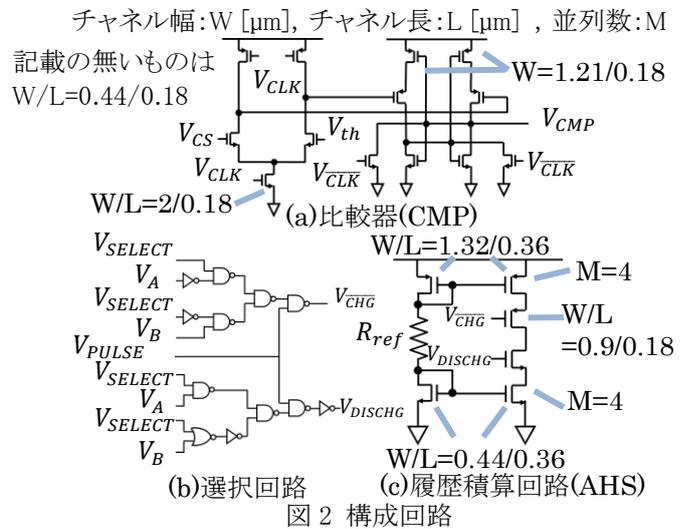


図3 シミュレーション結果 図4 学習回路のレイアウト図

### 謝辞

本チップ試作は東京大学 VDEC 活動を通し ローム(株)および凸版印刷(株)の協力で行われたものである。

### 参考文献

- [1] M. Naruse, et. al, "Ultrafast photonic reinforcement learning based on laser chaos," Scientific Reports, Springer Nature, vol. 7, no. 8772, 2017
- [2] 和田和千ほか, 「2 本腕バンディット問題を解くアナログ回路の検証」, 電学電子回路研資, ECT-022-054, (2022-9)
- [3] 和保孝夫, 「アナログ/デジタル変換入門-原理と回路実装-」, コロナ社, 2019