

分散型積和演算法によるテイラー展開演算回路の省面積化

Efficient Hardware Architecture for
Taylor-series Expansion Calculation Using Distributed Arithmetic

ヘムタビー サイバンディット† 小林 春夫† 田中 勇樹†

Xaybandith HEMTHAVY† Haruo KOBAYASHI† Yuki TANAKA†

† 群馬大学大学院理工学府電子情報・数理教育プログラム

† Graduate school of science and technology, Gunma University

1. はじめに

集積回路技術の発展により、電子計算機から身の回りの携帯機器まで多くの場面でデジタル浮動小数点演算が普及している。これに伴い、回路の高速・高精度・小規模回路・低消費電力であることが求められる。

本研究ではアナログの表現によく使われるテイラー展開式を計算する回路の省面積化を、分散型積和演算法を用いて設計、検証した[1]。

2. 分散型積和演算法

分散型積和演算法(Distributed Arithmetic 法、以降 DA 法)について以下の式(1)をモデルに説明する。このとき、 $1 \leq x < 2$ とする。

$$f(x) = 1 + \frac{1}{1!}x + \frac{1}{2!}x^2 + \frac{1}{3!}x^3 + \frac{1}{4!}x^4 + \frac{1}{5!}x^5 \quad (1)$$

2-1. x のべき乗の分解

x のべき乗を計算し、式(2)のように表記する。

$$\begin{pmatrix} x^0 \\ x^1 \\ x^2 \\ x^3 \\ x^4 \\ x^5 \end{pmatrix} = \begin{pmatrix} x_k^0 & \dots & x_1^0 & x_0^0 & x_{-1}^0 & x_{-2}^0 & \dots & x_l^0 \\ x_k^1 & \dots & x_1^1 & x_0^1 & x_{-1}^1 & x_{-2}^1 & \dots & x_l^1 \\ x_k^2 & \dots & x_1^2 & x_0^2 & x_{-1}^2 & x_{-2}^2 & \dots & x_l^2 \\ x_k^3 & \dots & x_1^3 & x_0^3 & x_{-1}^3 & x_{-2}^3 & \dots & x_l^3 \\ x_k^4 & \dots & x_1^4 & x_0^4 & x_{-1}^4 & x_{-2}^4 & \dots & x_l^4 \\ x_k^5 & \dots & x_1^5 & x_0^5 & x_{-1}^5 & x_{-2}^5 & \dots & x_l^5 \end{pmatrix} \quad (2)$$

このとき、 $x^0 \sim x^5$ の i 桁目をアドレスとするような LUT を作成する。LUT の値は、式(1)において x_i^n の値が1である部分の係数を加算したものとする。例えば、 $(x_i^0 x_i^1 x_i^2 x_i^3 x_i^4 x_i^5)^T = (011001)^T$ のとき $LUT(x_i^0 x_i^1 x_i^2 x_i^3 x_i^4 x_i^5) = \frac{1}{1!} + \frac{1}{2!} + \frac{1}{5!}$ となる。

2-2. アドレスごとに係数の和を加算

2-1 で作成した LUT をもとに、 $f(x)$ を式(3)を用いて計算する。

$$\sum_{i=1}^k LUT(x_i^0 x_i^1 x_i^2 x_i^3 x_i^4 x_i^5) \times 2^i \quad (3)$$

このとき、 2^i はビットシフトで表現できるので、 x のべき乗以外は全て加算の繰り返しのみで計算できる。

3. 回路設計

図1のブロック図のように回路を設計した。小数部7ビット

ト入力で単精度浮動小数点32ビット出力である。 x^n 乗算器で x どうしの乗算を繰り返し行い、5乗までの結果をアドレスレジスタに格納する(2-1)。列をアドレスとしてLUTで探索し、係数の和を逐次加算する(2-2)。最後に小数点の位置補正を行い、結果を出力する。

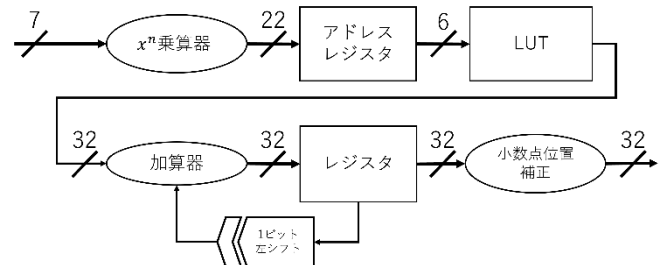


図1: DA法回路のブロック図

4. 評価

回路評価には Synopsys 社製 Design Compiler と、0.18 μ m CMOS テクノロジライブラリを使用した。それぞれの回路を表1に示す。乗算器の使用面積が減ったことで面積が縮小することを確認した。

表1: 評価

	面積 [μm^2]	1クロック [ns]	必要クロック ク[CLK]
通常演算法	94478.33	30.18	8
DA法	52583.73	27.38	30

5. まとめ

今回設計した回路はDA法を用いることにより、係数と x のべき乗部との乗算を削減し、全て加算に置き換える回路である。これによって面積の削減に成功した。

謝辞: 本研究は、東京大学VDEC活動を通して、日本シノプシス合同会社の協力で行われたものである。

参考文献

[1] J. Wei, A. Kuwana, H. Kobayashi, K. Kubo, "IEEE754 Binary32 Floating-Point Logarithmic Algorithms based on Taylor-Series Expansion with Mantissa Region Conversion and Division", IEICE Trans. Fundamentals, Vol.E105-A, No.7, pp. 1020-1027, July 2022.