

高速信号波形整形のための時間領域判定帰還型等化技術の検討

Time-based decision feedback equalizers for high-speed data transmission

千装 尊仁

弓仲 康史

Takahito Chigira

Yasushi Yuminaka

群馬大学大学院 理工学府

Graduate School of Science and Technology, Gunma University

1. 背景

近年、大規模集積回路の微細化により信号伝送速度の高速化が可能となっているが、高速化に伴い、伝送路の帯域制限に起因する伝送波形劣化が深刻となっている。劣化波形の符号間干渉を受信側で除去する手法として、判定帰還型等化回路(DFE)技術が広く用いられている。しかしながら、信号振幅の低下に伴い、DFE の振幅領域での信号処理が困難になるという問題が生じている。これに対し、振幅情報を時間情報に変換した時間領域 DFE に基づく波形整形技術が近年提案されている[1]。本研究では、提案されている 4 相動作を単相動作に簡略化した回路構成を検討し、シミュレーション評価により時間領域波形整形技術の有効性を明らかにする。

2. 時間領域判定帰還型等化回路の動作の検討

時間領域判定帰還型等化器は図 1 のように、振幅時間変換器、判定帰還回路、時間比較器の 3 つの回路ブロックから構成される。まず、受信した差動信号の振幅値に応じた時間幅のパルス信号へ変換する振幅時間変換器 (Voltage to time converter) を用いて信号を変換する。例えば“010”と信号が遷移する場合、図のように正側 CP にパルス幅が大きい信号、負側 NP にパルス幅が小さい信号が生成される。この信号と出力部の時間比較器から出力された信号を判定帰還回路にフィードバックし、パルス幅の変調を行う。判定帰還回路は図 2 のように時間比較器出力 FN,FP のパルス幅に応じてインバータ2段の遅延時間を変更し、時間遅延を実現する。例えば、図 2 において CP=1, FN=1 の場合、トランジスタ Tr1, Tr2 が ON となり、電流が変化することで遅延時間も変化する(図 2 のシミュレーション波形)。その結果、OP, ON のパルスの立ち上がりの時間差が小さくなる。時間差が等しくなった信号を時間比較器に入力することで、時間差情報が振幅情報に変換され、波形等化された信号が得られる。以上の動作により、時間領域判定帰還等化が実現される

3. 時間領域判定帰還等化器の比較と考察

比較評価のために、従来用いられている振幅領域の判定等化技術との比較を行った。アイ開口を1ビットの UI (Unit interval) を用いて定量的な比較を行った。図 3 のグラフのように通常の DFE ではビットレートが高速になるにつれてジッタの影響が大きくなりアイ開口が小さくなっているのに対して時間軸 DFE のアイ開口はほぼ一定になっていることがわかる。以上の比較により、時間領域の判定帰還等化器は低振幅の受信波形の等化におけるアイ開口の改善に有効であるといえる。

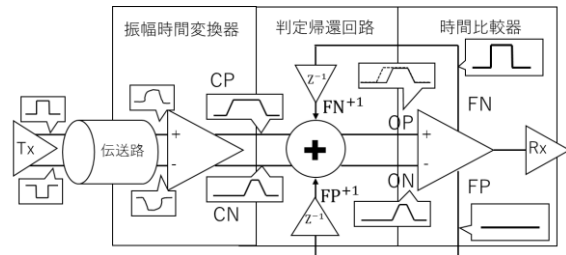


図 1: 時間領域判定帰還等化のブロック図

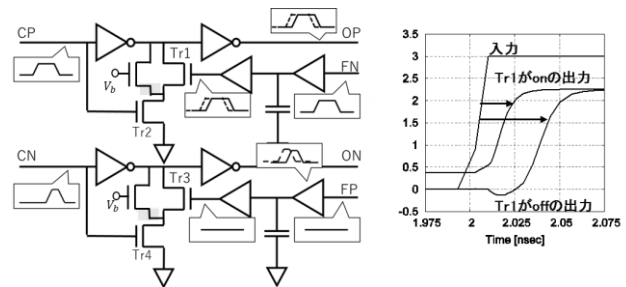


図 2: 判定帰還回路と判定帰還時の信号

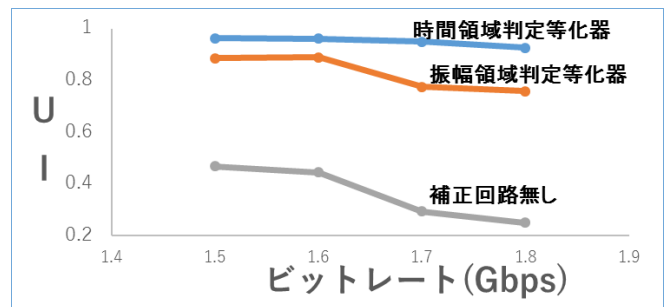


図 3: データ伝送速度とアイ開口の関係の比較

4. まとめおよび今後の課題

時間領域判定帰還型等化器を用いた波形等化の動作検証と評価を行った。特に、従来用いられている振幅領域の判定帰還等化器と比較することにより、低振幅動作に有効であることを明らかにした。今後は、より高次の DFE の実現の考察と遅延時間の調整精度に関する定量的評価を行う予定である。

参考文献

[1] Yi I.-M. et al., "A Time-Based Receiver with 2-Tap Decision Feedback Equalizer for Single-Ended Mobile DRAM Interface," IEEE Journal of Solid-State Circuits, Vol. 53, pp. 144-154, 2018.