

FPGA を用いた符号誤り検出器の同期引き込み回路の検討

C-12 Study on synchronization circuits for bit error detectors

飯村 樹¹⁾ 湯浅 智哉²⁾ 大川 典男¹⁾
 Tatuki Imura Tomoya Yuasa Norio Ohkawa

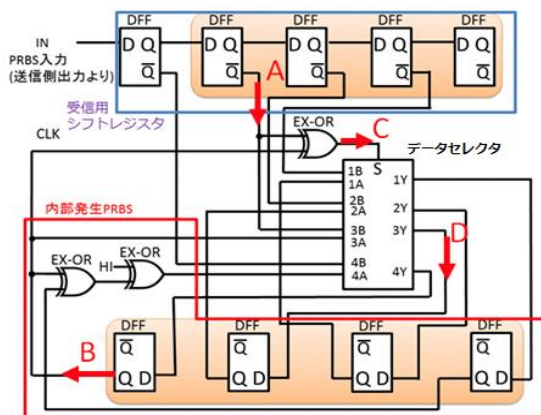
¹⁾東京都立産業技術高等専門学校
 Tokyo Metropolitan College of Industrial Technology
²⁾株式会社ソルコム
 SOLCOM Co.,Ltd.

1. まえがき

波長多重やマルチコアファイバにおける空間多重などの光通信の多重化の進展により、多数の通信用送受信回路を含む伝送システムの効率的な検査が要望されている。検査システムは、送信側に設置される疑似ランダム (PRBS) 発生器、受信側に設置される符号誤り検出器で構成される。FPGA を用いた PRBS 発生回路についてはすでに検討を実施している[1]。符号誤り検出器では、送信側に設置される PRBS 発生回路と同じ疑似ランダム信号系列を発生させ、送信側から伝送されてきた疑似ランダム信号系列と同期させる同期引き込み回路が必要である。最終的に検査システムを IC 化して伝送システムに組み込むための基礎検討として、今回、FPGA を用いて、符号誤り検出器の主要部である同期引き込み回路の構成を検討し、回路シミュレーションにより動作確認を行った。

2. 回路構成

今回考案した同期引き込み回路の構成を図 1 に示す。送信側(IN)より送られてきた 4 段の PRBS 信号を受信する受信用シフトレジスタでは、4+1 個の数を用意して受信を行う。この値と内部で発生させた PRBS 信号を EX-OR 回路で比較し、もし双方の値が不一致である場合はデータセレクタを用いて、送信側からの PRBS 信号の符号誤りは十分小さいという前提に基



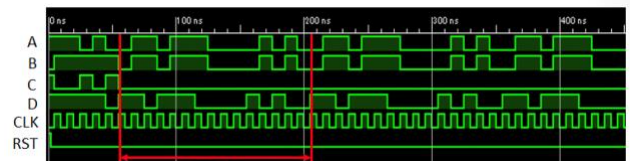
A点:受信PRBS信号
 B点:受信側内部発生PRBS信号
 C点:受信PRBS信号と内部発生PRBS信号の比較
 D点:受信/内部発生PRBS信号をセレクト

図 1. 検討した同期引き込み回路の構成

づきより、内部発生 PRBS のシフトレジスタに次のクロックのタイミングで送信側からの PRBS 信号を取り込むことにより、内部発生 PRBS 信号と送信側 PRBS を同期させる。

3. 結果と考察

FPGA 設計用の回路シミュレーションにより求めた動作結果を図 2 に示す。同期引き込み回路動作により受信 PRBS 信号(A 点)の出力波形と内部発生 PRBS 信号(B 点)の出力波形が 6 クロック目から一致していることが EX-OR での比較(C 点)より確認できる。またデータセレクタの出力波形(D 点)が設計上 1 クロックずれて出力されていることにより送信側 PRBS 信号の内部発生 PRBS の読み込みが行われていることが確認できる。これらの結果より同期引き込み回路が設計通りに動作していることが確認できた。



↑ 1周期
 同期引き込み完了
 A点:受信PRBS信号
 B点:内部発生PRBS信号
 C点:受信PRBS信号と内部発生PRBS信号の比較
 D点:受信/内部発生PRBS信号をセレクト

図 2. 同期引き込み回路のシミュレーション結果

4. まとめ

符号誤り検出回路の主要部である同期引き込み回路において、FPGA に適用可能な回路構成を検討し、回路シミュレーションにより、同期引き込み機能が設計通りに動作していることを確認した。今回は、電源立ち上げ時の初期引き込み動作の検討である。ビットエラーの測定中に同期が外れた場合の再同期引き込み動作の機能については、今後の検討課題である。

参考文献

[1] 大竹貴裕, 小金優作, 大川典男, “CMOS デバイスを用いた PRBS 生成回路の多重化による高速化の基礎検討検討”, 電子情報通信学会東京支部学生会研究発表会 C-12, 講演番号 106, 2016