

A-1 冗長性を持った逐次比較型 A/D 変換器の研究

A study of Successive Approximation Register Analog to Digital Converter with redundancy

青木 勇樹 稲垣 雄志 井岡 恵理 松谷 康之
 Yuki AOKI Yuji INAGAKI Eri IOKA Yasuyuki MATSUYA
 青山学院大学 理工学部

College of science and engineering Aoyama Gakuin University

1.はじめに 逐次比較型 A/D 変換器は高い変換精度と低電力動作を同時に実現できる。しかし、回路内の素子誤差により変換精度が劣化する。本研究では、2 分探索法に冗長性[1]を導入し、従来の分解能と回路規模を維持しつつ高精度化を実現することを目的とする。

2.冗長化回路と原理 逐次比較型 A/D 変換器は図 1 に示したように、サンプルホールド回路、コンパレータ、逐次比較レジスタ(SAR)、DAC で構成される。まず、ホールドされた入力アナログ電圧と SAR・DAC で生成された電圧を電圧比較器で比較し、2 分探索法を繰り返すことで、出力デジタルコードが決定される。しかし、2 分探索法は探索中に判定を誤ると正確な探索ができない欠点を有する。一例として図 2 に示すようにフルスケールを 1.6V、入力を 800mV として 4bit の二分探索を示す。従来型では、図 3 に示すように最上位 bit で比較を誤ると後段で補正することができず誤差が発生する。これに対し、図 4 に示すように、提案回路では 3bit を 1 組にして 1bit の冗長性を持たせた。具体的には 2 進コード $D_n=2^n, D_{n-1}=2^{n-1}, D_{n-2}=2^{n-2}$ に対し $D_n=2^n, D_{n-1}=2^{n-1}, D_{n-2}=2^{n-2}, D'_{n-2}=2^{n-2}$ のコードとする。また、図 4 に $n=3$ の場合の例をしめす。この構成で D_n を "1" を "0" に誤る場合、入力は $[D_n, D_{n-1}, D_{n-2}]=[1, 0, 0]$ の近傍にある。このとき、提案回路で探索を行う $[D_n, D_{n-1}, D_{n-2}, D'_{n-2}]=[0, 1, 1, 1]$ となる。 $[D_n, D_{n-1}, D_{n-2}, D'_{n-2}]=[0, 1, 1, 1]$ と $[D_n, D_{n-1}, D_{n-2}]=[1, 0, 0]$ は同じ 2^n であるため、 D_n の探索時に誤りがあっても保証可能となる。 D_n で "0" を "1" に誤った場合でも同様に保証される。本研究ではこの構成を 16bit の逐次比較型 A/D 変換器に適用した。素子値の大きい上位 2bit(15,14bit)では 2bit で 1bit の冗長性を与え、それ以下の bit では 3bit で 1bit の冗長 bit を与えた。

3.シミュレーション結果 MATLAB/Simulink を用い、16bit A/D 変換器の D_{12} に 5%の素子誤差を与えたときの従来回路と提案回路の入出力特性のシミュレーション結果を図 5 に示した。図より、従来回路では素子誤差により変換誤りを起こす箇所でも、提案回路では冗長性により補正されているのがわかる。

4.まとめ 従来の逐次比較型 A/D 変換器に対し冗長性を持たせる手法を提案した。シミュレーションの結果、提案手法を導入した、16bit 逐次比較型 A/D 変換器の誤差範囲は 1LSB 以内であることを確認した。以上より、提案回路を用いることで、一度変換を誤っても、再度正確な出力コードを実現できるため、従来型より

も高精度な変換を実現できることが確認できた。

参考文献

[1]Tomohiko OGAWA, Haruo KOBAYASHI, Yosuke TAKAHASHI, and Masao HOTTA "SAR ADC Algorithms with Redundancy"

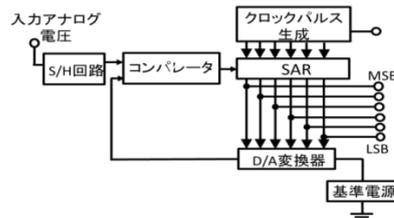


図 1. 逐次比較型 A/D 変換器の構成

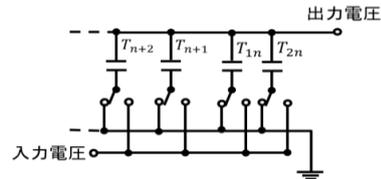


図 2. 冗長性をもたせた DAC 内部

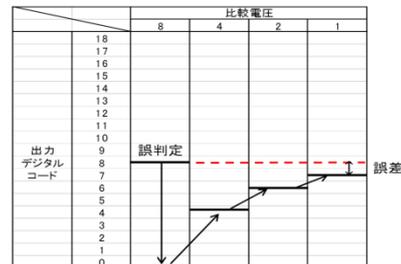


図 3. 2 分探索アルゴリズム(冗長性無)

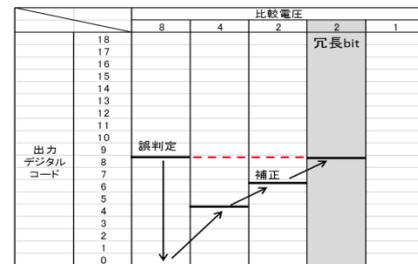


図 4. 誤差補正探索アルゴリズム

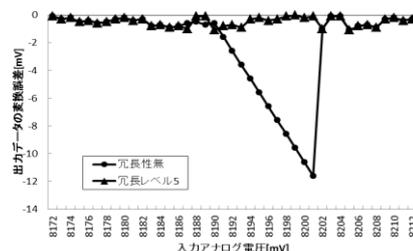


図 5. 入力アナログ電圧と変換誤差の関係