

低電圧チャージポンプ回路の研究

A-1

A study of the low voltage charge pump

神戸 友毅 稲垣 雄志 井岡 恵理 松谷 康之

Tomoki KANBE Yuji INAGAKI Eri IOKA Yasuyuki MATSUYA

青山学院大学 理工学部

College of science and engineering Aoyama Gakuin University

1.はじめに PLL(Phase Locked Loop)は周波数通倍や CDR(Clock data Recovery)に広く用いられる。一般的な CP(Charge Pump)型 PLLは回路位相同期性能に優れているが、CP回路内の電流源は飽和で動作するトランジスタで構成する必要があるため、電源電圧 1V 近傍までの低電圧化には適していない。そこで、本検討では電流源を用いない低電圧 CP 回路を提案し、回路シミュレーションソフト Virtuoso を用いて動作の検討を行った。

2.チャージポンプ回路 図 1 に従来の CP 回路を示す。CP 回路は位相差・電圧変換の役割を持つ。図 2 に示す様、 S_1 のみが ON のとき、CによりIからの電流が積分され、 V_{out} は上昇する。 S_2 のみが ON のとき、Cの電荷がIによって放電され、 V_{out} は減少する。 S_1 と S_2 が共に OFF している場合、電荷は保存され V_{out} は変化しない。また、 S_1 と S_2 は同時には ON させない。この回路は電流源を利用することで V_{out} の値に影響されず充放電を行うため高精度である。しかし、電流源を MOS トランジスタで構成する場合、電源電圧が 1V 近傍になると電流源用トランジスタのドレイン・ソース間電圧が低下し非飽和で動作し電流源として動作しなくなってしまう問題を有している。

3.提案回路 図 3 に提案回路を示す。提案回路では、電流源の代わりに利得32dB、帯域45MHzの特性を有するプッシュプル(PP)1段 AMPによる積分回路で電荷を積分する。PP-AMPのバイアス電位 V_X が $V_{DD}/2$ となるように設計する。PP-AMPの入力端子は R_3 の帰還により固定電位となるため、抵抗 R_1 、 R_2 に流れる電流は V_{out} に依存しなくなり、 C_1 により精度の良い積分が可能になる。しかし、PP-AMPの過渡応答が遅い場合、PP-AMPの帰還動作が追従しないため PP-AMPの入力は固定電位とはならず、過渡応答の時間だけリップルが発生する。これを緩和するため C_2 を挿入し、リップルを抑圧した。

4.シミュレーション結果 提案回路の動作検証を、回路シミュレーションソフト Virtuoso を用いて行った。このとき、電源電圧(V_{DD})を1Vとし、VDECで提供されている 0.18 μ m CMOS プロセスのトランジスタパラメータを用いた。提案回路のシミュレーション結果を図 4 に示す。図 4 より V_X の電圧変動が 5mVに抑圧されているのに対し、 V_{out} は充電時に157mV、放電時に 160mVの変位が生じていることが確認できた。また、 C_2 によってリップルは緩和され、線形な充放電特性を確認した。更に、PP回路によって V_{out} は従来の CP 回路と比較し反転した特性を示した。

4.まとめ 電流源を使用しないことで、電源電圧1Vで動作可能な CP 回路の提案を行った。また、Virtuoso を用いたシミュレーションを行い、従来の CP 回路と同様の動作をすることを確認した。

参考文献

[1] Behzad Razavi 著, 黒田 忠広 監訳 『アナログ CMOS 集積回路の設計 応用編』 丸善出版社 2011

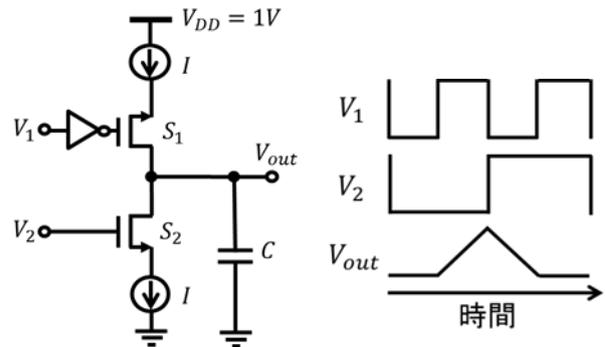


図 1. チャージポンプ回路

図 2. CP 回路の動作

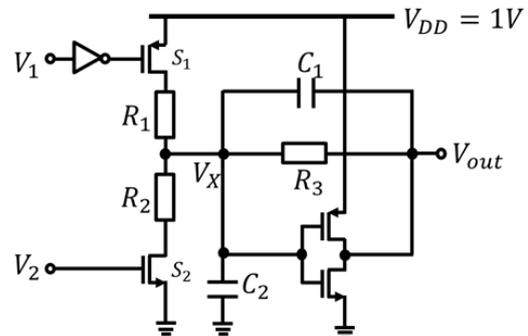


図 3. 提案回路

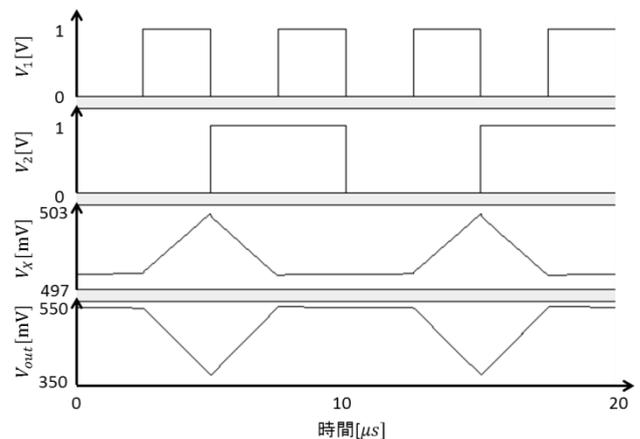


図 4. 提案回路のタイミングチャート