

組込み自己テストにおける救済可能テスト生成器 A Repairable Test Generator in Built-in Self Test

志水 昂[†], 深澤 祐樹[†], 吉川 祐樹[†], 市原 英行[†], 井上 智生[†]
Noboru Shimizu, Yuki Fukazawa, Yuki Yoshikawa, Hideyuki Ichihara, Tomoo Inoue

1 はじめに

LSIの大規模化, 複雑化に伴う, LSIの故障を検出するためのテストパターンを求めるテスト生成にかかる時間の増加や, テスト実行時間の増加により, テストコストの増大が問題となっている. BIST(Built-In Self Test: 組込み自己テスト)はLSIチップ上にテスト生成器と応答解析器(この2つの回路を総称してBIST回路と呼ぶ)を組み込むテスト容易化設計手法の一つである. BISTにより, このようなテストコスト削減が可能になるだけでなく, 被テスト回路の実動作速度でのテスト, LSIチップの出荷後テストが可能になる. しかし一方で, 近年の被テスト回路の大規模化に伴い, BIST回路自身も大規模化し, 故障が発生する可能性が無視できなくなっている. 文献[1]では, 被テスト回路の故障検出率が高いときや, プロセスの立ち上げ時(低歩留まり時)に, BIST回路の故障の影響が大きくなることがモデルを用いて示されている.

BIST回路が故障すると, 正常な被テスト回路が不良品と判定される可能性, また反対に故障した被テスト回路の誤り見逃しが起こる可能性が考えられる[1][2][3][4][5]. 製造テストにおいて, 前者は歩留まり損失の原因となるためLSI製造コストの点で, また後者は市場不良の原因となるためLSIの信頼性の点で問題となる. さらに, 文献[3][4][5]では, BIST回路のテストにより, チップの診断能力が向上することで歩留まりが向上することも報告されている. 一方, 高信頼システムにおけるフィールドテストにおいては, 前者は不要な障害対策によるコストの増加につながり, 後者は障害を見逃すためシステムの信頼性に多大な影響を与える[2].

BIST回路の故障に対して, その故障を検出するための手法が提案されている[2][3][7]. 文献[2]では, テスト生成器に利用される線形フィードバックシフトレジスタ(LFSR: Linear Feedback Shift Register)を特定の線形符号語のみを出力するように設計することでテスト生成器の故障を検出する手法を提案している. また文献[3][7]では, 応答解析器に生じる故障を検出するための手法を提案している. 特に文献[7]で提案されている応答解析器は, この応答解析器を用いて被テスト回路をテストしながら, 同時に応答解析器もテストすることが可能である. これらの手法により, BIST回路の故障を検出することが可能となり, 市場不良の増加や, 故障診断能力の低下を防ぐことができる.

本論文では, 故障を検出できるだけでなく, 救済することも可能なテスト生成器を提案する. テスト生成器が救済可能であることにより, テスト生成器が故障したとしても, 正しくテストを続行することができる. これにより, テスト生成器の故障が原因による, 故障していない被テスト回路を故障していると誤判定する可能性が減るため, 歩留まりの向上が期待できる. また逆に, 故障

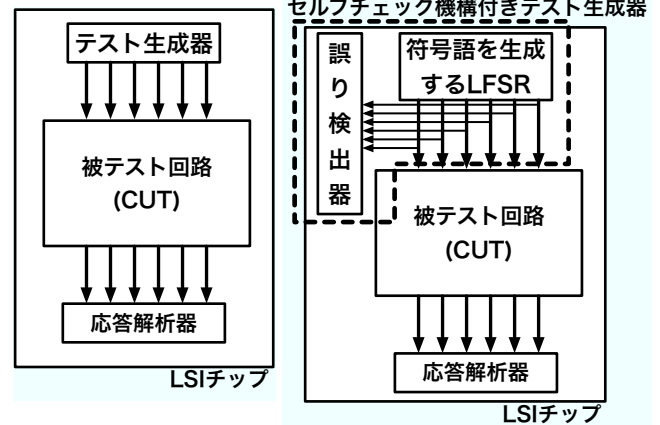


図 1: BIST の概念図

図 2: EBIST の概念図

している被テスト回路を故障していないと誤判定する可能性も減るため, 市場不良の減少が期待できる.

提案するテスト生成器は待機冗長システムであり, 故障したユニットを分離し, あらかじめ用意しておいたスベアユニットと置き換えることを行う. 誤りを検出する単位は文献[2]で提案されているセルフチェック機構付きテスト生成器を利用する. さらに, 文献[6]で提案されている救済可能性を考慮した歩留まりモデルを参考に, 提案したテスト生成器の信頼度(正常なテストパターンを生成できる確率)を算出する. 実験では救済可能テスト生成器の面積, 故障検出能力, 信頼度を解析し, 救済可能テスト生成器の有効性を示す.

2 セルフチェック機構付きテスト生成器

BISTの概念図を図1に示す. BISTは図1のように, テスト生成器と応答解析器からなるBIST回路をCUTと共にLSIチップ上に組み込む手法である. テスト生成器から被テスト回路(CUT)にテストパターンを入力し, その出力応答を応答解析器に入力し, CUTの出力応答の期待値と比較してテストを行う. BISTはLSIテストの機能を簡略化可能であるためテストコストを削減可能であるほか, CUTの実動作速度でテストを実行可能, さらにLSIチップの出荷後でもテストが実行できる.

文献[2]ではBISTを拡張したEBISTと呼ばれる手法が提案されている. EBISTでは図2のようにテスト生成器を, セルフチェック機構付きテスト生成器に置き換える. セルフチェック機構付きテスト生成器は特定の線形符号語のみを生成するLFSRとその符号語をチェックする誤り検出器からなる. セルフチェック機構付きテスト生成器の例を図3に示す. 特定の符号語のみを生成するLFSRは, 右端のFFからフィードバックする位置を適切

[†] 広島市立大学大学院情報科学研究科

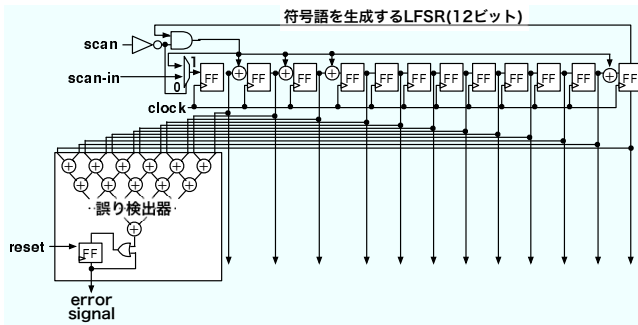


図3: セルフチェック機構付きテスト生成器

に設定することで実現できる [2]。図3のLFSR フィードバック多項式は

$$\phi(x) = x^{12} + x^{11} + x^3 + x^2 + x + 1 \quad (1)$$

である。フィードバック多項式の各項の次数がフィードバックする位置を表しており、このフィードバック多項式は、このLFSRの左端のFFの入力と左から1, 2, 3, 11番目のFFの出力に右端からのフィードバック線が接続されていることを示している。この多項式は次のように変形できる。

$$\phi(x) = (x+1)(x^{11} + x^2 + 1) = g(x)p(x) \quad (2)$$

ここで、 $g(x)=(x+1)$ は (12,11) 線形符号 (つまりパリティ符号) の生成多項式であり、 $p(x)$ は 11 次の原始多項式である。このフィードバック多項式を用いたLFSRは (12,11) 線形符号の符号語のみを出力する。このように任意の線形符号の生成多項式が与えられれば、その符号語のみを生成するLFSRを設計することが可能である。また図3の誤り検出器も (12,11) 線形符号の符号語が入力されたときだけ0になるように設計されている。このように組み合わせ回路として任意の線形符号に対する誤り検出器を設計することが可能である。

3 救済可能テスト生成器と信頼性

本節では前節で述べたセルフチェック機構付きテスト生成器を利用した救済可能テスト生成器を提案する。提案する救済可能テスト生成器では、故障が発生した場合その故障発生ユニットを分離し、あらかじめ用意しておいたスペアユニットと置き換えることで救済を行う。3.1で救済に必要な付加回路と救済方法、アーキテクチャを述べ、3.2では提案する救済可能テスト生成器の特徴について述べる。3.3で文献[6]を参考に、提案テスト生成器の信頼性について考察する。

3.1 救済可能テスト生成器のアーキテクチャ

救済可能テスト生成器は、1個以上の通常ユニットと1つのスペアユニット、そしてそれらのユニットを適切に切り替える切替器から構成される。救済可能テスト生成器がもつ通常ユニットの数が k 個の場合、 $(k+1)$ テスト生成器と呼ぶことにする。各ユニットは2で説明した

セルフチェック機構付きテスト生成器であり、各ユニットに故障が発生したらユニット内部の誤り検出器が対応する誤りを検出し、図3に示したように誤り検出器内のFFとORゲートによって誤り信号 (*error signal*) を reset 信号が入るまで保持する。

つまり各ユニットが誤り検出の単位となる。切替器はユニットが出力するエラー信号を受けて、適切にユニットを切り替える。図4は3ビットのセルフチェック機構付きテスト生成器をユニットとした、12ビット (4+1) テスト生成器である。

救済を行った際にテストパターン生成を行うLFSRが変わるため、初期値を再設定しテストを再び行う必要がある。このため、救済を行った際に故障が発生したLFSRを避けて各LFSRに初期値を設定する機構が必要である。そのため各LFSRにスキャン設計をほどこす。LFSR自体がシフトレジスタであるため、LFSR内にゲートを付加し、scan信号が1であるときはLFSR内のフリップフロップがシフトレジスタとなるように設計し、初期値の再入力を可能にする (図3)。

また、各LFSRの出力に対してマルチプレクサを付加することで、故障が発生したLFSRを避けて初期値を再入力することが可能となり、救済後の初期値再入力を実現する。このようにして図4のような救済機構付きテスト生成器を実現する。

救済可能テスト生成器の動作を以下に示す。まず、テスト実行前にLFSRに初期値を入力する。scanを1とし、scan-inからLFSRの初期値を入力する。またこの際にresetに1を入力し誤り検出器 (DET) 内のFFを初期化しておく。テスト実行はscanとresetを0とすることで開始する。各LFSRがテストパターンを生成し、CUTに入力される。テスト実行中にユニットのerror signalが1になれば、故障箇所を分離するように、誤り検出器からエラー信号がマルチプレクサに送られる。同時に、故障ユニットのLFSRが迂回されるようにマルチプレクサが設定されるため、scanを1としscan-inから初期値を再入力する。例えば、左から2つ目の通常ユニットが故障した場合は、左から2つ目のDETが誤りを検出し、信号をそれぞれのマルチプレクサに送ることでスペアユニットと置き換える。その後は、scanを1とし、scan-inからLFSRの初期値の再設定をおこなった後に (このとき各検出器にクロック信号clockは与えない) scanを0としテストを再実行する。スペアユニットを含む各LFSRが再度テストパターンを生成し、CUTのテストを再開する。

3.2 ユニット数とテスト生成器の面積および故障検出能力の関係

ユニット数とテスト生成器の面積と故障検出能力の関係について考察する。なお以下では、 n ビット ($k+1$) テスト生成器 (出力ビット数 n , 通常ユニット数 k) を対象に、 n が固定されている場合を考える。

テスト生成器の面積は k が大きくなると小さくなる傾向がある。これは付加するスペアユニットの大きさが、ユニットを含むLFSRとDETのビット数 $\lceil n/k \rceil$ に依存するためである。なお、切替器の大きさは k にほとんど依存しない。例えば、図4の12ビット (4+1) テスト生成

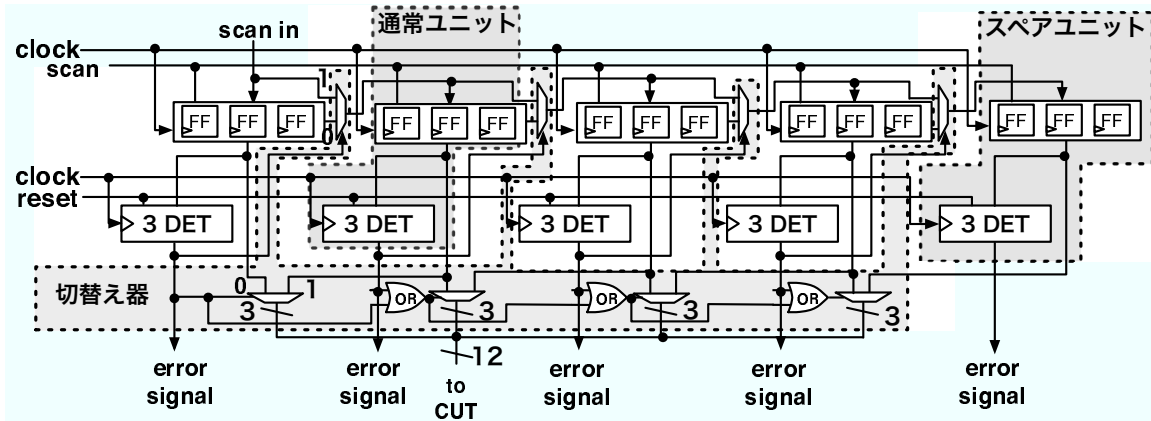


図 4: 12 ビット (4+1) テスト生成器

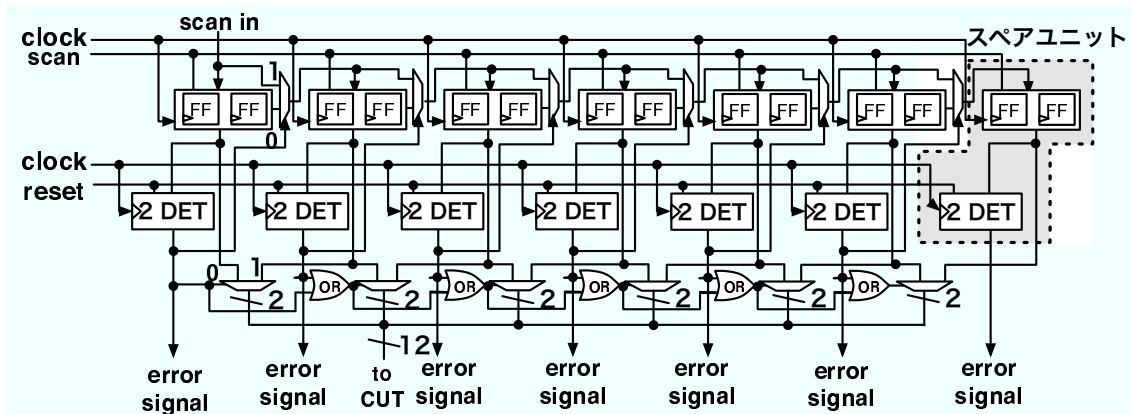


図 5: 12 ビット (6+1) テスト生成器

器と図 5 に示した 12 ビット (6+1) テスト生成器を比較した場合、(4+1) テスト生成器のスペアユニットのサイズは $12/4=3$ ビットであり、(6+1) テスト生成器のスペアユニットのサイズは $12/6=2$ ビットであるため、(6+1) テスト生成器のほうがスペアユニットのサイズが小さくなる。また、通常ユニットが占める面積と切替器が占める面積はほとんど変わらない*。

次にテスト生成器が出力するテストパターン数とユニット数の関係を考える。1つのユニットが生成できるテストパターン数は $2^{[n/k]} - 1$ であるため、3.1 に示したような動作をさせると、テスト生成器が出力するテストパターン数も $2^{[n/k]} - 1$ となる。よって、 k が大きくなると、生成できるテストパターンの種類が少なくなるため、CUT の故障に対する故障検出能力が低下する可能性がある。

このように提案するテスト生成器の面積と故障検出能力にはトレードオフの関係があるため、最適なユニット数が存在すると考えられる。実験ではユニット数 k を変化させ最適な設計を考察する。

3.3 テスト生成器の信頼性

3.2 で述べたように通常ユニットの数や出力ビット幅により、テスト生成器の面積が変化する。一般に、使用している面積が小さいほど、テスト生成器の故障率も小さくなると考えられるが、テスト生成器内には壊れても救済可能な部分 (通常ユニット) と救済できない部分 (切替器) があるため、テスト生成器が占める総面積を議論しただけではテスト生成器の信頼性を評価することはできない。よって、ここでは、文献 [6] で提案されている救済可能性を考慮した信頼性モデルを応用して、救済可能テスト生成器の信頼度について考察する。テスト生成器の信頼度 R は、故障していない、または、故障したとしても故障前と同一のテストパターンを生成できる (つまり正常に動作する) 確率と定義する。

信頼度 R を考えるために、ユニット内の 1 つの LFSR が正常に動作する確率 (信頼度) を R_{LFSR} 、1 つの検出器 (DET) の信頼度を R_{DET} 、切替器 (SW) の信頼度を R_{SW} と呼ぶことにする。この 3 つの信頼度 R_{LFSR} 、 R_{DET} 、 R_{SW} は単位面積あたりの故障率 p が与えられたとき、それぞれの面積に応じて決まると仮定する [6]。つまり、1 つの LFSR が占める面積を S_{LFSR} 、1 つの DET が占める面積を S_{DET} 、切替器が占める面積を S_{SW} とすると、

$$R_{LFSR} = (1 - p)^{S_{LFSR}} \quad (3)$$

$$R_{DET} = (1 - p)^{S_{DET}} \quad (4)$$

$$R_{SW} = (1 - p)^{S_{SW}} \quad (5)$$

*厳密にいうと切替器は k が大きくなると OR ゲートの数が増えるためわずかに増加する。なおマルチプレクサの数は増えるが、1 つのマルチプレクサは n/k ビットであるためマルチプレクサが占める面積は変わらない。また、LFSR も生成多項式が変化するため面積が多少増減する。

と定義する．テスト生成器により期待したテストパターンが生成できるのは以下の4つの場合となる．なお，ここではLFSRが故障した場合は必ず検出器(DET)により検出可能であると仮定している．また，DETが故障した場合のDETの出力は，不定(正常または異常のどちらを示すかわからない)と考えている．

- ケース1：通常ユニット，スペアユニット，切替器のすべてが正常な場合．
- ケース2：ある1つの通常ユニット内のLFSRが故障して，他の部分が正常な場合．このLFSRの故障は同じ通常ユニット内のDETにより検出され，この故障した通常ユニットを正常なスペアユニットと置換することで，正常に動作する．
- ケース3：ある1つの通常ユニット内のDETが故障して，他の部分が正常な場合．このDETの故障により正常なLFSRを故障していると判断してしまう場合が考えられるが，この通常ユニットを正常なスペアユニットに置き換えるため，テスト生成器は正常に動作する．なお，故障したDETが故障したLFSRを見逃してしまうケースはこのケース3には含まれない．
- ケース4：スペアユニットが故障して，残りの部分が正常な場合．

$(k+1)$ テスト生成器の信頼度 R は，先ほど定義した3つの信頼度 R_{LFSR} , R_{DET} , R_{SW} を用いてそれぞれのケースが起こりえる確率の和として以下のように表現できる．それぞれのケースの確率を P_1, P_2, P_3, P_4 とすると R は以下のように表現できる．

$$\begin{aligned} P_1 &= (R_{LFSR})^{(k+1)} \cdot (R_{DET})^{(k+1)} \cdot R_{SW} \\ P_2 &= (k+1)(1-R_{LFSR})(R_{LFSR})^k \cdot (R_{DET})^{(k+1)} \cdot R_{SW} \\ P_3 &= (R_{LFSR})^{(k+1)} \cdot (k+1)(1-R_{DET})(R_{DET})^k \cdot R_{SW} \\ P_4 &= (1-R_{LFSR})(R_{LFSR})^k \cdot (1-R_{DET})(R_{DET})^k \cdot R_{SW} \\ R &= P_1 + P_2 + P_3 + P_4 \end{aligned} \quad (6)$$

例えば，1つのLFSR，1つのDET，SWの面積を433，185，982として， k は4とし，単位面積あたりの故障率を $p = 0.001$ とすると，3つの信頼度は $R_{LFSR} = 0.114625702$ ， $R_{DET} = 0.396347943$ ， $R_{SW} = 0.37437724$ となる．

これを用いて，図4のテスト生成器の信頼度を求めると， $R = 0.082286627$ となる．一方，図5のテスト生成器の信頼度は， $R = 0.101686032$ となり，図5のほうが高い．これは，図5のテスト生成器のほうが，総面積が小さいためケース1，2，3，4のすべての確率が増えたためである．ただしこの傾向は単位面積あたりの故障率 p の変化に応じて変わると考えられる．次節で述べる実験では，いくつかのテスト生成器に対して，単位面積あたりの故障率 p と信頼度の関係を示し考察する．

4 実験

提案する救済可能テスト生成器の面積，故障検出能力，そして信頼度を調べるための実験を行った．計算機実験

表1: 240ビットテスト生成器の回路面積 (NOTゲートを1として計算)

テスト生成器	回路面積			
	LFSR	DET	SW	all
(1+0)	1696	728	0	2424
(2+1)	2559	1062	970	4591
(3+1)	2148	980	976	4104
(4+1)	2165	925	982	4072
(5+1)	2094	894	988	3976
(6+1)	2051	875	994	3920
(8+1)	2034	855	1006	3895
(10+1)	2024	847	1018	3889
(12+1)	2028	845	1030	3903
(15+1)	1952	896	1048	3896
(16+1)	2057	901	1054	4012

表2: 120ビットテスト生成器の回路面積 (NOTゲートを1として計算)

テスト生成器	回路面積			
	LFSR	DET	SW	all
(1+0)	853	368	0	1221
(2+1)	1308	564	490	2362
(3+1)	1184	512	496	2192
(4+1)	1130	490	502	2122
(5+1)	1104	480	508	2092
(6+1)	1092	476	514	2082
(8+1)	1089	477	526	2092
(10+1)	1100	484	538	2122

には Apple MacBook(OS: Mac OS X 10.5.8, CPU: Intel Core Duo 2GHz, メモリ: 2GB) を用いた．設計したテスト生成器は出力を120ビットと240ビットに固定し，通常ユニット数 k を1, 2, 3, 4, 5, 6, 8, 10, 12, 15, 16とした．また用いたセルフチェック機構付きテスト生成器はパリティ符号を用いた．各LFSRの初期値は偶数パリティ符号となるように決定している．

救済可能テスト生成器の面積を表1, 2に示す．面積はNOTゲートを1として計算した．左から順に，LFSRが占める面積，DETが占める面積，切替器内のMUXおよびORゲートが占める面積(SW)，そしてそれらの合計(all)を示している．また(1+0)テスト生成器は文献[2]で提案されているセルフチェック機構付きテスト生成器である．表1, 2より通常ユニット数 k が大きくなると(ユニットの大きさが小さくなると)回路面積は小さくなることがわかる．ただし240ビット(10+1)テスト生成器，また120ビット(6+1)テスト生成器より k が大きいテスト生成器の回路面積は増加している．これは3.1で述べたユニットサイズの減少に伴う回路面積減少に比べて，切替器面積の増加や，ユニットサイズを減少させたことによる付加回路(LFSRやDET内のEXORゲートなど)の増加が上回ったためである．

次にベンチマーク回路に対する故障検出率(FC)を表3に示す．故障検出率を調べるために故障シミュレータソフトウェアHOPE[8]を用いた．

被テスト回路としてはベンチマーク回路のISCAS89

表 3: ベンチマーク回路に対する故障検出率 (240 ビット, 500,000 パターン)

テスト生成器	各ベンチマーク回路における FC[%]				
	s15850	s13207	c2670	c7552	c880
(1+0)	94.3	98.4	91.1	96.8	100
(2+1)	94.3	98.4	91.1	96.8	100
(3+1)	94.3	98.4	91.2	96.8	100
(4+1)	94.1	98.3	91.0	96.8	100
(5+1)	93.9	98.4	92.9	96.8	100
(6+1)	94.3	98.2	91.0	96.7	100
(8+1)	94.3	98.4	91.3	96.8	100
(10+1)	94.1	98.3	93.1	96.8	100
(12+1)	93.9	98.4	92.9	96.8	100
(15+1)	91.5	92.2	84.9	95.2	100
(16+1)	89.9	88.6	88.3	95.1	99.1

表 4: ベンチマーク回路における故障検出率 (120 ビット, 500,000 パターン)

テスト生成器	各ベンチマーク回路における FC[%]				
	s15850	s13207	c2670	c7552	c880
(1+0)	93.5	98.1	87.0	97.3	100
(2+1)	94.2	98.2	87.3	96.4	100
(3+1)	93.7	98.2	90.0	96.9	100
(4+1)	93.8	98.0	90.0	96.4	100
(5+1)	93.4	98.0	91.5	96.8	100
(6+1)	93.7	98.3	87.1	96.6	100
(8+1)	87.4	85.1	84.5	93.8	99.9
(10+1)	79.8	70.5	83.9	92.2	95.3

の s13207.1(外部入力数 62, FF 数 638) と s15850.1(外部入力数 77, FF 数 534), また ISCAS85 の c2670(外部入力数 233) と c7552(外部入力数 207) と c880(外部入力数 60) を用いた .CUT 内の FF をすべてスキャン化し, また外部入出力もバウンダリスキャン化し, スキャンチェーンに対してパターンを印加した. スキャンチェーンの本数は TPG の出力数 (120 または 240) と同じにした. ただし, c2670 c7442 c880 において, テスト生成器の出力幅のほうが小さい場合はスキャンチェーン数と外部入力数を同じにして TPG の一部の出力を印加した.

LFSR が生成するテストパターンは 500,000 回とした[§]. 表 3 から 240 ビット (12+1) テスト生成器までは, どのベンチマーク回路も (1+0) テスト生成器と同等の故障検出率を維持していることがわかる. 同様に表 4 から 120 ビット (6+1) テスト生成器までは, どのベンチマーク回路に対しても (1+0) テスト生成器と同等の故障検出率を維持していることがわかる. 故障検出率が低下しない理由としては, ユニットの小さくし, 各 LFSR が小さくなったことにより, 出力できる固有なパターン数が減るものの, 240 ビット (12+1) テスト生成器および 120 ビット (6+1) テスト生成器とも固有なパターンは 1,000,000 パターン

[§](1+0) テスト生成器が出力し, それ以降故障検出率が上昇しなかったパターン数が 500,000 回であったため, これを基準とした.

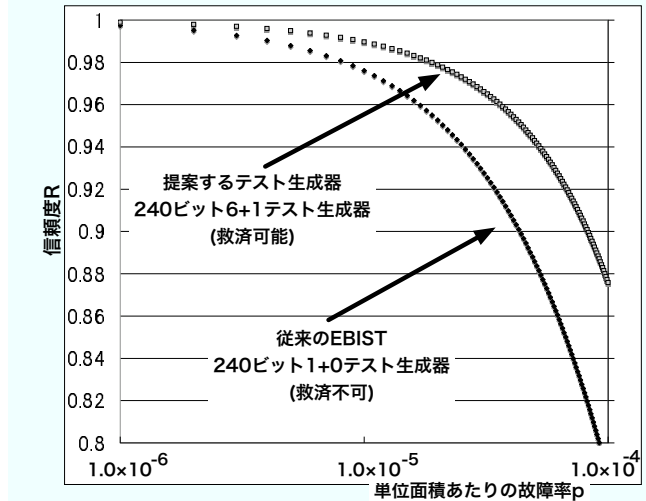


図 6: 単位面積あたりの故障率 p と信頼度 R (240 ビット)

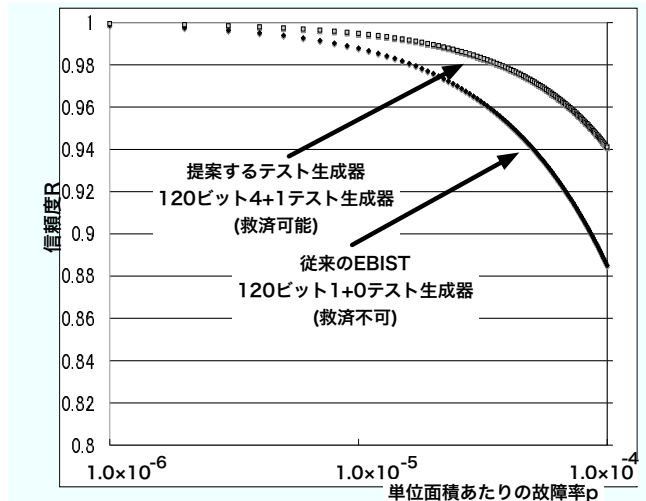


図 7: 単位面積あたりの故障率 p と信頼度 R (120 ビット)

であり, 500,000 パターンよりも十分大きいためである. 以上のことから, テスト生成器の面積と故障検出率の点において, 240 ビット (10+1) テスト生成器や 120 ビット (6+1) テスト生成器がもっとも良い設計であることがわかる.

さらに単位面積あたりの故障率と通常ユニット数の関係について考察する. 表 1.2 に示した面積の情報をもとに 3.3 のモデルを用いて信頼度 R を算出し, その結果を図 6, 7 に示す. 縦軸は信頼度 R , 横軸は単位面積あたりの故障率 p を示し, 240 ビットの (1+0) テスト生成器と (6+1) テスト生成器の信頼度 R を図 6 に, 120 ビットの (1+0) テスト生成器と (4+1) テスト生成器の信頼度 R を図 7 に示す.

これらの図より, 救済機構を付加したほうが信頼度 R が高いことがわかる, また, その差は単位面積あたりの故障率 p が大きくなるほど広がることがわかる. 表 5 は単位面積あたりの故障率が 1.0×10^{-5} と 2.0×10^{-4} のときに対する, 4 つの 240 ビットテスト生成器の信頼度 R を示す. 単位面積あたりの故障率が低い ($p=1.0 \times 10^{-5}$) のときは, わずかな差ではあるが, (2+1) テスト生成器が最も高信頼となった. 表 1 からわかるように (2+1) テ

表 5: テスト生成器に対する信頼度 R (240 ビット, 500,000 パターン)

故障率 p	信頼度 R [%]			
	(2+1)	(6+1)	(10+1)	(16+1)
1.0×10^{-5}	98.98	98.97	98.95	98.91
2.0×10^{-4}	70.99	73.03	72.72	71.61

表 6: テスト生成器に対する信頼度 R (120 ビット, 500,000 パターン)

故障率 p	信頼度 R [%]			
	(2+1)	(4+1)	(6+1)	(10+1)
1.0×10^{-5}	99.50	99.49	99.48	99.45
2.0×10^{-4}	86.56	87.01	86.87	86.31

スト生成器は、救済可能テスト生成器の中で最も総面積は大きいものの、切替器の面積が最も小さいテスト生成器である。よって、故障率が低い場合は、総面積が小さいテスト生成器よりも、むしろ、壊れることで大きく信頼度が低下してしまう切替器の面積が小さいテスト生成器 (2+1) が、もっとも信頼度が高くなることがわかる。一方、単位面積あたりの故障率が大きい ($p=2.0 \times 10^{-4}$) の場合においては、この (2+1) テスト生成器が最も信頼度が低い結果となり、(6+1) テスト生成器や (10+1) テスト生成器の信頼性が高くなることがわかる。これらのテスト生成器が比較的総面積が小さいことを考慮すれば、故障率が大きくなると総面積が信頼度に大きく影響を与えることがわかる。なお、(10+1) テスト生成器のほうが (6+1) テスト生成器よりも、総面積が最も小さいにも関わらず信頼度が低い理由は、切替器の面積が占める割合が (6+1) テスト生成器よりも大きいためだと考えられる。また、(16+1) テスト生成器も SW の面積が大きいことが信頼度が低い原因である。表 6 に示した 120 ビットテスト生成器の信頼度からも同様な結果が得られていることがわかる。

5 まとめ

本論文では文献 [2] で示されているセルフチェック機構付きテスト生成器を利用した、救済可能テスト生成器を提案した。提案した救済可能テスト生成器は、待機冗長システムであり、故障したユニットをスペアユニットに置き換えることで救済を行う。また、このテスト生成器の信頼度を見積もるために、テスト生成器の信頼度を求めるためのモデルを提案した。これにより、従来の救済を行わないセルフチェック機構付きテスト生成器よりも正常に動作する確率が高いことを示した。またベンチマーク回路を用いた実験結果は、比較的小さい面積オーバヘッドで高い故障検出率を得ることができる設計 (240 ビット (12+1) テスト生成器や 120 ビット (6+1) テスト生成器) を示した。

参考文献

- [1] Y. Nakamura, J. Savir and H. Fujiwara, "Defect Level vs. Yield and Fault Coverage in the Presence of an Unreliable BIST," IEICE Trans. INF. & SYST., Vol.E88-D, No.6, pp.1210-1216, June 2005.
- [2] D. K. Pradhan and C. Liu, "EBIST: A Novel Test Generator with Built-In Fault Detection Capability," IEEE Trans. CAD., Vol.24, No.9, pp.1457-1466, Sept., 2005.
- [3] A. Hlawiczka and M. Kopec, "Dependable Testing of Compactor MISR : An Imperceptible Problem?," IEEE Proc. ETW, pp.31-36, 2002.
- [4] Landies D.L, " A Test Methodology for Wafer Scale Systems," IEEE Trans. CAD., Vol.11, No.1, pp.76-82, Jan., 1992.
- [5] Sasidhar K. , Chatterjee A. and Zorian Y , " Boundary Scan-Based Relay Wave Propagation Test of Arrays of Identical Structures, " IEEE Trans. Comp., Vol.50, No.10, pp.1007-1019, Oct., 2001.
- [6] 天野, 吉川, 市原, 井上, "テスト容易性と救済可能性を考慮した歩留まりモデルに関する考察," 信学技報 (DC2009-41), Vol. 109, No. 316, pp. 89-94, 2009 年 12 月.
- [7] 深澤, 吉川, 市原, 井上, "組込み自己テストにおけるテスト可能な応答圧縮器の設計について," 信学技報 (DC2009-7), Vol.109, No.11, pp.37-42, 2009 年 4 月.
- [8] H. K. Lee and D. S. Ha, "HOPE: An Efficient Parallel Fault Simulator for Synchronous Sequential Circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 15, No. 9, pp. 1048- 1058, September 1996.