

# 階層型相互結合網 TESH における適応型ルーティングの ハードウェアコストに関する検討

## Hardware Costs of Adaptive Routing in the Hierarchical Interconnection Network TESH

金子 昌弘†  
Masahiro Kaneko

茂手木 貴彦††  
Takahiko Motegi

三浦 康之†††  
Yasuyuki Miura

渡辺 重佳†††  
Shigeyoshi Watanabe

### 1. はじめに

LSIの高集積化に伴い、低コストのプロセッサを並列に組んで処理を行う「オンチップマルチプロセッサ」が注目されるようになった。そのような中、階層型相互結合網 TESH(Tori connected mESHes)[1]が提案された。TESHは、数千PE (Processing Element) 規模の並列処理に適した結合網として提案された階層型相互結合網で、下位階層にメッシュ、上位階層にトーラスを用いる階層型にすることによりウェーハ間の配線数を抑えている。3次元VLSI[2][3]上に多数のPEを配置した細粒度並列処理のための結合網として提案されており、3次元混成センサの結合網として実際に用いられる[4][5]など、細粒度の並列処理を行うためのハードウェア向けの構造となっている。

これまでに、このTESHに関する固定型ルーティングアルゴリズム[6]や適応型ルーティングアルゴリズム[7][8]であるCS(Channel Select)法、LS(Link Select)法、DDR(Dynamic Dimension Reversal)法の3つが提案された。TESHは、メッシュとトーラスの組み合わせであるため、固定型ルーティングは次元順ルーティングを応用したものである。また、適応ルーティングもメッシュやトーラスの適応型ルーティングを応用したものである。

これらの動的通信性能を評価した結果、同程度の2分割幅を持つ他の結合網に比べて通信遅延や最大スループットが向上できることが明らかになった。また、これらの結合網の固定型ルーティングを使用することにより生じるハードウェアコストや遅延の増加に対する検証を行い、ハードウェア量、遅延の影響は少ないことが明らかになったが、適応型ルーティングの使用により生じるハードウェアコストや遅延の増加に対する検証は行っていない。適応型ルーティングを実装すると、ハードウェアコストや遅延が増加し、シミュレーションとは異なる結果となるおそれがあるため、実装の結果に基づいた、より正確な通信性能の評価が必要となっていた。

そこで本稿では、TESHの適応型ルーティングのCS法とLS法をVHDLで作成し、ハードウェア量や遅延について評価する。

### 2. TESH(Tori connected mESHes)

#### 2.1 ネットワーク構成

階層型相互結合網TESHは、ウェーハ結線の数を少なくするために提案された。TESHは、二次元メッシュと二次元トーラスを組み合わせた階層型相互結合網である。まず、 $2^m \times 2^m$ 個のPEを二次元メッシュで結合し、1レベル(階層)ネットワークを構成する。これを基本モジュール(BM)とも呼ぶ。次に、 $2^m \times 2^m$ 個のBMを二次元トーラスで結合し、2レベルネットワークを構成する。以降、 $2^m \times 2^m$ 個の*i*レベルネットワークを二次元トーラスで結合し、階層的に*i*+1レベルネットワークを構成する。BMの大きさが $2^m \times 2^m$ 、各レベルに $2^i$ 組の*k*-ary *n*-cubeを構成した*L*階層のTESHを、TESH(*m*,*L*,*q*)で表す。図1にTESH(2,2,0)の構成例を示す。図1では、 $4 \times 4$ 個のPEでBMを構成し、 $4 \times 4$ 個のBMをトーラスで結合して2レベルネットワークを構成している。TESH(2,2,0)では合計256個のPEを結合することが可能である。*L*=3として、階層を1だけ増やしたTESH(2,3,0)では、合計4096個のPEを結合することが可能である。TESHでは、BMの外周に位置するPEが持つ空きリンクのみを使用して上位レベルネットワークを構成する。ここで、BMを構成するためにメッシュ結合に使用されるリンクをBM内リンク、上位レベルネットワークを構成するためにトーラス結合に使用されるリンクをBM間リンク(上位レベルリンク)と呼ぶ。

TESH(*m*,*L*,*q*)のPEは、(1)式に示す $2^m$ 進数でアドレス付けされる。

$$n = n_{2L-1}n_{2L-2} \cdots n_1n_0 \\ = (n_{2L-1}n_{2L-2}) \cdots (n_1n_0) \quad (1)$$

(1)式中、右から*i*番目の組である $(n_{2i-1}n_{2i-2})$ はレベル*i*のサブネットワーク位置となる。例えば、*m*=2の3階層TESH(4096PE)の場合、4進数で $n = n_5n_4n_3n_2n_1n_0$ のように表現され、 $n_5, n_4$ は3レベルネットワーク、 $n_3, n_2$ は2レベルネットワーク、 $n_1, n_0$ はBM内のPEの位置をそれぞれ示す。

#### 2.2 固定型ルーティングアルゴリズム

TESHの固定型ルーティングは、最上位レベルからレベル順に最下位レベルまで転送が行われる。各レベルでは、

(1) 目標となるトーラス結合のリンクがあるPEまで転送を行う。

(2) トーラス結合のリンクを用いた転送を行う。

という手順を、トーラスの縦方向転送、横方向転送の順に行う。

*L*階層のTESHの固定ルーティングは、*L*の値に関係なく、以下の3つのフェーズの順に行われる。

フェーズ1 送信元PEからBMのトーラス結合のリンクがあるPEに到達するまでのBM内転送

フェーズ2 レベル*j* ( $L \geq j \geq 2$ )の転送

† 湘南工科大学大学院 電気情報工学専攻  
Graduate School of Electrical and Information  
Engineering, Shonan Institute of Technology

†† 東京農工大学大学院 情報工学専攻  
Graduate School of Information Engineering, Tokyo  
University of Agriculture and Technology

††† 湘南工科大学 情報工学科  
Department of Information Science, Shonan Institute of  
Technology

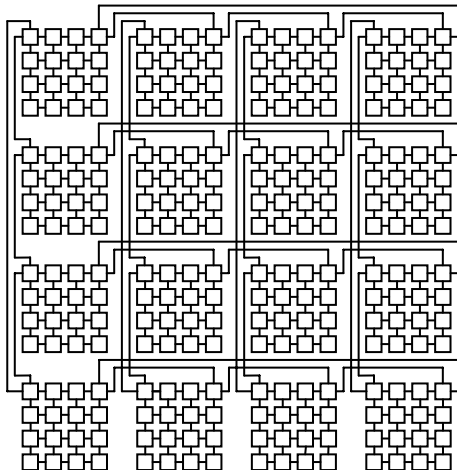


図1 256PEの2レベルのTESH

フェーズ 3 上位レベルリンクの出口から受信先 PE までの BM 内転送

フェーズ 1, フェーズ 3 の BM 内転送は, 次元順ルーティングで行う.

フェーズ 2 は, 以下のサブフェーズに分けられる.

サブフェーズ 2.i.1  $L-i$  レベル縦方向上位レベルリンクの入り口の PE に到達するまでの BM 内転送

サブフェーズ 2.i.2  $L-i$  レベル縦方向上位レベルリンクを使用した BM 間転送

サブフェーズ 2.i.3  $L-i$  レベル縦方向転送が終わり,  $L-i$  レベル横方向上位レベルリンクの入り口の PE に到達するまでの BM 内転送

サブフェーズ 2.i.4  $L-i$  レベル横方向上位レベルリンクを使用した BM 間転送

ただし, 最上位レベルからレベル順に最下位レベルまでルーティングが行われるため, ( $i=0,1,\dots,L-2$ )の順である.

### 2.3 適応型ルーティングアルゴリズム

適応型ルーティングアルゴリズムは, CS 法, LS 法, DDR 法の 3 つがあるが, 今回はその中で CS 法, LS 法の 2 つについて検証する.

#### • CS(Channel Select)法

CS 法は, リング網で用いられる 2 本の仮想チャンネルを特定の条件で自由に選択する手法である.

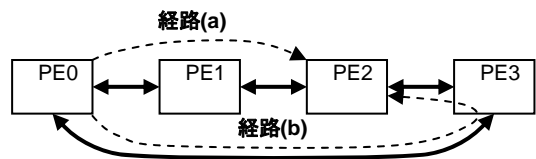
リング網では, 下記の条件で, 仮想チャンネルを自由に選択できる.

- ルーティングの途中でラップアラウンドチャンネルを使用しない場合チャンネル L のみを使用する. そのため, 本来は使用しないチャンネル H に途中で移動することや, 最初からチャンネル H を使用することも可能である.
- ラップアラウンドチャンネルを使用する場合も, ラップアラウンドチャンネルを通過した時点でルーティングが終了する場合にはやはりチャンネル L のみを使用される.

そこで, CS 法では, 上記二つの条件下で TESH の上位レベルリンクに対し, 2 本の仮想チャンネルを自由に選択できるものと定める.

CS 法のアルゴリズムは以下の通りである. まず, ルーティングに以下の三つの条件を加える.

(条件 1) ルーティング開始時はチャンネル L を使用



(条件 2) ラップアラウンドチャンネルの通過直後にチャ

図2 LS法によるリンク選択

ネル H に移動

(条件 3) チャンネル L にいるパケットが以下の条件を満たすとき, パケットはチャンネル H を選択可能

- ルーティングの途中でラップアラウンドチャンネルを使用する予定がない
- ラップアラウンドチャンネルを通過した時点でルーティングが終了する予定である

#### • LS(Link Select)法

同一レベル同一グループの上位レベルネットワークでは, すべての PE が BM の外周に属するので, 各 BM 間リンクは,  $2^m$  個または  $2 \times 2^m$  の PE を持つリング状をしている. そのため,  $2^m/2$  または  $2^m$  個離れた PE 同士の通信では + 方向と - 方向のいずれのリンクを通っても等距離となる. そこで, このような条件下では両方のリンクを使用できるものとしたのが, LS 法である. 例えば, 4 個の PE を持つリング網で  $PE(n=0)$  から  $PE(n=2)$  へルーティングを行う場合, 図 2 のように経路 (a) と経路 (b) のいずれを選択しても 2 ホップで  $PE(n=2)$  へ到着するので, 両方を選択可能とする.

## 3. ルータ回路の構成

### 3.1 実装方針

本稿で, 異なるルーティングアルゴリズムによる遅延やハードウェアコストの増加について評価するため, 従来型のワームホールルータを参考にした [9][10].

ワームホールルータは, パケットより小さなフリットという単位に分割し, 転送を行う. パケットが複数のノードに跨って転送されるため, パケット全体を保存するためのバッファが必要ないので, 少ないバッファでルータを作成することが出来る. 以降, 1 パケットに含まれるフリットの数に「パケット長」と呼ぶ.

### 3.2 回路全体の構成

図 3 にルータの構成図, 図 4 に制御回路の構成図を示す. 図 3 で示すようにルータは, デマルチプレクサ, 入力バッファ, クロスバスイッチ, 出力バッファ, マルチプレクサ, 制御回路で構成されている. データ・アドレスはまずデマルチプレクサに送られ, 制御信号によりチャンネルを選択し出力される. 出力されたデータ・アドレスは入力バッファに送られる. 入力バッファはデータ・アドレスをクロスバスイッチに送り, 制御回路にはアドレスのみを送る. クロスバスイッチは制御回路から送られてきた値をもとに出力バッファにデータ・アドレスを送る. 最後にデータ・アドレスは出力バッファからマルチプレクサに送られ出力される. 本稿の検討対象となる TESH の次数は 4 であるため, リンク数は入力出力それぞれ 5 個(次数  $4 + \text{ノード}$ )ずつとなっている. データ線を 16 ビット, 4096 PE に対応できるようにアドレス線を 12 ビットとした. 今回は, 入力バッファ, 出力バッファの深さを, それぞれ 4 個ずつとした.

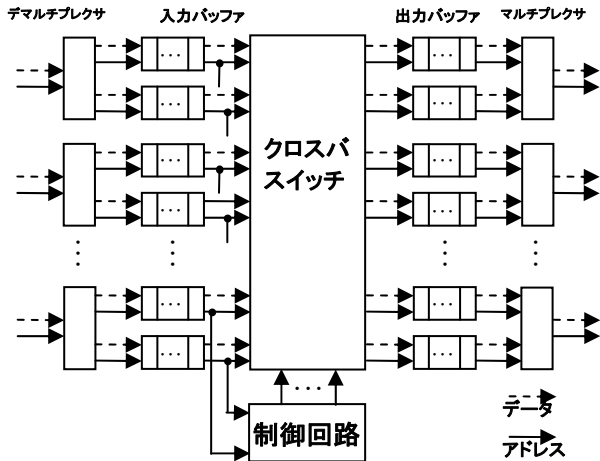


図3 ルータの構成図

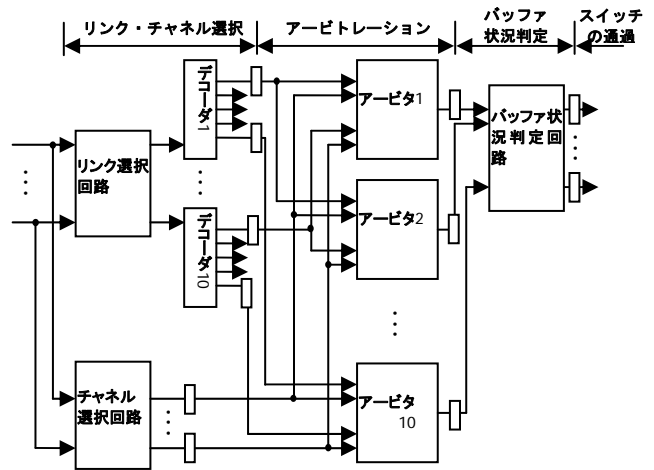


図4 制御回路の構成図

TESH は各リンクで 2 個のチャンネルを持つため、クロスバスイッチは 10×10 となっている。

図 4 に制御回路の構成図を示す。制御回路は、リンク選択回路、チャンネル選択回路、デコーダ、アービタ、バッファ状況判定回路で構成されており、「リンク・チャンネル選択」「アービトレーション」「バッファの状況判定」「スイッチの通過」の、合計 4 段のパイプライン構造となっている。これらは、おのおの下記のような機能を持つ、

- リンク・チャンネル選択
 

現在の PE のアドレス、リンク、チャンネル、および目的地となる PE のアドレスをもとに、フリットが次に選択するリンク、およびチャンネルの候補を決定する。標準的なルータには、「リンク選択」「チャンネル選択」の準に、個別のパイプラインステージとして処理されるものも多い[9]が、双方とも、現在の PE のアドレス、リンク、チャンネル、および目的地となる PE のアドレスが判明していれば、独立して次に選択するリンク・チャンネルの候補を決定することができる。その場合、チャンネル選択回路の構造にやや冗長な部分が生じるが、本研究が対象とする結合網のチャンネル数は 2 個のみであるため、さほど複雑な回路とはならない。
- アービトレーション
 

「リンク・チャンネル選択」で決定されたリンク・チャンネルの候補をもとに、実際に出力バッファに送られるフリットの優先順位を決定する。本稿のルータでは、最も一般的なラウンドロビンにより優先順位の決定を行っている。
- バッファ状況判定
 

「アービトレーション」により優先順位が決定されたリンク・チャンネルの候補のうち、出力バッファの条件によって通過可能、あるいは不可能なフリットを抽出して、出力バッファに向かうリンク・チャンネルを最終的に決定する。
- スwitchの通過
 

クロスバスイッチをフリットが通過するまで、制御回路の状態を保持する。

同じ PE 数、次数、および同じチャンネル数で TESH と  $k$ -ary  $n$ -cube と比較するため、3 レベルの TESH(2,3,0)の固定型ルーティングと CS 法、LS 法の三種類の回路を作成した。チャンネル数や次数が同じ場合、ネットワークトポロジやルーティングアルゴリズムによって構造が異なるのはリンク

選択回路とチャンネル選択回路のみである。

### 3.3 固定型ルーティング

図 5 に 3 レベル TESH の固定ルーティングのリンク選択回路の VHDL ソースコードの一部を示す。また、図 6 に 3 レベル TESH の固定型ルーティングのチャンネル選択回路の VHDL ソースコードの一部を示す。固定型ルーティングのリンク選択回路およびチャンネル選択回路では、目的地 PE アドレスである“DEST”，および現在地 PE アドレスである“NODE”を入力とする。リンク選択回路では、フリットが次に選択するリンク“OUT\_L”を、チャンネル選択回路では、フリットが次に選択するチャンネル“OUT\_CH”を出力とする。なお、DEST、NODE はそれぞれ 12 ビット、OUT\_CH は 3 ビット、OUT\_L は 1 ビットとなる。リンク選択回路の LV2\_Y は、2 レベルのトーラスで+方向-方向どちらのリンクを選択するか判定を行うための関数である。

- リンク選択回路
 

TESH の固定型ルーティングでは、最初の条件分岐で目的地の BM にいるか判定を行う。目的地の BM にいる場合、目的地の PE にいるか判定を行い、異なっていれば上移動、下移動、左移動の順に判定を行っていく。目的地の BM と異なっていれば、目的地の BM の 2 レベルの縦方向が異なっているか判定を行う。異なっていれば 2 レベル縦方向の BM 間リンクを持つ PE にいるか判定を行い、その PE にいれば上回りか下回りかの判定を行う。2 レベル縦方向の BM 間リンクを持つ PE にいなければ、その PE に向かって上移動、下移動、右移動と判定を行う。以上の判定を 2 レベルの横方向、3 レベルの縦方向、3 レベルの横方向の順に判定を行っていく。
- チャンネル選択回路
 

チャンネル選択回路は、対象となるパケットが存在する入力チャンネルの種類により構造が異なる。図 6 は、north リンク（トーラス結合の上側のチャンネル）のチャンネル 0 の回路のための VHDL ソースコードの一部である。

TESH は、2 次元メッシュと 2 次元トーラスを用いているため、それぞれの結合網に対してチャンネル選択条件を設定する。トーラス結合でのチャンネル選択条件は、

  - 1) ルーティング開始時は、チャンネル 0 を使用する。

```

-- BM
if(DEST(11 downto 4) = NODE(11 downto 4)) then
  if (DEST(3 downto 0) = NODE(3 downto 0)) then
    OUT_L <= "101"; -- processor
  elsif (DEST(3 downto 2) > NODE(3 downto 2)) then
    OUT_L <= "001"; -- north
  elsif (DEST(3 downto 2) < NODE(3 downto 2)) then
    OUT_L <= "010"; -- south
  elsif (DEST(1 downto 0) > NODE(1 downto 0)) then
    OUT_L <= "100"; -- east
  else
    OUT_L <= "011"; -- west
  end if;
end if;

-- 2LV Y
elsif(DEST(11 downto 8) = NODE(11 downto 8) and
      DEST(7 downto 6) /= NODE(7 downto 6)) then
  if("1100" = NODE(3 downto 0)) then
    if(LV2 Y1(1 downto 0) < "10") then -- north
      OUT_L <= "001";
    else -- south
      OUT_L <= "011";
    end if;
  elsif ("11" > NODE(3 downto 2)) then
    OUT_L <= "001";
  elsif ("11" < NODE(3 downto 2)) then
    OUT_L <= "010";
  elsif ("00" > NODE(1 downto 0)) then
    OUT_L <= "100";
  else
    OUT_L <= "011";
  end if;
  :
  :

```

図5 固定型ルーティングのリンク選択回路のVHDLソースコード

```

--IN_CH1(north_ch0)
if(DEST1(11 downto 4) = NODE(11 downto 4) and
  NODE(3 downto 2) = "11") then -- torus ==> mesh
  OUT_CH <= "1";
elsif(NODE(7 downto 6) = "11" and
  NODE(3 downto 0) = "1100") then
  OUT_CH <= "1";
elsif(NODE(5 downto 4) = "00" and
  NODE(3 downto 0) = "1111") then
  OUT_CH <= "1";
else
  OUT_CH <= "0";
end if;
:
:

```

図6 固定型ルーティングのチャンネル選択回路のVHDLソースコード

CS法を行うには、この間に図8のソースコードを挿入する

```

if(NODE(3 downto 0) = "0000" and
  ((DEST(11 downto 10) > NODE(11 downto 10) and
  LV3 Y1(1 downto 0) < "10") or
  (NODE(11 downto 10) > "10" and
  DEST(11 downto 10) = "00")) or
  (DEST(11 downto 10) = NODE(11 downto 10) and
  NODE(3 downto 0) = "0011" and
  (DEST(9 downto 8) < NODE(9 downto 8) and
  LV3 X1(1 downto 0) > "10" or
  (NODE(9 downto 8) < "10" and
  DEST(9 downto 8) = "11"))) then
  case FULL_CH3 is
    when '1' => OUT_CH1 <= "0";
    when '0' => OUT_CH1 <= "1";
    when others => null;
  end case;
  :
  :

```

図8 CS法のVHDLソースコード

```

-- 2LV Y
elsif(DEST(11 downto 8) = NODE(11 downto 8) and
      DEST(7 downto 6) /= NODE(7 downto 6)) then
  if("1100" = NODE(3 downto 0)) then
    if(LV2 Y1(1 downto 0) < "10") then -- north
      OUT_L <= "001";
    elsif(LV2 Y1(1 downto 0) = "10") then -- north or south
      if(NODE(7 downto 6) = "11") then -- ch1
        case FULL_CH4 is
          when '1' => OUT_L1 <= "011";
          when '0' => OUT_L1 <= "001";
          when others => null;
        end case;
      else -- ch0
        case FULL_CH3 is
          when '1' => OUT_L1 <= "011";
          when '0' => OUT_L1 <= "001";
          when others => null;
        end case;
      end if;
    else -- south
      OUT_L <= "011";
    end if;
  elsif ("11" > NODE(3 downto 2)) then
    OUT_L <= "001";
  elsif ("11" < NODE(3 downto 2)) then
    OUT_L <= "010";
  elsif ("00" > NODE(1 downto 0)) then
    OUT_L <= "100";
  else
    OUT_L <= "011";
  end if;
  :
  :

```

図9 LS法のVHDLソースコード

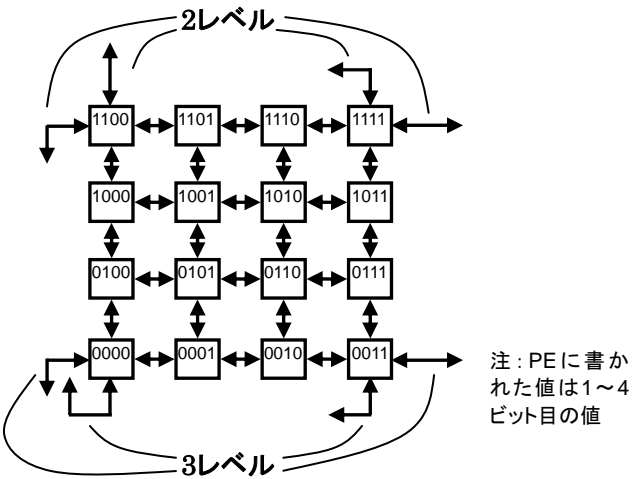


図7 3レベル TESHのBM

2) ラップアラウンドチャンネルを通過した次のルーティングでは、チャンネル1に移動する。

3) トーラス結合の移動を一端終え、別のトーラス結合のあるPEへ向かうため移動した次のルーティングでは、チャンネル0に移動する。

4) 上記以外の条件の時、元のチャンネルと同じものを選択する。

となる。メッシュ結合でのチャンネル選択条件は、

5) ルーティング開始時は、チャンネル0を使用する。

6) 受信先PEのあるBMに到着した次のルーティングでは、チャンネル1に移動する。

7) 上記以外の条件の時、元のチャンネルと同じものを選択する。

となる。

図6のnorthリンクのチャンネル0の最初の条件分岐では、6)の判定を行う。次の2つの条件分岐は2)についての判定を行って、1つ目は図7の"1100"、2つ目は図7の"1111"のトーラス結合について判定を行っている。elseでは、3)について行っている。

### 3.4 適応型ルーティングの実装

#### • CS法

CS法では、チャンネル選択回路に次の条件を追加する。

● トーラス結合での移動のとき、以下の条件を満たすときチャンネル0からチャンネル1に移動する。

- ルーティングの途中でラップアラウンドチャンネルを通過する予定がない。
- ラップアラウンドチャンネルを通過した時点でルーティングが終了する。



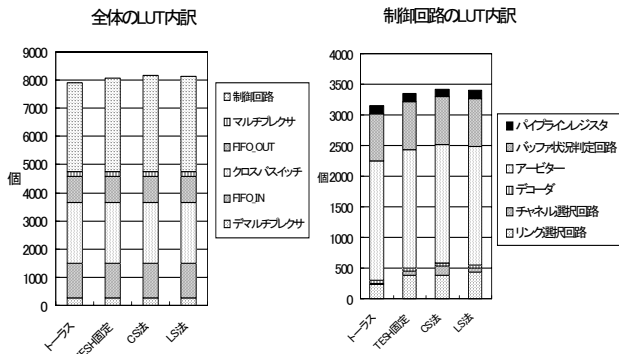


図 10 LUT の内訳

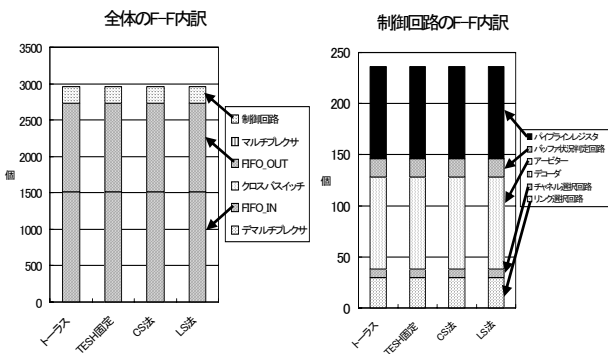


図 11 F-F の内訳

上記のいずれかの条件を満たし、行き先のチャンネル 0 の出力バッファに空きがない場合、チャンネル 1 を選択する。

図 7 に 3 レベル TESH の BM を、図 8 に CS 法の VHDL ソースコードの一部を示す。これは、図 6 の 1 行目と 2 行目の間に挿入するものである。図 8 のソースコードでは、パケットが次に選択するリンクのチャンネル 1 の出力バッファが Full か否かを示す信号 "FULL\_CH" を入力として追加している。最初の条件分岐では、3 レベルの縦の BM 間リンクのある PE にいて上移動、もしくは、3 レベルの横の BM 間リンクのある PE にいて左移動し、上記の CS 法の条件を満たすかどうかを判定を行う。条件を満たせば、下方向の出力バッファの空き状況を判定し、チャンネルを選択する。チャンネルの選択の際には、"FULL\_CH" を確認し、"FULL\_CH" が 1 であれば(チャンネル 1 が Full であれば)チャンネル 0 を、それ以外の場合にはチャンネル 1 を選択する。

● LS 法

LS 法では、リンク選択回路に次の条件を追加する。

- ・ トーラス結合での移動のとき、+方向と-方向のいずれのリンクを通っても等距離となる場合、縦では下移動、横では左移動の出力バッファの空き状況を判定し、それらが混雑している場合、それぞれ上移動、右移動を選択するようにする。

図 9 に LS 法の VHDL ソースコードの一部を示す。図 9 のソースコードも図 8 と同様、パケットが次に選択するリンクのチャンネル 1 の出力バッファが Full か否かを示す信号 "FULL\_CH" を入力として追加している。図 9 の図の四角で囲まれた部分が LS 法によって追加した部分となる。固定型ルーティングでは、等距離の場合、縦は下移動、横は

表 1 制御回路の遅延時間

	TESH(固定)	CS 法	LS 法
リンク選択回路	4.545	4.545	5.328
デコーダ	5.993	5.993	5.993
チャンネル選択回路	3.132	7.251	3.132
アービタ	4.779		
バッファ状況判定	11.249		
クロスバスイッチ	7.640		
クロックサイクル	11.249(ns)	11.249(ns)	11.249(ns)

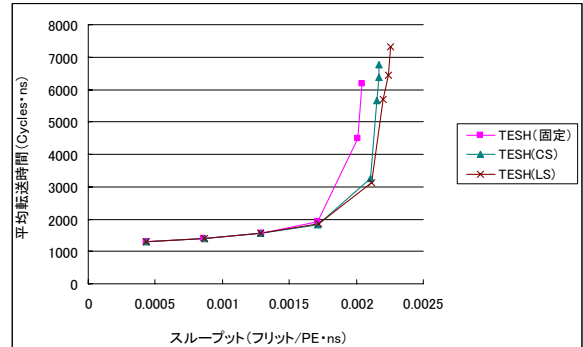


図 12 一様転送の平均転送時間

左移動を必ず選択していたが、適応型ルーティングでは目的地的 BM の 2 レベルの縦方向が異なっているか判定で条件分岐を 1 つ追加し、等距離の場合の判定をする。上回りと同様に目的地的 BM の 2 レベルの横方向が異なっているか判定で、右回りと左回りが等距離の場合、チャンネル選択の判定を行い、そのチャンネルの左方向のバッファに空きがなければ、右回りを選択する。以上の判定を 3 レベルの縦方向、3 レベルの横方向についても行う。

4. 評価

4.1 ハードウェア量の評価

Xilinx 社の論理合成ツール ISE Web PACK でルータ、及び制御回路の実装を行い、ハードウェア量を行った。評価は、ロックアップテーブル(LUT)とフリップフロップ(F-F)について行った。LUT とは、4 入力の論理ゲートの数を示している。

LUT の内訳を図 10、F-F の内訳を図 11 に示す。LUT の内訳についてみると、トーラス網では全体の約 3.2% を占めて、TESH(固定)では全体の約 5.5% をリンク・チャンネル選択回路が占めている。CS 法では全体の約 6.4% をリンク・チャンネル選択回路が占めて、LS 法では全体の約 6.2% をリンク・チャンネル選択回路が占めている。一方、記憶素子である F-F について見ると、どのアルゴリズムも全体の約 1.3% をリンク・チャンネル選択が占めている。以上の結果から回路全体に対するルーティングアルゴリズムの回路の割合が小さいことが分かる。適応型ルーティングアルゴリズムを実装することによるハードウェア量の影響は少ないと考えられる。よって TESH を用いることによるハードウェア量の影響は限定的なものとなる。

## 4.2 遅延の評価

制御回路の実装を行い、遅延の評価を行った。その結果を表 1 に示す。パイプライン処理により 3 つのステージに分かれる。それぞれのステージは以下ようになる。

- ・ ステージ 1  $\max(t_1+t_d, t_c)$
- ・ ステージ 2  $t_a$
- ・ ステージ 3  $t_{dt}$
- ・ ステージ 4  $t_s$

ステージ 1,2,3 中,  $t_1$ : リンク選択回路,  $t_c$ : チャネル選択回路,  $t_d$ : デコーダ,  $t_a$ : アービタ,  $t_{dt}$ : バッファ状況判定回路,  $t_s$ : クロスバスイッチの遅延時間である。ステージ 1 は, 図 4 を見ると入力バッファから送られてきたアドレスは, リンク選択回路とチャネル選択回路に送られる。そのため, アービタに送られるまでの間の処理は, 「リンク選択回路→デコーダ」の流れと「チャネル選択回路」の処理が同時に行われる。従って, リンク選択回路とデコーダの合計とチャネル選択回路の遅延の大きい方とアービタ, バッファ状況判定回路の合計が遅延時間となる。これらのうち, 最大の値を持つものがクロックサイクル時間になるため, 固定型ルーティング, CS法, LS法とどのルーティングアルゴリズムでもステージ 3 のバッファ状況判定回路の遅延が最大になる。

固定ルーティングと 2 種類の適応ルーティングのリンク選択回路, チャネル選択回路の遅延時間を比較すると, 0.783ns, 4.119ns の増加となっている。TESH は複雑な構造をしており, ルーティングアルゴリズムも複雑なものとなっているが, 次数が 4, 仮想チャネル数も 2 本にとどまっており, 適応ルーティングに伴う追加の入力も, 出力バッファの状況を示す Full 信号のみである。それゆえ, 固定ルーティングと同様, 組み合わせ論理回路による実装で十分に対応可能であり, 論理合成ツールによる最適化によって, 遅延時間を最小限に抑えることが可能となっている。

図 12 に一様転送の平均転送時間を示す。折れ線は, それぞれ固定型ルーティング, CS 法, LS 法を示している。図 12 を見ると, CS 法と LS 法は, ともに固定型ルーティング比べ, 若干高いスループットとなっている。パイプライン処理により, バッファ状況判定回路の遅延がクロックサイクルとなるため, CS 法, LS 法を用いることによる遅延の影響はないものと考えられる。

## 5. まとめ

本稿では, TESH の固定型ルーティングと適応型ルーティングの CS 法と LS 法についてハードウェア量と遅延の評価を行った。適応型ルーティングとの評価では, CS 法または LS 法を実装することによるハードウェア量, 遅延時間双方の影響は少ないことがわかった。遅延時間の評価では, 一様転送の平均転送時間で CS 法と LS 法は, ともに固定型ルーティング比べ, 若干高いスループットとなった。

今後は, 適応型ルーティングの DDR 法についての評価を進める。

## 文 献

[1] V.K.Jain, T.Ghirmai and S.Horiguchi, "TESH: A New Hierarchical Interconnection Network for Massively Parallel Computing", IEICE Transactions, vol.E80D, No.9, pp.837-846, 1997

[2] 小柳光正, 杉村武昭, 福島誉史, 田中徹, 「3次元集積化技術とリコンフィギャラブル 3D-Soc」, 電子情報通信学会技術研究報告, RECONF2006-3, pp.13-18, 2006

[3] Suehiro Sugitani, Takao Ishii, and Masami Tokumitsu, "Three-Dimensional Interconnect With Excellent Moisture Resistance for Low-Cost MMICs", IEEE Trans. on Advanced Packaging, Vol. 26, No. 2, pp.133-140, 2003

[4] Bhansali, Shekhar et.al., "3D heterogeneous sensor system on a chip for defense and security applications", Proceedings of the SPIE Defense and Security Symposium (DSS), pp. 413-424, 2004

[5] G.H.Chapman, V.K.Jain and Shekhar Bhansali, "Defect Avoidance in 3-D Heterogeneous sensor", Proceedings of the 19th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems(DFT'04), pp.67-75, 2005

[6] 三浦康之, V.K.Jain, 堀口進, 「階層型ネットワーク TESH におけるデッドロックフリー・ルーティング」, 情報処理学会論文誌, vol.41, No.5, pp.1370-1378, 2000

[7] Y.Miura and S.Horiguchi, "An Adaptive Routing for Hierarchical Interconnection Network TESH", Proc. of the Third International Conference on Parallel And Distributed Computing, Applications and Technologies, pp.335~342, 2002.9.

[8] 三浦康之, 堀口進, 富士将, 細粒度並列処理向け相互結合網 TESH における適応型ルーティングアルゴリズム, 電子情報通信学会論文誌, Vol.J91-D, No.5, pp.1202-1215, 2008.5.

[9] M.Koibuchi, K.Anjo, Y.Yamada, A.Jouraku and H.Amano, "A Simple Data Transfer Technique Using Local Address for Networks-on-Chips", IEEE Transaction on Parallel and Distributed Systems, vol.17, No.12, pp.1425-1437, 2006

[10] L.M.Ni and P.K.McKinley, A Survey of Wormhole Routing Techniques in Direct Networks, Proc of the IEEE, Vol.81, No.2, pp.62-76, 1993.