

# FPGA を用いたハードウェア・ソフトウェアトレードオフ実験

## Laboratory for Hardware-Software Tradeoff Using FPGAs

石田 光一† 藁科 崇† 田中 清臣†

Koichi ISHIDA Takashi WARASHINA Kiyoomi TANAKA

### 1. まえがき

近年、電子回路のデジタル化は一段と加速し、家電機器にもプロセッサが搭載され、複雑な機能はファームウェアによって効率良く実装されている。そして、デジタル回路の設計現場においては、もはや回路図レベルでの設計が行われることは希で、VHDL や Verilog などのハードウェア記述言語を用いた回路設計が主流である。このような流れに即し、大学の電子回路実験における課題、教材の見直しも必要となってきた。今回、ハードウェアとソフトウェアのトレードオフを統一的に実験できる仕組みを取り入れた実験教材を開発し、本学の学部 2、3 年生向けに導入したので報告する。

### 2. 背景

本学の学生実験においては、これまでもハードウェアとソフトウェアのトレードオフ問題を考えさせることを目的とした回路実験を行ってきた。当初は汎用ロジック部品を組み合わせ、ラッピング配線により回路を組み立てる方式であったが、2003 年 10 月より独自に開発した FPGA(Field Programmable Gate Array)基板と、VHDL による設計環境をデジタル回路実験の教材として取り入れた。これによって、学生は時間を要する配線作業から解放され、回路設計に専念できるため、以前よりも高度で複雑な回路の実験ができるようになった[1]。

しかしながら教材の FPGA 化は、ハード/ソフトウェアの利害得失が何であるか、学生の理解を困難にしまう状況をももたらした。本学では実験レポートを提出後、教員と学生が 1 対 1 で対面しながら講評を行っているが、その際に肌で感じて取れる傾向である。すなわち、ソフトウェアのメリット「仕様変更や開発の容易さ」は FPGA により、ハードウェアにもある程度もたらされ、ハードウェアのメリット「高速処理」については、学生実験で組み立てる回路では、最新の PC 上で動作する「ソフトウェアの処理時間」を超えることは難しいという現実がある。つまり、単に FPGA を導入しただけでは、ハード/ソフトウェアの利害得失をフェアに比較実験できる状態ではないのである。そこで、ハードウェアとソフトウェアのトレードオフを統一的に実験できる仕組みを新たに用意することが必要であり、今回 FPGA 基板上にその環境の構築を行うこととした。

### 3. 開発した実験教材の概要

開発した FPGA 実装基板の構成図を図 1 に、その外観写真を図 2 に示す。ザイリンクス社製 XC4028XLA [2] を 2 個、32bit × 128KB の SRAM4 個をプリント基板上に実装し

ている。この基板は図 3 に示すように PCI バスで UNIX ワークステーションに接続されている。ワークステーションでは回路設計環境のほか、FORTH プロセッサのコンソール機能を提供している。また、FPGA 実装基板の他端には表示用 LED や入力用のスイッチが実装された論理回路操作盤が接続されている。

FPGA はルックアップテーブル型の組合せ回路とフリップフロップから成るセルブロックとこれを任意に配線できるスイッチと配線情報を記憶するための SRAM が内蔵されている。ユーザは、はんだ付やラッピング配線をすることなく容易に回路の設計、変更をすることが可能であるため、学生は機能実現のための設計作業に専念できる。本教材では、2 つの FPGA のうち一方に FORTH プロセッサを実装し、他方を学生のオリジナル回路実装用に提供している。

この教材で採用している FORTH 言語は構造化言語の一つで、ワード (word) と呼ばれる動作の定義とスタック操作に特徴がある[3,4]。

たとえば、TOS (Top Of Stack: スタックの一番上のデータ) の値をコピーする "DUP" という基本ワードを用いて、ある値の自乗を求める "SQUARE" というワードを

```
forth>: SQUARE DUP * . ;
```

というように TOS の値とコピーした値とをかけ算という形で定義し、

```
forth>-4 SQUARE
```

というように実行すると  $(-4)^2=16$  という解が得られる。

このワードを定義していく概念は、機能のモジュール化を学習するのに役立つ。機能ごとにモジュール化しワードを定義する。ある時はその 1 つのモジュールをマイクロプログラム (プロセッサを直接制御するプログラム) やハードウェアに置き換え、比較実験する。そうすることで、ある機能の実現に対してソフトウェア、ハードウェアのトレードオフ問題について実際に比較しながら学生に考えさせることができる。また、FORTH プロセッサ自体の難易度が高くないのも利点である。この教材では学生自身の回路を実装するデバイスと同一性能のデバイスにプロセッサを実装し、マイクロプログラムも SRAM にダウンロードする形式をとっているため、学生自身がこれを直接操作することも可能である。このマイクロプログラムは FORTH 言語上から "CODE" というワードを用いて定義し、階層的に呼び出して用いることが可能である。

```
forth> CODE sub <μプログラムの記述> END-CODE
```

```
forth>: main ... sub ... ; (FORTH から呼び出し)
```

回路の記述については FORTH とは独立した VHDL 言語で行っているが、将来的にはマイクロプログラムと同様、FORTH 言語に統合した環境にすることが有効と考えている。

†電気通信大学 電子工学科

#### 4. 実験の進め方

デジタル回路実験は電子工学実験第一においては4週、第二においては7週連続の演習として行われる。設計ツールや FORTH 言語の習得を行ったのち、課題として加減乗除の演算回路や、7セグメント LED デコーダ回路などの設計を順次行う。この時に機能のモジュール化を意識させ、そのモジュールをソフトウェアで実現するかハードウェアで行うかを考え、比較をしながら演習を進める。

従来の教材では、FORTH 言語がワークステーション上で動作し、学生の設計する回路は FPGA に実装する方式であったため、ソフトウェアとハードウェアを同じ土俵で比較することが難しい状況であった。これに対して新しい教材では FORTH 言語も FPGA 上に実装されたプロセッサで動作することが特徴である。学生は、ある機能のモジュールを、FORTH 言語のアプリケーション、FORTH プロセッサの動作を制御するマイクロプログラムの追加や変更、FPGA 上へのオリジナル回路の実装という3通りの方式で実現することに取り組む。システムのすべてが同一性能かつ再構成可能なハードウェア環境の上に構築されているので、前述の ~ のいずれで機能を実現しても、同一の尺度で処理速度などの議論を統一的去ることができることになる。

今回、7セグメント LED デコーダ、4-to16 デコーダ、任意波形(階段波形)発生回路という3つの課題について、FORTH 言語上で動作するプログラム版/直接プロセッサを制御するマイクロプログラム版/FPGA2 に実装するハードウェア版の3種類のモジュールを用意した。これらは学生がアルゴリズムを変更して評価が可能なように自由度を持たせてある。また、プログラムの処理時間を計測する start\_timer と read\_timer というワードを用意した。

```
start_timer
評価対象のモジュール
read_timer
```

のように順番に実行することで、モジュールの動作時間を計測することができる。ここで、マイクロプログラム版、ハードウェア版のモジュールも同様に FORTH から階層的に呼び出して実行される。この課題を学生7人のグループに課した結果、表1のような形式で定量的な比較を試みた上でトレードオフを考察したレポートが3通確認できた。このことから、本教材とサンプルのモジュールが、ハード/ソフトウェアのトレードオフ問題について、学生の理解を助けているものと考えられる。

#### 5. 結論

FPGA を用いて、FORTH プロセッサと学生自身が組み立てる回路のすべてが同一性能のハードウェア環境の上に構築されている、デジタル回路学習用の実験教材を開発した。また、FORTH プログラム版/マイクロプログラム版/ハードウェア版の3種類の形態のサンプルモジュールと処理時間計測機能を用意した。これによってハードウェアとソフトウェアの利害得失を比較しながら実験を進めることが可能となり、トレードオフ問題を統一的に実験できる仕組みが完成した。本実験教材は平成18年度の電子工学実験第一(学部2年後期)および第二(学部3年前期)の授業より提供を開始しているが、今後も

学生の理解度や感想を考慮し、より効果的な実験の実施方法を検討していく予定である。

#### 参考文献

- [1] 齋藤正和, 藁科崇, 田中清臣, "WWW を利用したデジタル回路遠隔実験", 信学技報 ET-2003-108, pp.59-64, 2004年3月.
- [2] ザイリンクス社データシート, <http://www.xilinx.com.jp/>.
- [3] 井上外志雄, "標準 F O R T H", 共立出版, 1985.
- [4] <http://lab.ee.uec.ac.jp/text/forth/index.html>

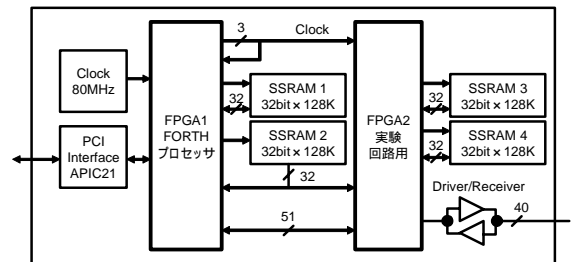


図1. 開発した実験教材 (FPGA 実装基板) の構成図.

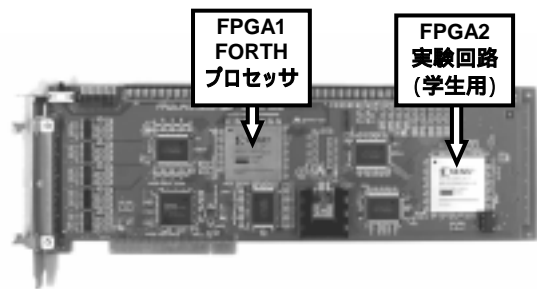


図2. 開発した実験教材 (FPGA 実装基板) の外観写真.

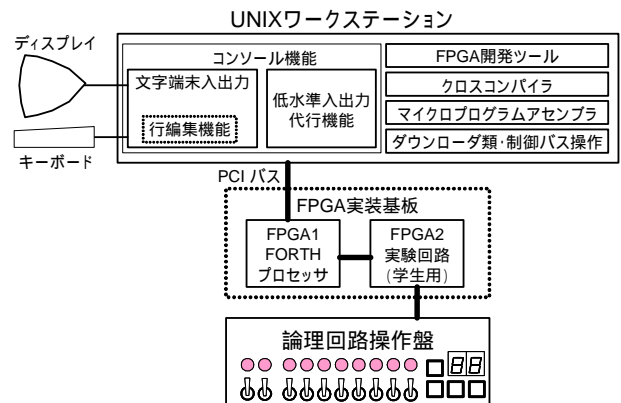


図3. 開発した実験教材のシステム構成図.

表1. 学生レポートでの処理時間比較評価例

入力	7seg デコーダ	7seg デコーダ	4to16 デコーダ	4to16 デコーダ
	μプログラム版	FORTH 版	μプログラム版	FORTH 版
0	10	36	34	233
1	10	36	36	250
:	:	:	:	:
14	10	36	43	701
15	10	36	45	718

処理時間はサイクル数。1 サイクル=1.2us, FPGA によるハードウェア版の処理時間はそれぞれ1サイクル以内。