

J-109

高画質対応組み込み用 1 チップ MPEG-2 全二重 CODEC LSI (ISIL)

-- 1080I まで対応可能なデコーダ構成 --

Single-Chip High-quality MPEG-2 CODEC LSI (ISIL)

-- Architecture for Decoding 1080I --

中島 靖之 岩崎 裕江 長沼 次郎 田代 豊 中村 健 吉留 健、

大西 隆之 池田 充郎 泉岡 生晃 遠藤 真 八島 由幸

Yasuyuki Nakajima Hiroe Iwasaki Jiro Naganuma Yutaka Tashiro

Ken Nakamura Takeshi Yoshitome Takayuki Onishi Mitsuo Ikeda

Takaaki Izuoka Matoko Endo Yoshiyuki Yashima

1. まえがき

ブロードバンド時代の本格的な到来に向け、標準 TV にとどまらない高画質映像コンテンツの作成と映像通信を可能にするために、コンシューマ向け機器などへ組み込みできる、高画質に対応した低消費電力低コストの MPEG-2 CODEC LSI が必要とされている。我々は今回世界で初めて 480/60P(プログレッシブ)対応の組み込み用 1 チップ MPEG-2 全二重 CODEC LSI (開発コード名:ISIL)を開発した。本講演では ISIL におけるデコード処理について述べる。

2. ISIL のハードウェア構成とデコード処理

図 1. に ISIL のハードウェア構成を、表 1. に ISIL デコード時のデータの流れを示す。膨大な計算量を要する映像デコードは専用ハードウェアである DEC-CORE で行う。FRC(flexible resolution conversion)はデコード時において解像度を低い方から高い方へ変換する。DSP は音声をエンコードするために用いられ、半二重デコードの場合は音声をデコードする。全二重でエンコード・デコードを同時に行う場合の音声デコードは TRISC 上のファームウェアで行う。また外部メモリとして 2 個の SDRAM(128Mbit)を 32bit のバンド幅で接続する。全二重動作時は SDRAM-A は映像エンコード処理に用いられるため、残りの SDRAM-B を音声のエンコード処理を行う DSP、音声のデコード処理を行う TRISC、そして映像のデコードを行う DEC-CORE のために用いる。半二重動作時は、SDRAM-A を映像デコード処理に使い、SDRAM-B を音声のデコード処理を行う DSP や FRC のために用いる。組み込み機器側からのシステム上の要請に柔軟に対応させるため RISC を内蔵しており、デコード時のフレームメモリに対するアドレスの管理や MUX/DEMUX が利用するバッファの管理などをファームウェアで行っている。

3. ISIL デコーダ部のファームウェア構成

映像、音声のエンコード、デコードの多岐にわたる処理を効率的に管理するため、ISIL では OS (μITRON とドライバからなる) を介して各タスクを動作させることにした。図 2. に ISIL のタスク構成を示す。ビデオ、オーディオといった機能ごとに統合するタスクを設け、それ

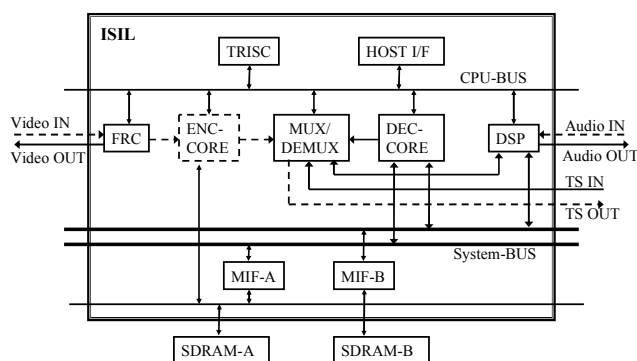


図 1. ISIL のハードウェア構成。

モード	Enc/Dec	V/A	DATA の流れ
Codec モード	Encode	Video	FRC→ENC-CORE→SDRAM-A →ENC-CORE
		Audio	DSP→SDRAM-B→DSP
	Decode	Video	DEC-CORE→SDRAM-B →DEC-CORE→FRC
		Audio	DSP→SDRAM-B→TRISC
Decode モード	Decode	Video	DEC-CORE→SDRAM-A →DEC-CORE→FRC
		Audio	DSP→SDRAM-B→DSP

表 1. ISIL デコード時のデータの流れ。

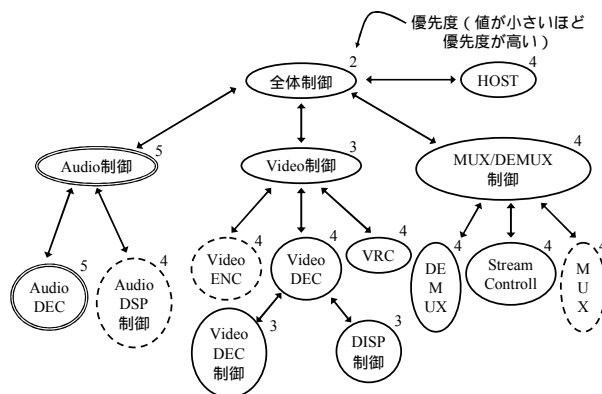


図 2. ISIL のタスク構成。

日本電信電話株式会社 NTT サイバースペース研究所,
NTT Cyber Space Laboratories, NTT Corporation.

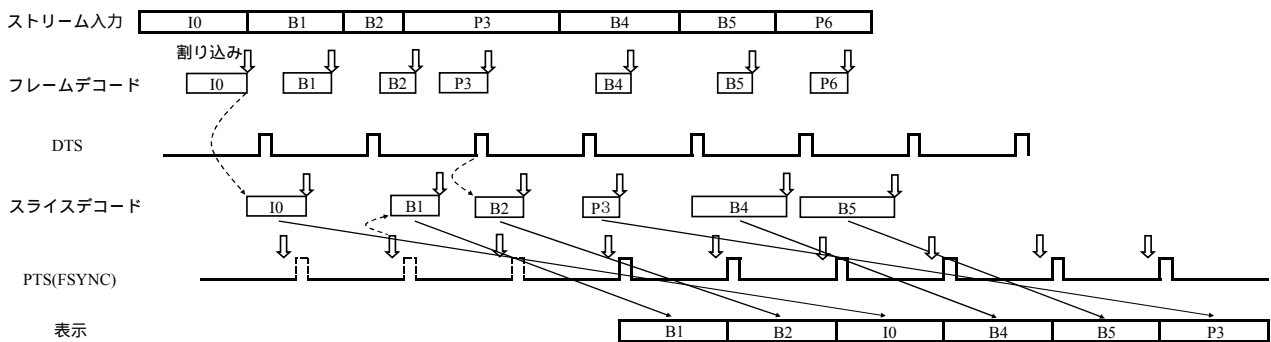


図3. ISIL デコーダ基本制御タイミング。

らから細分割したツリー状の構造になっている。Video DEC タスクについては、デコード(DTS)及び表示(PTS)のクロック・タイミングの違いに着目して Video DEC 制御タスクと DISP 制御タスクに分割して制御を容易にした。

Video 制御タスク、Video DEC 制御タスク、DISP 制御タスクは、フレーム間隔時間ごとに映像を表示する必要があることからタスクの優先度を高くし、一方オーディオデコードのタスクは処理時刻にむらが生じないように優先度を低くした。

4. ISIL デコーダ部の制御

図3. に ISIL デコーダ部の基本タイミングを図4. に制御フローを示す。デコーダ部の制御は、初期設定以降はハードウェアのイベントを基準とし、そのイベントの内容をファームウェアが判断し、制御を行う。イベントは上位層(ピクチャ層以上)デコード割り込み、スライスデコード終了割り込み、DISP 表示割り込みの3通りの割り込みからなり、これらを繰り返しながらデコード処理を行う。なお、入力ストリームのレートやエラー等により割り込み発生順番は変化する。

上位層デコード割り込み: ピクチャデータを検出すると割り込みが発生する。パラメータを読み出して、ピクチャをデコードするかスキップするか DTS まで待つかを判断し、バッファの管理と共に必要な設定をする。デコード時刻は DTS と STC の差などに応じてシステム毎に柔軟にファームウェアで対処できる。図3. の B2 ピクチャのように、DTS の示す時刻にデコードを開始することもできるし、I0 ピクチャのように、デコードが可能になれば DTS の時刻によらずデコードすることもできる。またバッファにライトできない場合など DISP の割り込みなどの機会でもデコードを開始することもできる。

スライスデコード割り込み: ピクチャデータのすべてのスライスの処理が終わったときに割り込みが発生する。スライスデコード結果にエラーがあったときは結果を保持し、表示処理判断に反映させる。

DISP 表示割り込み: frame(field)単位で割り込みが発生する。デコードした画像が入っているフレームバッファの状態と PTS を見て出力すべき画面を指定する。また表示処理の判断を行い、表示したい画像にエラーがあった場合や PTS と STC の差に応じてスキップまたは前

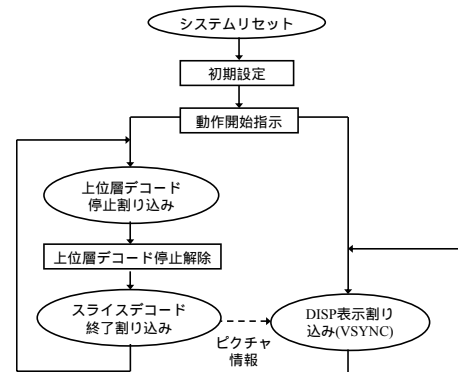


図4. ISIL デコーダ制御フロー。

画面をリピートする。また、デコードと表示のアドレスを管理し、ファームウェアでリオーダに対応している。

5. まとめ

本講演では、開発した高画質対応1チップ MPEG-2 全二重 CODEC LSI (ISIL) におけるデコード処理について述べた。本 LSI では映像は専用の D-CORE 部で復号する。音声は全二重モードでは RISC 上のミドルウェアで復号し、半二重モードでは DSP で復号することにより低消費電力化を図った。LSI 動作全体を制御する RISC 部は、 μ ITRON 上でタスク分割して動作させ、映像のデコードタスクをデコード及び表示のクロック・タイミングの違いに着目して2つのタスクに分割して制御を容易にした。本構成により、半二重 1080I デコードを 0.8W で、全二重 480/60P コーデックを 1.4W で実現できる。

参考文献

- [1] Hiroe Iwasaki et al. "A 1.1W Single-chip MPEG-2 HDTV CODEC LSI for Embedding in Consumer-oriented Mobile CODEC Systems", 2003 IEEE Custom Integrated Circuits Conference, September 2003.
- [2] 長沼 他 "高画質対応組み込み用1チップ MPEG-2 全二重 CODEC LSI (ISIL) : -- 設計思想と基本アーキテクチャー --", FIT2003, September 2003.
- [3] 岩崎 他 "高画質対応組み込み用1チップ MPEG-2 全二重 CODEC LSI (ISIL) : -- 720/30P まで対応可能なエンコーダ構成 --", FIT2003, September 2003.