

MPEG-2 720/30P 映像伝送システム

MPEG-2 720/30P Image Transmission System

中島 靖之 大西 隆之 田代 豊 長沼 次郎

Yasuyuki Nakajima Takayuki Onishi Yutaka Tashiro Jiro Naganuma

1. はじめに

広帯域 IP ネットワークが一般家庭に普及するようになり、SDTV より大きな画面サイズのリアルタイム映像伝送システムが望まれている。しかしこれまで提案されているリアルタイム HDTV 映像伝送システムは高価であり[1,2]、コンシューマ向けのシステムは存在しなかった。この原因としては、HDTV 映像を符号化するためあるいは IP ネットワーク上で MPEG-2 ストリームを送信するために専用のハードウェアを用いていたことが考えられる。また、これまでのシステムにおいては HDTV 映像の符号化のために複数の MPEG-2 符号化チップ[3,4]を用いていたため、消費電力が大きくなってしまふという問題もあった。今回我々は、既開発の 720/30P (プログレッシブ) 対応 1 チップ MPEG-2 CODEC LSI (開発コード名:ISIL) および IP パケット化ソフトウェアを用いてコンシューマ向けのリアルタイム MPEG-2 720/30P 映像伝送システムを開発したので報告する。

2. リアルタイム MPEG-2 720/30P 映像伝送システムの構成

今回開発した 2 通りのリアルタイム MPEG-2 720/30P 映像伝送システムを図 1 に示す。

この図の上側の部分で示される PCI ボードシステムにおいて、我々は 720/30P (プログレッシブ) 対応 1 チップ MPEG-2 CODEC LSI [5] を使用して 720/30P MPEG-2 対応

のエンコーダ及びデコーダとなる PCI ボードを開発した。PCI ボードの写真及びブロック図をそれぞれ図 2 と図 3 に示す。様々な応用展開を考慮し、エンコーダボードは DVB-ASI インタフェースや 100Base-TX イーサネットからトランスポートストリーム(TS)を出力できるように設計されている。また PCI バスインタフェースを経由して PC のハードディスクドライブにストリームを蓄積することもできる。これらは 720/30P MPEG-2 エンコーダ及びデコーダ PCI ボード制御プログラムの GUI 画面上で制御する。表 1 に 1 チップ MPEG-2 CODEC LSI の仕様を示す。本 LSI を用いることにより、本チップと SDRAM だけで 720/30P MPEG-2 エンコードが可能になるため、部品点数が大幅に削減できる。またこのチップの消費電力は 1.1 W であり、低消費電力化にも寄与している。更に我々は RTP プロトコル[6]処理を行うソフトウェアを開発して PCI ボード制御ドライバの API に実装し、エンコーダボードが挿入されている PC 上で実行することにより TS ストリームを RTP パケット化した。

我々は図 1 の下側の部分で示されるような、コンシューマ向けハイビジョンカメラを用いたリアルタイム MPEG-2 720/30P 映像伝送システムを開発した。このハイビジョンカメラも同様に 720/30P (プログレッシブ) 対応 1 チップ MPEG-2 CODEC LSI を使用している。このシステムにおいては、ハイビジョンカメラは 720/30p MPEG-2 の TS ストリームを IEEE 1394 端子から出力し、IEEE1394 で接続されている PC が RTP プロトコル処理を行い、IP パケットを送

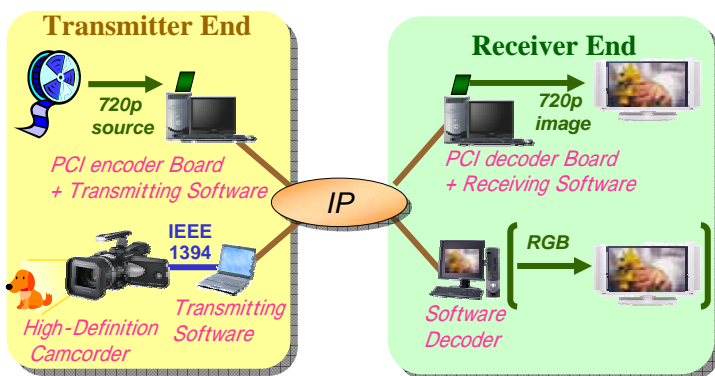


図 1. 今回開発した 2 通りの MPEG-2 720/30P リアルタイム映像伝送システム。

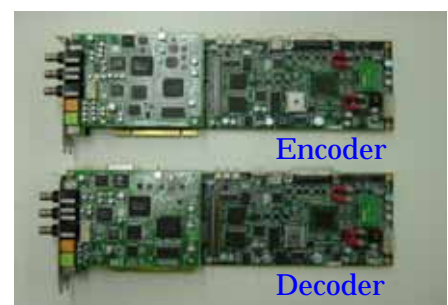


図 2. 720/30P MPEG-2 エンコーダ(上)及びデコーダ(下) PCI ボード。

出する。プロトコル処理を DirectShow Filter および Libraw1394 の入出力に適用することにより、Windows あるいは Linux どちらの PC でも動作させることができる。民生機器を使用していることもあり、このシステムにかかる費用は既存のシステムに比べて 1/10 程度まで削減が見込まれる。またこれまで用いられていたハードウェア伝送系との相互接続も可能なため、既存システムからの拡張も容易である。

3. 伝送実験の結果

図4はPCIボードシステムで10分間伝送した際のパケット損失数を示す。エンコーダとデコーダがハブを介して100Base-TXイーサネットで接続されている場合にはパケット損失は見られなかった。エンコーダとデコーダが日本のコンシューマ向け光高速インターネットサービスの地域IP網で接続されている状態では、複数のパケット損失が観測された。しかしこの場合でもビットレートによらず、MPEG-2 CODEC LSIのエラーコンシールの働きにより、デコード映像は一瞬停止の後にすぐ回復した。系全体の遅延はハブを介した場合で約0.7秒であり、この値は3時間伝送した後も変わらなかった。ハイビジョンカメラシステムにおいても、PCIボードシステムとほぼ同じ遅延でMPEG-2 HDTV映像を伝送することに成功した。

4. まとめ

我々は720/30P対応1チップMPEG-2 CODEC LSIおよびIPパケット化ソフトウェアを用いて、コンシューマ向けIPネットワークにおいてこれまでの約1/10の費用でMPEG-2 720/30Pで30Mbpsのリアルタイム映像伝送に成功した。提案されたシステムはビデオ電話やビデオ会議のみならず放送、教育、および医療の分野におけるHDTV映像の利用シーンを拡大することが期待される。

参考文献

- [1] IBE, Inc., "IBE HD MPEG PACK" [Online]. Available: http://www.ibe.jp/pdf/20031112_1.pdf.
- [2] NTT Electronics Corporation, "MPEG-2 関連製品" [Online]. Available: <http://www.nel.co.jp/multimedia/products/index.html>.
- [3] M. Ikeda et al., "An MPEG-2 Video Encoder LSI with Scalability for HDTV based on Three-layer Cooperative Architecture," in Design, Automation and Test in Europe Conference 1999, March 1999, pp. 44-50.
- [4] LSI Logic Corporation., "DoMiNo: (2002) LSI LOGIC home page," [Online]. Available: <http://www.lsillogic.com>.
- [5] H. Iwasaki et al., "A 1.1W Single-Chip MPEG-2 HDTV CODEC LSI for Embedding in Consumer-oriented Mobile CODEC Systems," in 2003 IEEE Custom Integrated Circuits Conference, 2003, Paper 9-2.
- [6] IETF RFC 3550 - RTP: A Transport Protocol for Real-Time Applications, July 2003.

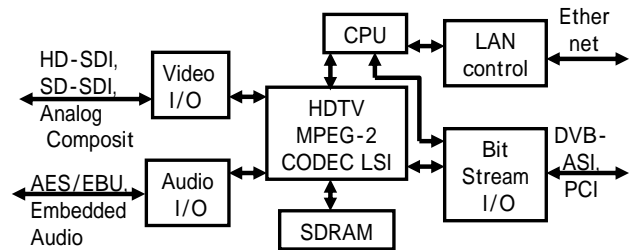


図3. 720/30P MPEG-2 エンコーダ及びデコーダ PCI ボードのブロック図。

Die size	9.7 mm x 9.7 mm
Clock frequency	81/108/144 MHz
Supply voltage	1.5V/3.3V
Power consumption	0.8W (at MPEG-2 1080i decoding)
	1.1W (at MPEG-2 720/30P encoding)
External memories	128Mbit(32bit) SDRAM x 2
Video	
Profile and level	MPEG-2 SP,MP@ML (for encoding)
	MPEG-2 SP,MP@ML,HL (for decoding)
Search range	Narrow: -113.5/+99.5(H), -57.5/+57.5(V)
	Wide: -225.5/+211.5(H), -113.5/+113.5(V)
Resolution and rate	1280 x 720 at up to 30 fps (for encoding)
	1920 x 1080 at up to 30 fps (for decoding)
Audio	
Sampling	32 KHz, 44.1 KHz, 48 KHz
Encoding format	MPEG-1 LayerII, MPEG-1 LayerIII
System	
I/O format	MPEG-2 TS

表1. 1チップMPEG-2 CODEC LSI (開発コード名:ISIL) の仕様。

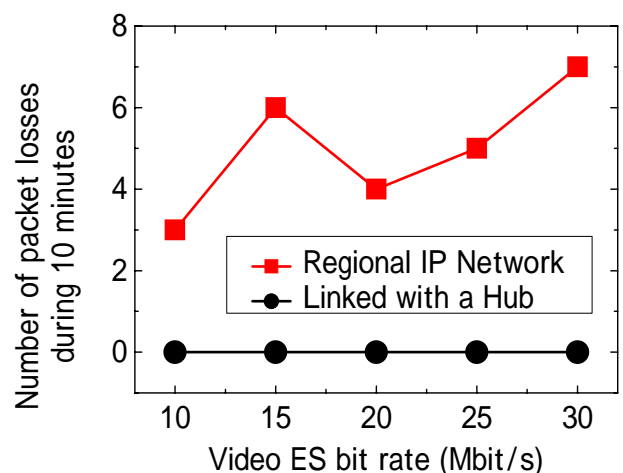


図4. PCIボードシステムにおいて10分間伝送した際のパケット損失数。