

C-034

フリップフロップに着目したソフトエラー訂正機構の検討 Investigation of Soft Error Correction Mechanism Focused on Flip-Flop

棟岡 朋也[†]

Tomonari Muneoka

小林 良太郎[†]

Ryotaro Kobayashi

1. はじめに

近年、半導体製造技術の進歩に伴い、粒子や宇宙線が起因するソフトエラー発生率の増加による信頼性の低下が問題となっている。最近では、アーキテクチャレベルでソフトエラーを検出および訂正する技術が多く発表されている [1]。しかし、一般的にこのソフトエラーを検出および訂正するには、コスト、電力、性能などに大きな影響を及ぼす。

これに対し本稿では、コストと電力の削減を目的とし、Dependable FF と呼ぶ、フリップフロップに着目したソフトエラー訂正機構を提案する。

2. Dependable FF

提案機構を図 1 に示す。図 1(a) にパイプラインの構造を示す。パイプラインはフリップフロップとロジック回路から構成され、ソフトエラーは双方で発生する。フリップフロップはパイプラインレジスタやレジスタファイルなどから構成される。一方、ロジック回路はパイプラインステージから成る。本稿では、フリップフロップ

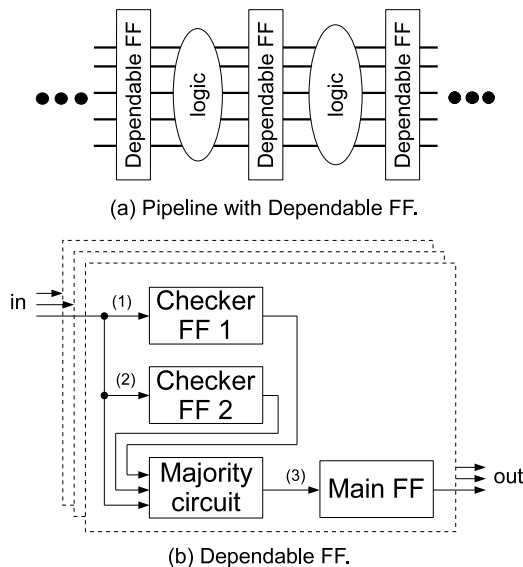


図 1: ソフトエラー訂正機構

で発生するソフトエラーはパリティビットや ECC(Error Correcting Code) などで保護すると仮定し、ロジック回路で発生するソフトエラーを訂正するために、従来のフリップフロップを Dependable FF に置き換える。それ以外の回路は必要ない。そのため、本機構を適用することは容易である。

次に、Dependable FF の構成を図 1(b) に示す。本機構は、2 つのチェッカー FF、多数決回路、メイン FF で構成される。ソフトエラーを検出するために、本機構は次のように動作する。

(1) $3n$ サイクル

ロジックの 1 つ目の出力がチェッカー FF1 に書き込まれる

(2) $3n+1$ サイクル

ロジックの 2 つ目の出力がチェッカー FF2 に書き込まれる

(3) $3n+2$ サイクル

多数決回路によって、ロジックの 3 つ目の出力とチェッカー FF1 とチェッカー FF2 の多数決値が、メイン FF に書き込まれる

このように、ロジックの出力を多重化し、多数決をとることでソフトエラーを訂正することが可能である。なお、(1)~(3) で 2 つ以上ソフトエラーにより間違った値が書き込まれた場合、ソフトエラーを訂正することができない。

ここでロジック内でソフトエラーが発生した場合、本機構がどのような動作をするのか図 2 で説明する。最初の 1 サイクル目では、ロジック内でソフトエラーが発生し、誤った出力値 0 がチェッカー FF1 に書き込まれる。次の 2 サイクル目に、ロジックから正しい値 1 がチェッカー FF2 に書き込まれる。そして、3 サイクル目にロジックから出力された正常な値 1 とチェッカー FF1 および 2 が、多数決回路によって多数決値 1 が出力され、メイン FF に書き込まれる。結果として、メイン FF は正しい値を次のロジックに出力することができる。

もし、ソフトエラーが発生しない場合、ロジック回路は $3n+1$ 、 $3n+2$ サイクル目にスイッチしないので電力を抑えることができる。さらに、 $3n$ 、 $3n+1$ サイクル目で書き込まれた各チェッカー FF の値と既にかき込まれて

[†]豊橋技術科学大学大学院工学研究科
Graduate School of Engineering, Toyohashi University
of Technology

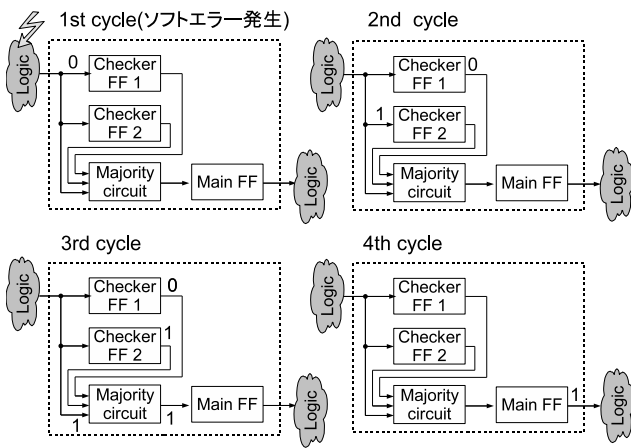


図 2: ソフトエラーの訂正動作例

いるメイン FF の値が同じ場合、 $3n+2$ サイクル目の値を考慮する必要が無いため、メイン FF にクロックゲーティングをすることによって、電力を削減することが可能である。

3. 評価

評価環境として、Verilog HDL を用いて、MIPS 命令セットの一部を実行できる 5 ステージのパイプライン化プロセッサを設計した。また、論理合成ツールの Altera 社 QuartusII を用いて、設計したプロセッサを FPGA (Altera 社 APEX20KE) 上に実装し、処理時間の指標であるクロックサイクル時間とハードウェアコストの指標であるロジックセル数を得た。その結果を表 1 に示す。ここで、Dependable FF の処理時間は、1 つの処理につき 3 倍増加するので、39.32ns となる。提案機構は従来の機構と比べ、ハードウェアコストが約 2.38 倍増加し、処理時間が約 3.70 倍増加することが分かった。

表 1: 評価結果

	Logic cell	Clock cycle time
Conventional FF	391	10.64ns
Dependable FF	932	13.11ns

次に消費電力について評価する。プロセッサの総消費電力に対するクロックの消費電力の割合はプロセッサによって異なる。文献 [2][3][4][5] によれば、その範囲は 18% ~ 40% である。そこで、我々はクロックの消費電力を中央値である 29%、最終段のクロックドライバの消費電力を 88% と仮定する [3]。この場合、本機構では FF の数が 3 倍に増加するので、総消費電力が約 51% 増加してしまう。しかし、2 章で説明したメイン FF のクロック

ゲーティングを用いることで、クロックの消費電力を最大で 3 分の 1 程度削減することができる。ゆえに、総消費電力を最大で約 26% の増加に抑えることができる。

4. まとめ

本研究では、ソフトエラーを訂正することができる Dependable FF の実装と評価を行い、その有用性を示した。また、本機構にクロックゲーティングを用いることによって、消費電力を削減することが可能であることが分かった。

今後の課題として、本機構を実際に LSI 化して、正確な評価を行う予定である。さらに、本機構の処理速度は約 3 倍超となるので、これを改善する新しい構成を考える必要がある。

謝辞

本研究の一部は、文部科学省科学研究費補助金若手研究 (B) 課題番号 21700057、柏森情報科学振興財団研究助成、及び、中山隼雄科学技術文化財団研究助成の支援により行った。

参考文献

- [1] L. D. Hung ほか, “A Cost-effective Technique to Mitigate Soft Errors in Logic Circuits,” 電子情報通信学会技術研究報告 VLD2004-49 ~ 60, Vol. 104, No. 477, pp.31-36, 2004.
- [2] M. K. Gowan, et al., “Power Considerations in the Design of the Alpha 21264 Microprocessor,” In *Proc. 35th DAC*, pp.726-731, 1998.
- [3] F. E. Anderson, et al., “The Core Clock Systems on the Next-Generation Itanium Microprocessor,” In *Proc. ISSCC 2002*, pp.110-111, 2002.
- [4] L. T. Clark, et al., “An Embedded 32-b Microprocessor Core for Low-Power and High-Performance Applications,” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 11, pp.1599-1608, 2001.
- [5] P. E. Gronowski, et al., “High-Performance Microprocessor Design,” *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 5, pp.677-686, 1998.