

システム LSI の試作に活用できる MIPS-I 互換オープンソフトコアプロセッサ

Open MIPS-I Compatible Soft-core Processor for System LSI Prototyping

山脇 彰†, 茶屋道 宏貴‡, 芹川 聖一†

Akira Yamawaki, Hirotaka Chayamichi and Seiichi Serikawa

1 まえがき

プロセッサを搭載したシステム LSI の研究、開発、および、学習を支援するために MIPS-I 互換オープンソフトコアプロセッサ (EmMIPS) を GPL で公開している (<http://www.ds.ecs.kyutech.ac.jp/>). EmMIPS はシミュレータにおけるパイプラインの可視化機構を含み、さらに、入出力インタフェースが簡素なことから、シミュレーションや FPGA を用いたプロトタイピングにおける代用プロセッサとして容易かつ迅速に活用できる。ただし、今まで、他プロセッサと EmMIPS の性能比較が行われておらず、シミュレーションやプロトタイピングで得られた性能が妥当なのか判断が困難であった。本稿では、市販の組み込みプロセッサ PowerPC405 と比較し、EmMIPS の性能が、MIPS-I 互換の命令セットをサポートしたプロセッサとして、妥当なことを示す。

2 MIPS-I 互換ソフトコアプロセッサ

2.1 プロセッサコア

図 1 の EmMIPS (Embedded MIPS-I Subset Processor) コアは MIPS-I 命令セット互換の 32 ビット RISC 型スカラプロセッサであり [1]、以下のような特徴を持つ。

- 典型的な 5 段パイプライン 命令フェッチ (IF)、命令デコード (DEC)、命令実行 (EXE)、メモリアクセス (MEM)、レジスタ書き戻し (WB) からなる典型的な 5 段パイプラインを採用している。性能よりも、パイプラインプロセッサの本質を重視した分かりやすい構成である。
- 遅延分岐 MIPS-I の仕様である 1 つの遅延スロットを持った遅延分岐をサポートする。これにより、分岐成立時に全ステージをフラッシュせずに 1 個の後続命令は実施して、パイプラインの効率を上げる。
- データフォワーディング スカラプロセッサで一般的なフォワーディングをサポートする。先行命令が生成したデータを後続命令が直接使用でき、パイプラインのストールを削減する。
- インオーダー発行・完了 回路削減や、試作時における正確な性能見積もり、および、パイプラインプロセッサの本質を提示するために、命令はすべて、順番通りに発行され、順番通りに完了する。
- ハードウェア・アーキテクチャへの対応 命令フェッチとデータアクセスが競合してパイプラインがストールしないように、独立した命令ポートとデータポートを持つ。

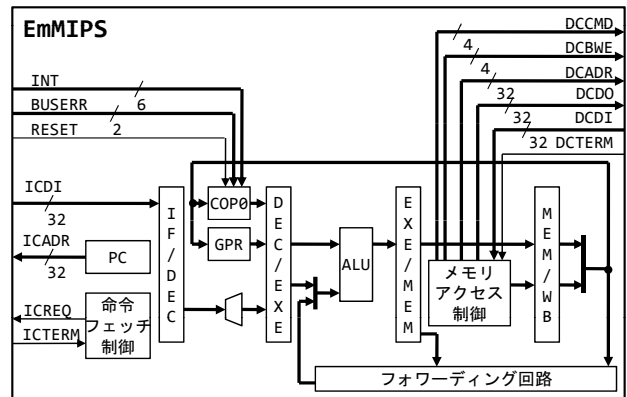


図 1 EmMIPS のブロック図

表 1 EmMIPS の入出力インタフェース

信号名	方向	ビット数	意味
RESET	入力	1	リセット割り込み
BUSERR	入力	2	バスエラー割り込み
INT	入力	6	外部割り込み
ICDI	入力	32	命令入力
ICADR	出力	32	命令アドレス
ICREQ	出力	1	命令要求
ICTERM	入力	1	命令転送完了
DCCMD	出力	4	データコマンド
DCBWE	出力	4	バイトイネーブル
DCADR	出力	32	データアドレス
DCDO	出力	32	データ出力
DCDI	入力	32	データ入力
DCTERM	入力	1	データ転送完了

- 単純明快なインタフェース 外部回路との接続を容易にするために、命令ポートとデータポートのインタフェースは、リクエスト-レディの典型的なクロック同期型のインタフェースである。
- FPU・MMU なし 組み込み用途を考慮した回路規模の削減から FPU と MMU を持たない。
- 特許以外の全命令をサポート 特許化されている lwl/lwr/swl/swr 以外の命令は、割り込み等も含め、すべてをサポートしている。
- 任意の GCC クロスコンパイラに対応 特殊な構成を持たない単独のプロセッサコアであり、メモリマップが MIPS-I の仕様に準拠している [1]。そのため、任意の GCC クロスコンパイラを使用できる。
- シミュレータでのパイプラインの可視化 パイプラインを流れる命令をニューモニックレベルで確認できるデバッグ機構を導入している。この機構は VHDL の仕様に沿って記述されており、任意の論理シミュレータで観測可能である。

2.2 入出力インタフェース

入出力インタフェースの信号を表 1 に示す。RESET, BUSERR, および、INT は割り込み信号であり、アサートされると、MIPS-I の仕様通り PC に値がセットされ、

†九州工業大学大学院工学研究院
‡九州工業大学工学部技術部

図2 論理シミュレータにおけるパイプラインの可視化

当該割り込みルーチンへと分岐する [1].

命令とデータアクセスともに、EmMIPS が外部デバイスに対してリクエスト信号をアサートし、転送完了が外部デバイスからアサートされるまで待つ。命令に関しては、要求信号が IREQ、転送完了信号が ICTERM である。データの要求信号は DCCMD であり、“0000”で NOP、“0001”で読み出し、“0010”で書き込みを意味する(その他は将来の拡張用)。データの転送完了は DCTERM である。なお、ICREQ と DCCMD が転送途中でネゲートされた場合、その転送の中断を意味する。

2.3 パイプラインの可視化

論理シミュレータ上でのデバッグや学習が効率的に行えるよう、EmMIPS にはパイプラインの動作を可視化する機構が組み込まれている。論理シミュレータの ModelSim におけるその様子を図 2 に示す。本機構は、VHDL の仕様に沿って書かれているため、任意のシミュレータで同様の可視化が行える。さらに、本機構は論理合成時に削除されるため、回路規模や動作速度に悪影響を与えることはない。

2.4 回路規模と動作速度

表 2 に各種 FPGA への実装結果を示す。使用した CAD ツールは Xilinx 社の ISE12.1 である。

表 2 各種 FPGA への実装結果

FPGA	スライス	BlockRAM	乗算器	動作速度
Virtex4(xc4v1x25-10)	2455	0	8	87MHz
Virtex5(xc5v1x50-1)	1044	0	8	121MHz
Virtex6(xc6v1x75t-1)	1003	2	8	152MHz
Spartan3A(xc3s700a-4)	2771	0	8	54MHz
Spartan6 (xc6slx45t-3)	1144	2	8	103MHz

3 性能評価

比較対象の PowerPC405 は、EmMIPS と同様に 5 段パイプラインの 32 ビットスカラプロセッサである。さらに、16KB の 2 ウェイセットアソシアティブなデータキャッシュと命令キャッシュを持つ。

実験は Virtex4 と DDR SDRAM を搭載した ML401 ボード [2] 上で行った。EmMIPS には命令とデータともに 8KB のダイレクトキャッシュを持たせ、

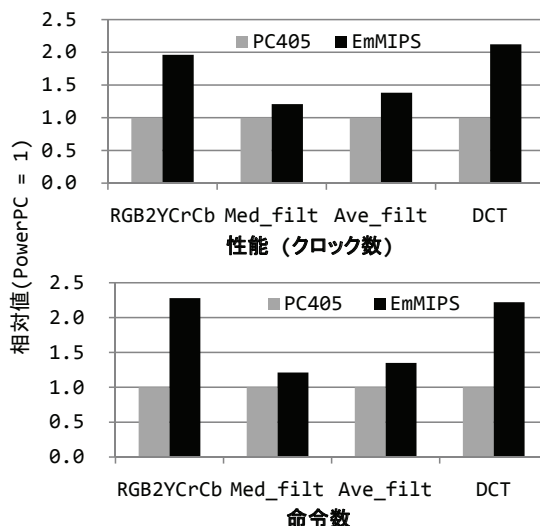


図3 PowerPC405 との比較結果

DDR SDRAM と直結した。PowerPC405 に関しては、EDK12.1 を用いて、DDR SDRAM と PLB で直結させた。評価プログラムは、フルカラー画像 (256×256) に対する、RGB から YCrCb への変換、平滑化フィルタとメディアンフィルタ、および、DCT である。キャッシュ構成の違いを隠蔽するため、EmMIPS では入力配列と出力配列を同じにし、PowerPC405 では別のものにした。性能の計測は、評価データを DDR SDRAM にすべて置いてから開始し、プログラムの開始から終了までのクロック数を求めた。MIPS 用 GCC クロスコンパイラのバージョンは 4.4.2 であり、双方ともに最適化オプションは O3 である。

図 3 に性能の評価結果と、各プログラムの処理で大部分を占める箇所の命令数を示す。EmMIPS と比較し、PowerPC405 の性能が、1.21 倍～2.12 倍、良かった。これは、命令数の差にほぼ一致する。PowerPC405 では、添え字の自動インクリメントや、シフト付き演算、および、精巧なローテートシフトなどが効率的に使用されたことによる。本結果は、EmMIPS の性能が MIPS-I 互換の命令セットをサポートしたプロセッサとして妥当なことを示す。

4 むすび

システム LSI の研究開発を支援するために GPL で公開している MIPS-I 互換オープンソフトコアプロセッサ (EmMIPS) について述べた。EmMIPS は任意の論理シミュレータ上でパイプラインの動作を可視化できる機構も備えている。組み込みプロセッサの PowerPC405 と比較し、EmMIPS の性能が、MIPS-I 互換の命令セットをサポートしたプロセッサとして妥当なことがわかった。EmMIPS は <http://www.ds.ecs.kyutech.ac.jp/> からダウンロード可能であり、活用されたい。

参考文献

- [1] Gerry Kane, 前川守. mips RISC アーキテクチャー R2000/R3000-. 共立出版, 1992.
- [2] Xilinx. ML401/ML402/ML403 Evaluation Platform User Guide. Xilinx, 2006.