

C-011

階層型相互結合網用ルータのパイプライン処理に関する検討

Examination about the Pipeline processing of the router for a hierarchical interconnection network

茂手木貴彦†
Takahiko Motegi

金子昌弘‡
Masahiro Kaneko

三浦康之†
Yasuyuki Miura

1. はじめに

LSIの高速集積化に伴い、小規模のプロセッサを並列に組んで処理を行う「オンチップマルチプロセッサ」が実現できるようになり、そのような中で階層型相互結合網 TESH[1]が提案され通信性能の評価が行われた[2].

この時の評価はソフトウェアによるシミュレーションによるもので、ハードウェア実装に伴うコストを加味しない評価だったことから、より正確な評価が必要となった。そこで、相互結合用ルータの設計をハードウェアで行い、ハードウェア量と遅延の評価が行った[3]. その際的评价是最も単純な組み合わせ回路であった。実際に回路を構成するときは、一般によく使われている高速化の手法であるパイプライン処理が行われると考えられるので、より公平な評価の為にパイプライン処理を実装した上での評価を行う必要がある。

本稿では、回路の効率を上げる代表的な方法であるパイプライン化を用いて回路の設計を行い、改めてハードウェア量と遅延の増加について評価する。

2. ルータ回路のハードウェア実装

相互結合用ルータの実装コストを検証するため、過去に実際に回路の設計を行った[2]. 結合網は、 64×64 のトラス網と 4096PE の 3 レベルの TESH を作成した。

図 1 で示すようにルータ回路は、デマルチプレクサ、FIFO_IN、クロスバスイッチ、FIFO_OUT、マルチプレクサ、制御回路で構成されている。データ線を 16 ビット、4096PE に対応できるようにアドレス線を 12 ビットとしている。FIFO のバッファの数は 4 個、次数 $4 +$ ノードの 2 チャンネルなので、クロスバスイッチは 10×10 となっている。図 2 に制御回路の構成図を示す。制御回路はリンク選択、チャンネル選択、デコーダ、アービター、バッファ状況判定で構成されている。

ハードウェア量および遅延の評価の結果、複雑なアルゴリズムを実装することによるハードウェア量の影響は少ないことが判明している。

3. パイプライン化

2 節に示した制御回路のパイプライン化を行うことで回路を並列に処理でき、スループットが向上する。過去の評価では、制御回路はパイプライン処理を行わず、組み合わせ回路のみで行っていたので、制御回路の遅延が全体の遅

† 湘南工科大学工学部情報工学科, Department of Information Science, Shonan Institute of Technology

‡ 湘南工科大学大学院工学研究科, Graduate School of Technology, Shonan Institute of Technology

延時間となってクロックサイクルを決定していた。ルータ

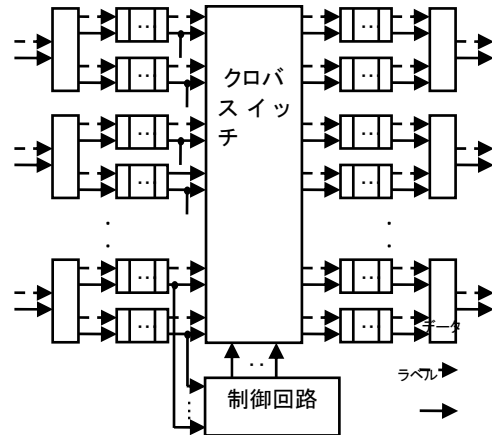


図 1. ルータの構成図

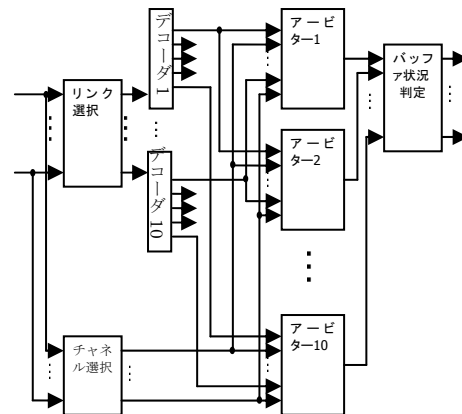


図 2. 制御回路の構成図

回路をパイプライン化する為には、図 3 のように制御回路の各ユニット間にパイプラインレジスタを挟む作業を行う。その際、アドレスを制御回路に送ってから次のパケットの行き先が決まるまでに 3 クロックかかる。それまでは FIFO_IN におけるパケットの送信を止めておかなければならないので、パケット通信を止める制御を行う回路を送信バッファ側に作る必要がある。

そこで、図 4 のようにルータの FIFO_IN を改良した。図 4 のようにパケットの先頭が送られてきた時、クロスバスイッチに出力するかどうか判定する為のカウンタを用意している。

4. 評価

4. 1. ハードウェア量の評価

図 5 に全体の LUT と制御回路の LUT の内訳を、図 6 に全体と制御回路のフリップフロップ(F-F)の内訳を表す。そ

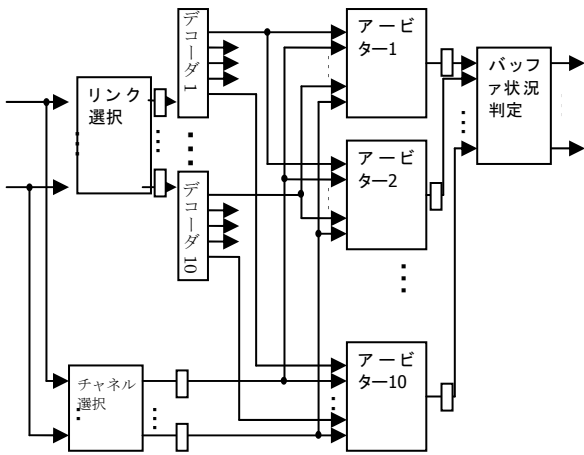


図3. 改良した制御回路の構成図

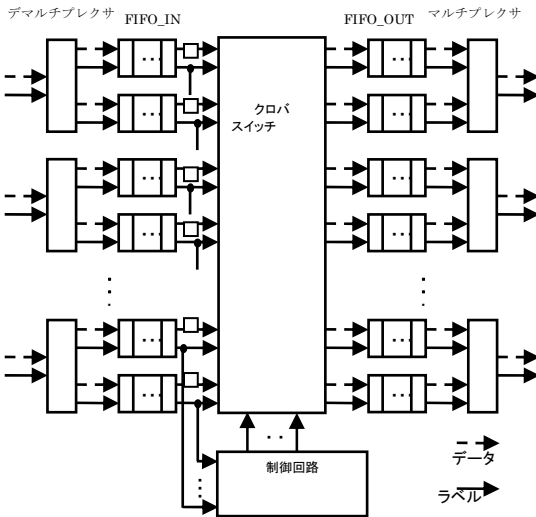


図4. 改良後の制御回路の構成図

それぞれ左側がパイプライン化前の TESH, 右側がパイプライン化後の TESH のハードウェア量とした。この図から, LUT 全体では多少の変化があるが, その変化量はごく微量であることが分かった。また, 制御回路で使用される F-F の量はほぼ倍増しているが, ルータ回路全体から見てごく微量であることも分かった。

4. 2. 遅延の評価

表1に, 制御回路の各モジュールの遅延の評価結果を示す。パイプライン処理は, 全部で3つのステージからなる。これらに要する時間はそれぞれ下記ようになる。

- ステージ1の遅延は, リンク選択回路とチャンネル選択回路の遅延のうち大きい方
- ステージ2の遅延は, デコーダの遅延とアービターの遅延の合計
- ステージ3の遅延はバッファ状況判定回路の遅延

これらのうち最大の値を持つものがクロックサイクル時間になるので, TESH でもトーラスでもクロックサイクル時間はバッファ状況判定回路の遅延と同じ 11.25ns となる。

5. まとめ

本稿では, 相互結合用ルータの設計をハードウェアで行い, パイプライン処理を実装した上でハードウェア量の評価を行った。その結果, ハードウェア量については, TESHによるコスト増は微量であることがわかった。

今後は, パイプラインステージの省略による高速化の可能性についての評価を進める。

参考文献

- [1] V.K.Jain, T.Ghirmai and S.Horiguchi, "TESH:A New Hierarchical Interconnection Network for Massively Parallel Computing", IEICE Transactions, vol.E80D, No.9, pp.837-846, 1997
- [2] 三浦康之, 堀口進, Vijay K Jain, 階層型ネットワーク TESH におけるデッドロック・フリー・ルーティング, 情報処理学会論文誌, Vol.41, No.5, pp1370~1378, 2000.5.
- [3] 金子昌弘, 三浦康之, 細粒度並列計算向け階層型相互結合網のハードウェア実装法に関する検討, 第70回情報処理学会全国大会, 2N-4, 2008.3.

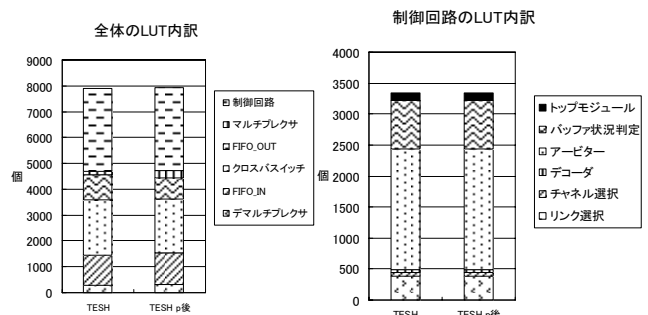


図5. 全体のLUTと制御回路のLUTの内約

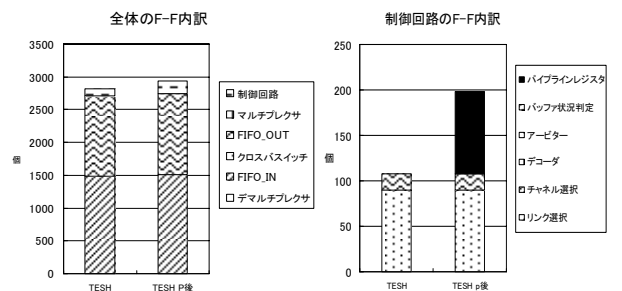


図6. 全体のF-Fと制御回路のF-Fの内約

表1. 制御回路の遅延時間

	TESH	トーラス
リンク選択	8.738	7.091
チャンネル選択	7.091	6.542
デコーダ	5.993	
アービター	4.779	
バッファ状況判定	11.249	
合計	37.850(ns)	35.654(ns)