

アナログ電子回路を用いたイジング・アニーラの開発

Development of Ising Annealer using Analog Circuit

吉川 浩†

Hiroshi Yoshikawa

1 はじめに

近年、デジタル回路やデジタルコンピュータを用いた手続き的な計算手法では効率よく解けない問題を、焼きなまし法（シミュレーテッドアニーリング）を用いて解く方法に注目が集まっており、既に実用的な計算機も登場している。例えば、量子アニーラを用いた量子コンピュータ D-Wave および Advantage (D-Wave Systems) [2]、デジタル回路で擬似的にアニーリングを行う CMOS アニーリングマシン（日立製作所）[3] や Digital Annealer（富士通）[1] などがある。

私は、焼きなまし法を用いて最適化問題を解く計算機を実現するため、アナログ電子回路を利用したアニーラの開発をしている。このアニーラは、アナログ電子回路網の各節点電位が接続状態や回路定数の条件によって自然に決定される性質を利用している。アナログ電子回路の性質を利用することでデジタル電子回路のみで構成するよりも計算効率を上げられる可能性がある。

本稿は、イジングモデルを用いた最適化手法を例題に、アニーラ部分をアナログ電子回路で実現するための回路構成方法と動作原理について説明する。

2 イジングモデル

イジングモデル [5] は統計力学で導入された磁性体を表す多体系のモデルである。イジングモデルでは、磁性体の性質が相互作用する原子のスピン集団によって現れることが説明される。

イジングモデルは抽象的に無向グラフ $G = (V, E)$ で表される (図 1)。ここに

- V は頂点（格子点）の集合
- E は 2 頂点 $i, j \in V$ を結ぶ辺の集合

であり、頂点が原子を、辺が 2 原子間の相互作用を表している。そして、この無向グラフに以下の 3 つの属性を割り当てる。

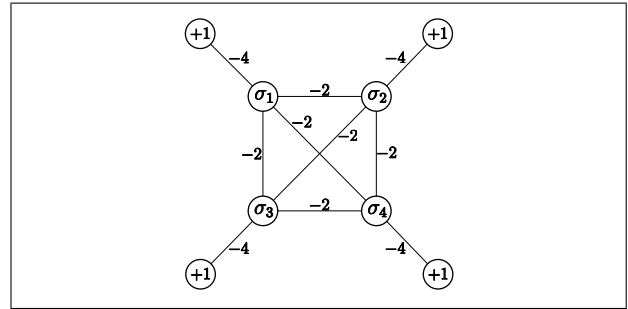


図 1: イジングモデルの例 (式 (2.2) に対応するモデル)

1. スピン状態を表す変数 $\sigma_k \in \{+1, -1\}$ を各頂点 $k \in V$ に割り当てる。
2. 相互作用を表す重み定数 $J_{ij} \in \mathbb{R}$ を各辺 $(i, j) \in E$ に割り当てる (J_{ij} と J_{ji} は同一視する)
3. 外部磁場の作用（強さを定数 $h_k \in \mathbb{R}$ で表す）を各頂点 $k \in V$ に与える。

このとき、イジングモデル全体のエネルギーは、スピン状態 $\{\sigma_k\}$ を引数にとる以下の関数（ハミルトニアン）で与えられる。

$$H(\sigma_1, \sigma_2, \dots) = - \sum_{(i,j) \in E} J_{ij} \cdot \sigma_i \cdot \sigma_j - \sum_{j \in V} h_j \cdot \sigma_j \quad (2.1)$$

2.1 イジングモデルを利用した最適化問題の解法

イジングモデルを最適化問題に応用するには、最小化したい目的関数を式 (2.1) の形式で表現し、その式をハミルトニアンとするイジングモデルを作成する。そのイジングモデルの基底状態が求める最適解である。

例. 例えば簡単な例題として、目的関数が以下の式で与えられる最適化問題を考える。

$$H = (\sigma_1 + \sigma_2 + \sigma_3 + \sigma_4 + 2)^2$$

この式を最小化する $\sigma_1, \sigma_2, \sigma_3, \sigma_4$ の値が求めたい解である（因みに、この例題の最適解は 4 つの変数 $\sigma_1, \sigma_2, \sigma_3, \sigma_4$ のうち一つだけが +1 となる状態である）。この式を展開して $\sigma_i^2 = 1$ であることを使うと以下の式が得られる。

$$H = - \sum_{i \neq j} (-2) \sigma_i \sigma_j - \sum_j (-4) \sigma_j + 8 \quad (2.2)$$

† 北海道大学 Hokkaido University

右辺の第3項(定数項+8)は目的関数を最小にする σ_k の値には影響しないので無視できる。式(2.1)との比較により式(2.2)をイジングモデルに翻訳すると図1が得られる。そして何らかの方法でこのイジングモデルの基底状態を求めることができれば、そのときの σ_k の値が最適解を表す。

イジングモデルの基底状態を求める手法としては量子アニーリングや焼きなまし法等が用いられているが、本研究のイジング・アニーラは焼きなまし法を用いるので、以降で焼きなまし法を実現するために必要な機構について議論する。

3 焼きなまし法

焼きなまし法は、金属の焼きなましを模擬した手法で、二つの物理現象を利用している。一つは金属が内部エネルギーの低い状態へ自然に遷移する性質であり、これによりエネルギーが極小(ローカルミニマ)となる状態に停留しようとする。

もう一つの物理現象は熱エネルギーによって状態が揺らぐことであり、状態が極小に停留しても揺らぎによって極小から脱出できるため、よりエネルギーの低い状態へ遷移する可能性を残すことができる。

これら二つの物理現象により、金属は高温から徐々に冷却されると内部エネルギーが最小の状態(基底状態)に収束する。

3.1 焼きなましを模擬するために必要な機構

現実の原子は、自分のスピン状態を決めるのに系全体の状態を見ている訳ではない。各原子は、自分の近傍原子(相互作用する原子)のスピン状態と相互作用の強さから自分のスピン状態を決めている。

このため私は、焼きなましのメカニズムを模擬するには、各頂点に以下の2つの機構を持たせれば良いのではないかと考えた。

1. 自分に働く相互作用の合計によって自身のスピン状態を決定する機構
2. ある確率分布に従ってランダムにスピンを反転させる機構(ただし確率分布は時間によって変化する)

以下、それぞれの機構について説明する。

3.1.1 相互作用の合計を求めてスピンを決定する機構

図2に示すような複数の相互作用を持つ頂点 $\ell \in V$ において、そのスピン状態 σ_ℓ は隣接頂点 k (s.t. $(\ell, k) \in E$)から受ける相互作用($J_{\ell k} \cdot \sigma_k$)の合計の値と同符号になるように決まる。この関係は、符号関数(sgn)を用いた

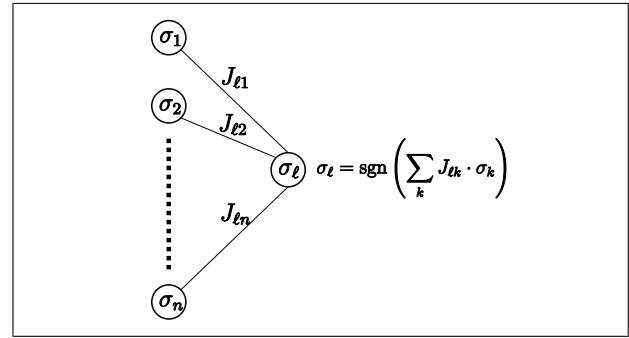


図2: σ_ℓ のスピン決定方法(揺らぎが無い場合)

以下の式(3.1)で表すことができる。

$$\sigma_\ell = \text{sgn} \left(\sum_{(\ell, k) \in E} J_{\ell k} \cdot \sigma_k \right) \quad (3.1)$$

この機構により、個々の頂点は二つあるスピン方向(+1, -1)のうち、自分に働く相互作用エネルギーが低くなる方(局所最適値)を常に選択する。

3.1.2 ランダムにスピンを反転させる機構

焼きなましの冷却過程において、各頂点 $\ell \in V$ は熱エネルギーの大きさ(温度)に応じてランダムにスピン状態を反転させており、温度を徐々に下げることによって反転頻度が時間とともに減ってゆく。そして、十分に冷却された状態で反転頻度はゼロになる。

焼きなましの冷却過程を模擬するには、スピンをランダムに反転させることに加え、その反転する確率を時間とともに0へ収束させるための制御機構が必要である。

なお、統計力学の理論によれば、イジングモデルを無限の時間をかけてゆっくり冷却すると基底状態に収束することが知られている。しかし無限の時間をかけることは現実的ではなく、実用上は準最適解を探索できれば十分であると割り切って有限時間の焼きなましを行う。

4 アナログ電子回路による焼きなまし法の実現

開発しているアナログ・アニーラは、スピンの状態をアナログコンパレータの出力電圧で表し、相互作用を電気抵抗で表現する特徴を有する。基本回路は単純であるが、基本回路を複数接続することで任意のイジングモデルを表現可能である。ここでは、その回路構成や動作原理等について詳細に説明する。

4.1 アナログコンパレータによるスピンの表現方法

スピンの2状態 $\{+1, -1\}$ をアナログコンパレータの出力電圧で表す。アナログコンパレータを用いる理由は、出力がHighとLowの2状態しか持たないのでスピ

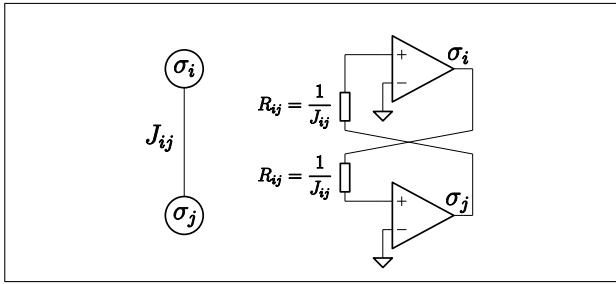


図 3: 正の相互作用を表現する回路構成

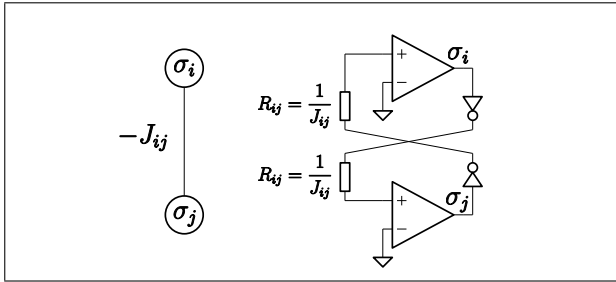


図 4: 負の相互作用を表現する回路構成

ン状態との対応がとりやすいのと、相互作用を実現しやすいためである。

説明を簡単にするため、以下の特性を持つ仮想的なアナログコンパレータを考える。

- 出力電圧の値は +1 と -1 の 2 値をとる。
- 入力電圧 $v_i > 0$ のとき出力電圧 $\sigma_i = +1$ 、入力電圧 $v_i < 0$ のとき出力電圧 $\sigma_i = -1$

このとき、入出電圧 v_i と出力電圧 σ_i の関係は以下の式で表すことができる。

$$\sigma_i = \text{sgn}(v_i) \quad (4.1)$$

現実のアナログコンパレータの特性は上記とは異なるが、上記の電圧値に適切なオフセットとスケールングを施すことで現実のアナログコンパレータの動作電圧に変換できるため、一般性を失うことなく議論できる。

4.2 正の相互作用を表現する基本回路構成

頂点 j から頂点 i へ働く正の相互作用は、図 3 に示すようにコンパレータ j の出力 σ_j を抵抗 R_{ij} を介してコンパレータ i の入力に接続することで表現する。この接続によって、コンパレータ j の出力電圧 σ_j が +1 (または -1) になると、コンパレータ i の入力電圧が上昇 (または下降) して出力電圧 σ_i を +1 (または -1) にしようとする。

イジングモデルでは相互作用の力が双方向に働くため、コンパレータ j からコンパレータ i への作用がある場合は、逆向きの i から j へも同じ大きさの作用を持た

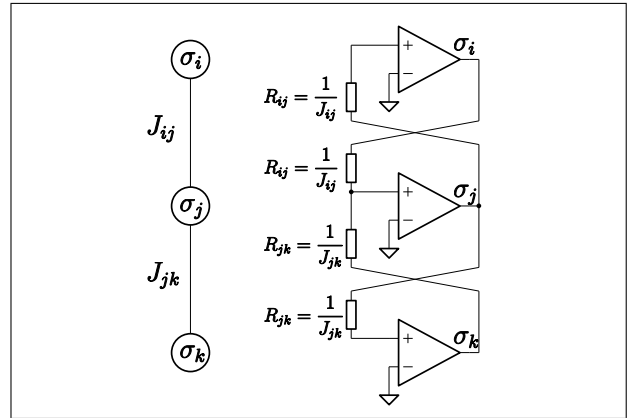


図 5: σ_j に二つの正の相互作用が働く接続例

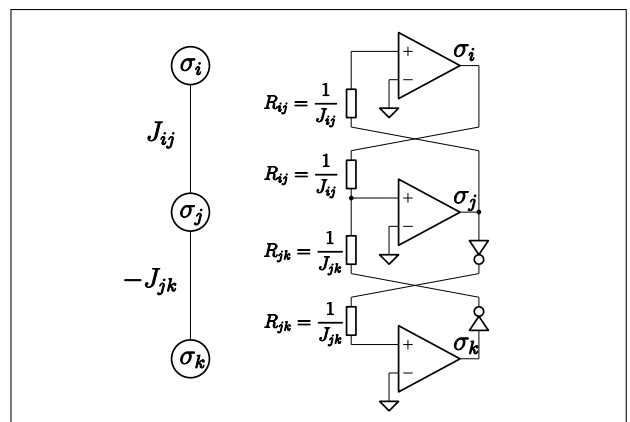


図 6: σ_j に正と負の相互作用が働く接続例

せる (i の出力 σ_i と j の入力の間) に接続された抵抗)。

二つのコンパレータの相互作用の強さは抵抗値 R_{ij} の大きさによって制御できる。 $R_{ij} = 0$ にすると二つのコンパレータは強制的に同じ状態になり、 $R_{ij} = \infty$ (オープン) にすると二つのコンパレータは独立に動作し、 R_{ij} が有限の値では中間的な相互作用の力が働く。

4.3 負の相互作用を表現する基本回路構成

負の相互作用の表現方法は、コンパレータの出力電圧を反転する以外は正の相互作用と同様である (図 4)。

コンパレータ j の出力電圧 σ_j が反転されて $-\sigma_j$ となるため、 $\sigma_j = +1$ のときは i の入力電圧が下降して i の出力電圧を $\sigma_i = -1$ にする力が働き、逆に $\sigma_j = -1$ のときは i の出力電圧を $\sigma_i = +1$ にしようとする力が働く。その結果、二つのコンパレータは互いに反対向きになるとうとする。

4.4 複数の相互作用が働く場合の回路構成

複数の相互作用を表現するには、相互作用毎に基本回路構成の接続を独立に行えばよい。

例えば図 5 は、スピン j がスピン i および k と正の相互作用をしている例である。コンパレータ i - j 間に正の

相互作用 (抵抗 R_{ij}) があり、コンパレータ j - k 間にも正の相互作用 (抵抗 R_{jk}) がある。

また、図 6 はスピン j に正と負の相互作用がある場合の例である。コンパレータ i - j 間が正の相互作用 (抵抗 R_{ij}) なのに対し、コンパレータ j - k 間は負の相互作用 (インバータを介した抵抗 R_{jk}) になっている。

4.5 複数の相互作用が働く場合の動作

このように構成されたアナログコンパレータの出力電圧は、イジングモデルにおける複数の相互作用を持つスピンと同じ値になる。このことを次に示す。

図 7 は、 n 個の相互作用を持つコンパレータ l の入力部分を抜き出したものである。コンパレータ l と相互作用しているコンパレータの出力 σ_k は、「 Y_{lk} 」で示される回路ブロックを介して一点 (図の v_l のライン) に接続されており、その電位 v_l がコンパレータ l の入力電圧になっている。

「 Y_{lk} 」の回路ブロックは図 3 または図 4 で示したように、正の相互作用の場合は σ_k を、負の相互作用の場合はインバータで反転した $-\sigma_k$ を、それぞれ抵抗 R_{lk} を介してコンパレータ l の入力へ接続している。従って、コンパレータ l の入力電圧 v_l は、 σ_k または $-\sigma_k$ を抵抗 R_{lk} で分圧して合成した以下の式で与えられる。

$$v_l = \frac{\sum_k Y_{lk} \cdot \sigma_k}{\sum_k |Y_{lk}|}$$

ここで Y_{lk} の値は、コンパレータ k の出力端子とコンパレータ l の入力端子の間に接続された抵抗値 R_{lk} をインバータの効果も含めたアドミッタンスで表したものである (すなわち、正の相互作用のとき $Y_{lk} = 1/R_{lk}$ 、負の相互作用のとき $Y_{lk} = -1/R_{lk}$)。

この時、コンパレータ l の出力電圧 (= 状態 σ_l) は、コンパレータの入出力関係式 (4.1) に v_l を代入した以下の式で与えられる。

$$\begin{aligned} \sigma_l &= \text{sgn}(v_l) = \text{sgn}\left(\frac{\sum_k Y_{lk} \cdot \sigma_k}{\sum_k |Y_{lk}|}\right) \\ &= \text{sgn}\left(\sum_k Y_{lk} \cdot \sigma_k\right) \end{aligned} \quad (4.2)$$

1 行目右辺の sgn の中の分母 $\sum_k |Y_{lk}|$ は正の定数であり符号に影響しないので無視した。得られた式 (4.2) は式 (3.1) と同じ形になっており、 $Y_{lk} = J_{lk}$ となるように回路定数を決めればアナログコンパレータの出力がイジングモデルにおけるスピンの値と同じになることが分かる。

実用回路における回路定数は、適当な正定数 $r > 0$ を定めて $R_{lk} = r/|J_{lk}|$ および $Y_{lk} = \text{sgn}(J_{lk})/R_{lk}$ により決定する。このように回路定数を定めても sgn の中身

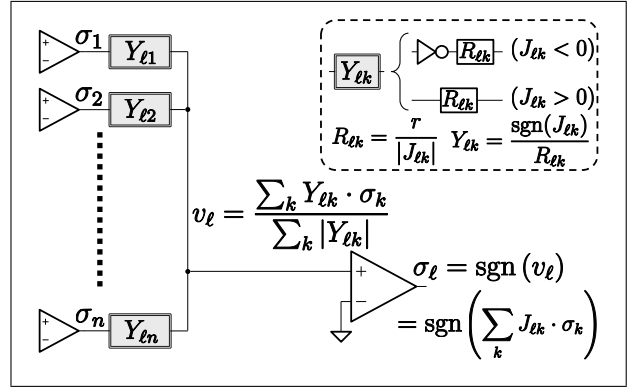


図 7: 複数の相互作用がある場合の入力 v_l と出力 σ_l の関係

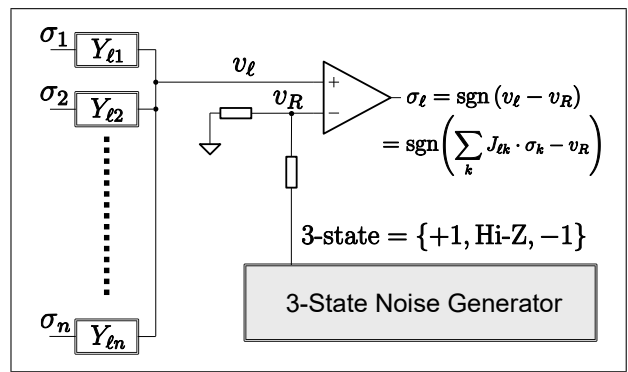


図 8: 基準電位 v_R にノイズを印加する揺らぎ回路

が $1/r$ 倍されるだけなので出力電圧 σ_l の値には影響しない。 r の値は、コンパレータのファンアウト、回路の寄生成分の影響、消費電力などを考慮して決定する。

4.6 揺らぎの実現

揺らぎを実現する回路を図 8 に示す。この回路は、3-state 出力をランダムに生成するノイズ生成器と、そのノイズ生成器の出力をアナログコンパレータのリファレンス電位に印加するための分圧抵抗で構成されている。

ノイズ生成器は $+1$ 、 -1 、 Hi-Z のいずれかをランダムに出力し、時間経過とともに徐々に Hi-Z が出る確率を増やすことで焼きなまし法における冷却をシミュレートする。

実際のノイズ生成器はマイコンで実現できる。マイコンで疑似乱数を発生させ、乱数の値に応じて $+1$ 、 -1 、 Hi-Z のいずれかを出力させればよい。マイコンを使うことで、冷却の速さや温度プロファイル等をプログラムにより容易に変更できる。

5 実験回路基板の試作

例題で示した図 1 のイジングモデルを実際に回路基板として作製したので、この基板の特徴や工夫を以下に紹介する。

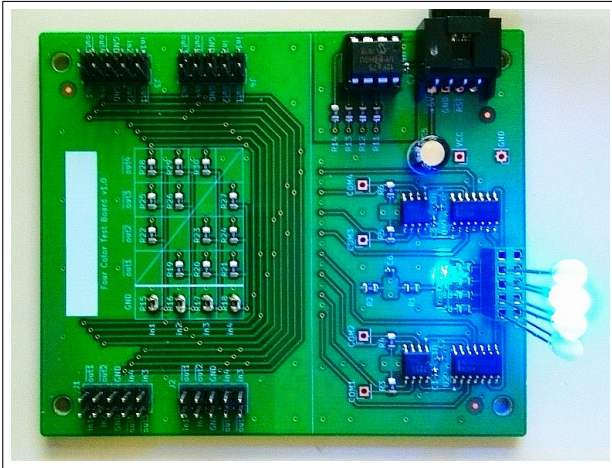


図 9: イジング実験基板の外観

5.1 外観

図 9 が基板の外観である。4 つのスピンの相互作用を表現するため、コンパレータが 4 つ搭載されており、各スピンの状態を視覚的に確認できるようにスピンの +1 のときに点灯する LED が各コンパレータに取り付けてある。

5.2 アナログコンパレータ

アナログコンパレータの出力を反転させたものが必要となるため、排他的論理和 (XOR) を用いて正出力 (OutN+) を反転した負出力 (OutN-) も持つ構成にした (図 10)。負出力側だけでなく正出力側も XOR を通しているのは、正負の出力遅延を揃えるためである。

このアナログコンパレータの動作電源電圧は 5V のため、出力電圧が上で議論してきた $\pm 1V$ ではなく実際には 0V と 5V である。そのため基準電位 $VrefN$ は 2.5V として設計している。なお、この実験で使用したアナログコンパレータ IC は入力に Rail-to-Rail で出力がプッシュプルのため上記の設計で問題ないが、一般的なアナログコンパレータ IC は同相入力範囲が狭く出力がオープンドレインの場合が多いためこの設計では正しく動作しないことを、念のため付け加えておく。

5.3 相互作用の配線

相互作用の配線については少し工夫をしている。4 つのコンパレータは他の全てのコンパレータと相互作用しているため、配線が複雑になり分かりにくくなる恐れがあった。そこで、抵抗を図 11 に示すマトリクス状に配置することで、どのスピン間にどのような相互作用が働いているのか容易に理解できるようにしている。

5.4 揺らぎ回路

スピンをランダムに反転させる揺らぎはマイコン (PIC12F675) により生成している (図 12)。マイコン

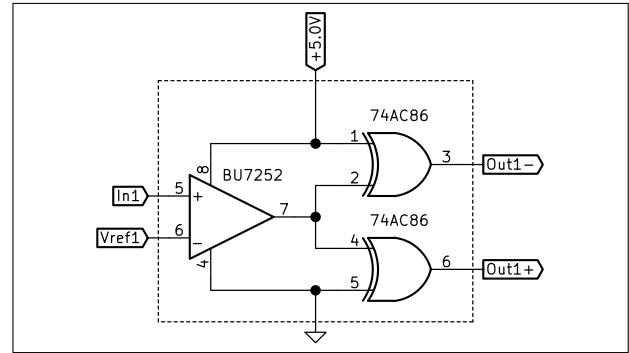


図 10: 正/負出力付きコンパレータ

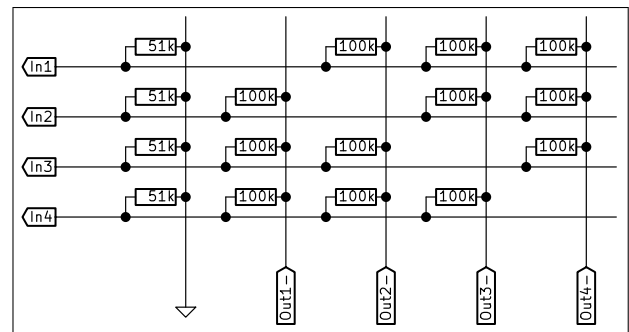


図 11: 相互作用配線用マトリクス (図 1 に示したモデル)

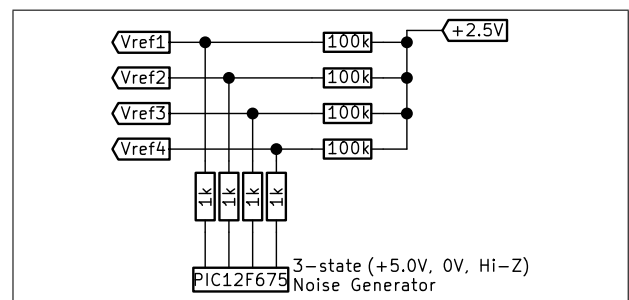


図 12: スピンをランダムに反転させる揺らぎ回路

から 3 値 (5V, 0V, Hi-Z) のいずれかがランダムに出力され、抵抗 $1k \Omega$ を介してアナログコンパレータの基準電位 $VrefN$ を揺らす。

ランダムな出力を得るために疑似乱数を生成しており、時間経過とともに Hi-Z が出力される確率を高くするためにカウンタを使っている。

6 実験結果と考察

実験基板を 3 枚作製したので、それを用いて実験を行った。ここでは実験の内容と結果、および明らかとなった問題について説明する。

6.1 基板単体での実験

それぞれ基板単体で試験を行ったところ、いずれの基板も最終的に LED が一つだけ点灯する状態に収束して

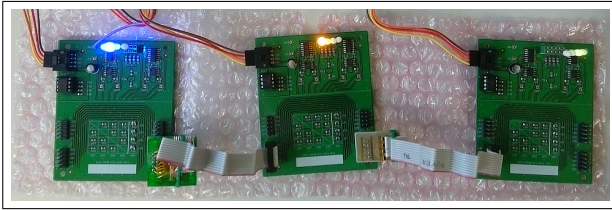


図 13: 基板 3 枚で「3 色問題」を解かせた結果

おり、期待する動作であった。なお、点灯する LED は基板毎に毎回ほぼ決まっており、基板間では異なっていた。理想的には、どの LED が点灯してもおかしくないが、おそらく部品のばらつきにより +1 になるスピンの偏っているものと思われる。

6.2 基板 3 枚を連結した 3 色問題の実験

次に 3 毎の基板を連結し、簡易的な 3 色問題 (4 色問題) を解かせてみた。その様子を図 13 に示す。隣り合う基板が異なる色の LED を点灯しており、正しい結果に収束していることが分かる。

6.3 3 色問題の実験で明らかになった問題

3 色問題の構成で実験しているとき、ときどき回路が発振してしまう現象が確認された。

原因を調査したところ、コンパレータの内部遅延によってコンパレータの入力の変化が出力に現れるまでに時間がかかっており、二つコンパレータが偶然同じタイミングで相手を反転させるような出力をしている場合に内部遅延を半周期とする発振を起こすことが分かった。

発振を防止するために通常のアナログ電子回路で用いられるようなフィードバックの定数の変更やキャパシタンスの追加などを試したが発振を止めることはできなかった。

6.4 考察

デジタル回路では極小値を求めるために状態を少し変えながら繰り返し演算を行って探索する必要があるが、アナログ電子回路は自動的に動作点が決まるため極小値の計算に繰り返し演算をする必要がない利点がある。

一方で、実験によって発振する可能性があることが明らかとなった。この問題を解決するには、発想を変えて計算途中で発振することを許容し、状態が収束したときに発振が止まっていればよいと考えるべきかもしれない。その方針による解決策の候補の一つとして、揺らぎの与え方に着目している。具体的には、収束に近づいたときに複数のコンパレータを同時に反転させないようにしたり、揺らぎ回路のノイズ生成器を 3 値ではなく 7 値や 15 値にしてノイズの振幅も徐々に小さくすることで、より物理的な焼きなましに近づけるような制御を検討中で

ある。

また、本研究の目的からは外れるが、§ 3.1 で示した二つの機構を実現できれば、電子回路以外の自然現象を利用したアニーラも可能ではないかと考えており、利用可能な自然現象のバラエティによって様々な方法に発展できると期待している。

7 まとめ

効率よく最適化問題を解くことを目指して、アナログ電子回路の性質を利用したアニーラの開発を行った。

アナログ電子回路でアニーラを実現するにあたり、焼きなましを模擬するために必要な機構について議論し、その機構を実現する基本回路と動作原理を示した。

実際に基板を試作し、簡単な動作確認では期待した結果が得られたが、同じ実験によって発振する可能性があることも明らかとなった。

今後の課題として、発振の対処方法を見つける必要がある。その後、回路規模を拡大して大きな問題で実証実験を行う予定である。

謝辞

本研究は JSPS 科研費 19H00508 の助成を受けて実施したものです。

参考文献

- [1] Maliheh Aramon, Gili Rosenberg, Elisabetta Valiante, Toshiyuki Miyazawa, Hirotaka Tamura, and Helmut G. Katzgraber. “physics-inspired optimization for quadratic unconstrained problems using a digital annealer”. *Frontiers in Physics*, Vol. 7, p. 48, (2019).
- [2] Zhengbing Bian, Fabian Chudak, Robert Israel, Brad Lackey, William G. Macready, and Aidan Roy. “discrete optimization using quantum annealing on sparse ising models”. *Frontiers in Physics*, Vol. 2, p. 56, (2014).
- [3] 山岡雅直. “cmos アニーリングマシンの概要”. 自動制御連合講演会講演論文集, Vol. 61, pp. 704–706, (2018).
- [4] 吉川浩. “最適化問題を解くアナログ電子回路—アナログ・イジング・マシンの実現—”. 情報処理学会第 82 回講演論文集, 第 1 分冊, pp. pp.1–2, (2020).
- [5] 西森秀稔. “スピングラス理論と情報統計力学”. 新物理学選書. 岩波書店, (1999).