

## 誘導結合 ThruChip Interface を用いた 3 次元ネットワークの性能比較

野村明生 † 松谷宏紀 † 天野英晴 †  
 † 慶應義塾大学大学院理工学研究科

## 1 はじめに

チップを積層した 3 次元積層システムのチップ間接続において、インダクタの誘導結合を用いた ThruChip Interface (TCI)[1] が注目されている。TCI は従来の有線方式と同等の帯域を持ちつつ、製造コストが低いという長所を持っている。

本稿では、TCI をチップ間通信に用いた 3 次元ネットワークについて紹介した上で、簡単な評価結果を示す。

## 2 ThruChip Interface

TCI は、積層されるチップ上に置かれたコイル間で生じる誘導結合によって、チップ間でワイヤレスにパケット転送を行う。送信用 TCI と受信用 TCI を各チップに搭載し、あるチップの送信用 TCI が他のチップの受信用 TCI に重なるようにチップを積層することで、ワイヤレス通信インタフェースが形成される。

TCI の特徴として、通常の CMOS を利用できるため低コストで製造可能なこと、チップの上下方向に通信を行うことが可能なことなどが挙げられる。また、 $0.14\text{pJ/bit}$ 、 $\text{BER} < 10^{-12}$  という低エネルギー消費・低ビットエラー率で最大 8Gbps の通信性能を達成した例もあり [2]、性能も十分である。

## 3 単方向リングネットワーク

単方向リングネットワークは、TCI を用いたビルディングブロック型計算システムの最初のプロトタイプにおいて実装されたネットワーク構成である。図 1 に示すように、1 つのチップはルータを 2 つ持っており、各ルータは仮想チャネルを持たない。本ネットワークにおいて、チップの個数やチップ内ネットワークの形状、仮想チャネルの数に影響されずにデッドロックフリーのネットワークを構成するためにパルプフロー制御 [3] を採用し、パケット間に一定の隙間を確保することでデッドロックを防いでいる。

一方で欠点としては、パケットの到着順序の逆転が生じる可能性があること、仮想チャネルを持たないことにより転送パケットの種類に応じた仮想チャネルの割り振りができないこと、1 つ隣のチップにデータを送るために長距離に渡ってパケットを転送する可能性があることなどが挙げられる。そこで 4 章にて、前述の欠点をカバーし、次作プロトタイプにて実装されたエレベータネットワークについて紹介する。

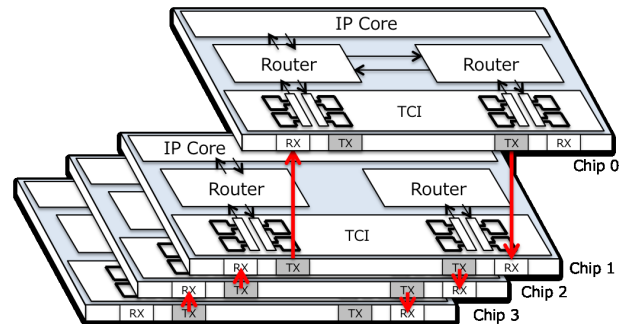


図 1: 単方向リングネットワーク

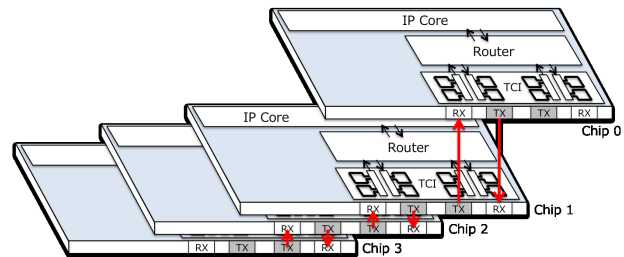


図 2: エレベータネットワーク

## 4 エレベータネットワーク

図 2 に示すエレベータネットワークでは、各チップは送信用・受信用 TCI のペアを 2 つずつ持ち、1 組は上方向、もう 1 組は下方向のチップとデータの送受信を行う。つまり、隣接するチップ間で TCI の双方向リンクが形成されている。これらの送受信 TCI とチップ上のコアを、3 入力・3 出力のルータを 1 つ用いて接続している。また、各ルータは仮想チャネルを 8 つ持っており、これによりパケットのメッセージクラス等に応じた振り分けが可能となっている。

仮想チャネルを複数持つエレベータネットワークでは、クレジットベースフロー制御を採用し、仮想チャネル ACK 信号はピギーバック制御で逆方向リンクを使用して転送する方式を採用している。本ネットワークのルータはパケットのメッセージタイプに応じて VC 番号を振り分けるための 8 つの仮想チャネルを持ち、1 つの仮想チャネルバッファの容量は 24 フリットである。ここで、1 フリットに入るデータ量は 32 ビットであるため、1 つのフリット内に 8 つ全ての仮想チャネルのステータスを格納することはできないため、VC 番号 0~3 および VC 番号 4~7 のバッファの情報格納する 2 種類の ACK 伝達フリットを定義している。また、データ有効ビットおよび使用する仮想チャネル番号については、パケット内に格納している。このように ACK 信号をピギーバック方式で転送する場合、リンクを通常のパケットと共有するため、ACK 信号がネットワーク性能のオーバーヘッドとなる可能性がある。

以上を踏まえ、5 章では、2 つのネットワークの性能比較およびエレベータネットワークのピギーバック制御のオーバーヘッド評価について述べる。

Performance Comparison of 3D Network Using Inductive Coupling ThruChip Interface

†Akio Nomura †Hiroki Matsutani †Hideharu Amano

†Graduate School of Science and Technology, Keio University

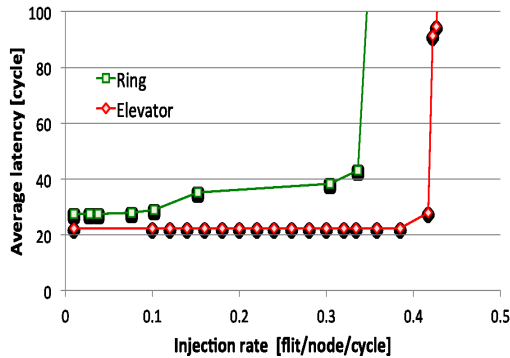


図 3: リング-エレベータの転送性能比較

## 5 評価

本章では、チップ 4 枚積層を想定したシステムにおけるネットワークの性能評価について述べる。

Cadance NC-Verilog を用い、ソースノードから 2000 パケットを送信してそれぞれ指定したデスティネーションノードで受信させる RTL シミュレーションを実行し、パケット転送にかかる平均遅延を集計した。Hotspot トラフィックでは、最上層チップのノードが Hotspot となり、他のノードと比較して 4.5 倍のパケットが転送されるようになっている。本評価におけるその他のパラメータを表 1 に示す。

表 1: 評価パラメータ

スイッチング	Virtual Cut Through
フリットサイズ	35 bit
パケットサイズ	5 flit
仮想チャネルバッファサイズ	24 flit

### 5.1 リング-エレベータの比較

まず、2つのネットワークの転送性能について評価を行った。

図 3 より、全体的な性能はエレベータネットワークが上回っている。3 章で挙げた欠点を解消し、仮想チャネルを持つことで、Zero-load レイテンシおよびスループットが向上していることがわかる。

### 5.2 ACK のオーバーヘッド

次に、ACK のオーバーヘッドを検証するために、逆方向リンクによるピギーバック制御をせずに専用の信号線で ACK 信号を伝達する同じ構成のネットワークを用意し、両者のネットワークの性能比較を行った。

結果より、パケット転送の負荷が軽い場合においては、いずれのトラフィックにおいてもほとんど性能に差がないことがわかる。Hotspot トラフィックでは転送負荷が高くなるとピギーバック方式の転送遅延がより大きくなっているが、Bit-reverse トラフィックでは、高負荷時でも低負荷時と同様に性能には差があまり見られないことが確認できた。

## 6 おわりに

本稿では、2つのネットワークの性能比較を行い、さらに ACK の性能へのオーバーヘッドについての検討を行った。

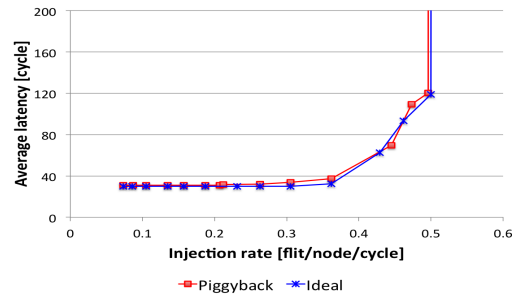


図 4: ACK のオーバーヘッド (Bit-reverse traffic)

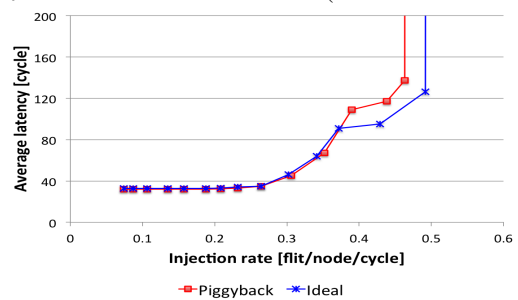


図 5: ACK のオーバーヘッド (Hotspot traffic)

結果として、仮想チャネルによる制御を行うエレベータネットワークはリングネットワークの欠点をカバーしており、大きく転送性能が向上していることが確認できた。また、パケット転送の負荷が小さい場合においては、ACK 信号のリンク中への埋め込みによる性能への影響は僅かであった。

## 謝辞

本研究の一部は JSPS 科研費 (S) ビルディングブロック型計算システムに関する研究の助成を受けたものである。

## 参考文献

- [1] T. Kuroda. ThruChip Interface (TCI) for 3D Networks on Chip. In *IEEE/IFIP 19th International VLSI and System-on-Chip Conference (VLSI-SoC)*, pp. 238–241, Oct 2011.
- [2] Noriyuki Miura, Hiroki Ishikuro, Takayasu Sakurai, and Tadahiro Kuroda. A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping. In *Proceedings of the International Solid-State Circuits Conference (ISSCC'07)*, pp. 358–359, February 2007.
- [3] H.Matsutani, Y.Take, D.Sasaki, M.Kimura, Y.Ono, Y.Nishiyama, M.Koibuchi, T.Kuroda and H.Amano. A Vertical Bubble Flow Network using Inductive-Coupling for 3-D CMPs. In *Networks on Chip (NoCS)*, pp. 49–56, May 2011.