

危険要素抽出に基づく高安全知能システムの高品質化と VLSI プラットフォーム High-Quality Intelligent Processing for Highly-Safe Intelligent System and Its VLSI Platform

大河原 茂樹[†] 亀山 充隆[†]
Shigeki Ookawara Michitaka Kameyama

1. はじめに

種々の危険要素の抽出に基づき人間にふりかかる危険を事前に検出し、警報を与える高品質な高安全知能システムの開発が期待されている。高安全知能システムは、種々の危険要素を抽出及び統合し、予測推定を経て最終的に危険判定や行動計画を行う一連の処理モジュールから構成される。高安全知能システムを構築するにあたり、危険が存在するときはできるだけ見逃しを少なくする手法、また、実世界環境に存在する複数種類の危険に対して、リアルタイムで応答する高速かつ低電力な計算プラットフォームを開発する必要がある。本稿では、特に高安全知能システムの危険要素抽出の高品質化のための手法とそれに基づく複数種類の危険に対する高安全知能システムを動的に再構成可能である VLSI プラットフォームを提案する。

2. 優先順位に基づく危険事象の選択

実世界環境には多様な危険事象が存在しているため、全ての危険事象に対して、リアルタイムで応答可能なシステムの構築は困難であり、膨大なシステム開発コストも要する。従って、個人ごとに当てはまる統計データを利用して各危険事象が引き起こすリスクの期待値の大きさによって、優先順位を決定し[1]、削除対象とする危険事象をある個数だけ選択することにする。

3. 危険事象の検出手法

3.1 危険要素抽出及び統合

画像情報を用いて危険要素の抽出を行う。図 1 に示すように、入力画像から特徴抽出を行い、画像表現手法である Bag-of-Features (BoF) に基づき [2]、サポートベクターマシン (SVM) を用いて入力画像の識別を行う。一例として、強盗遭遇に対する危険を検出するための危険要素の抽出と統合について述べる。抽出する危険要素として以下を定義する。

- a : ナイフを持っている人物が存在する
- b : ピistolを持っている人物が存在する
- c : その他の危害を与える恐れのある物体(バット, 鉄パイプ等)を持っている人物が存在する

強盗に遭遇した場合の条件は式(1)のように表わされ、抽出した危険要素 a, b, c を統合する。

$$A \rightarrow a \vee b \vee c \quad (1)$$

対偶をとると式(2)のように表わされ、

$$\overline{a \wedge b \wedge c} \rightarrow \overline{A} \quad (2)$$

強盗ではないという確実な条件を与えることができる。これに基づき、警報を発しない条件という観点からシステムを構成する。

[†] 東北大学情報科学研究科, Graduate School of Information Sciences, TOHOKU University



図 1 危険要素抽出処理モデル

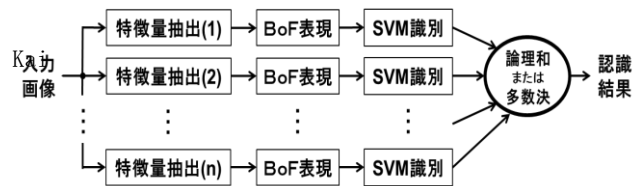


図 2 危険要素抽出処理高品質化モデル

ここで、危険要素抽出処理のうち、入力画像からの特徴量抽出部が処理時間の大部分を占めている。例えば、SIFT 特徴量抽出においては[3]、特に特徴点検出のためのガウシアン処理に計算コストがかかる。また、他の特徴量においても同様に、検出された特徴点の数が多くなると特徴量記述処理にも計算量を多く必要とする。

3.2 危険要素抽出の高品質化

同じ入力画像でも、特徴量の違いによって危険要素抽出処理が正しく行えたり行えなかったりする。そのため、危険要素が存在するときはできるだけ見逃す確率を小さくするために、図 2 に示すように、入力画像に対して、それぞれ複数種類の特徴量により得られた認識結果（検出された場合“1”，その他“0”）の論理和や多数決をとった結果を出力することにより、危険要素抽出処理を高品質化する手法を提案する。

ここで、この構成手法により、危険要素が存在する場合に見逃す確率を小さくすることが可能であるが、危険要素が存在しない場合に誤って抽出をする確率が大きくなってしまいう問題が存在する。従って、危険要素が存在しない場合の誤抽出率の許容値を設定し、誤抽出率が許容値以下という制約条件を満たしつつ、危険要素が存在する場合の正しい抽出率が最大となるような、複数個の特徴量の選択を行う。

4. 高安全知能システム用 VLSI プラットフォーム

4.1 ダイナミックリコンフィギュラブル VLSI アーキテクチャ

リアルタイムで複数種類の危険に応答できる高安全知能システムのためのプラットフォームとして組み込まれるダイナミックリコンフィギュラブル VLSI の構成を図 3 に示す。提案するアーキテクチャとしては、①粗粒度から細粒度の階層構造[4]、②各レベルでの CDFG の直接アロケーションによる処理、③マイクロパケット転送に基づくコンフィグレーションメモリサイズの減少[5]、④ローカルメモリの動的再構成などを取り入れたメモリ・演算の転送によりパワーゲーティングを可能にする、などの特徴を有し

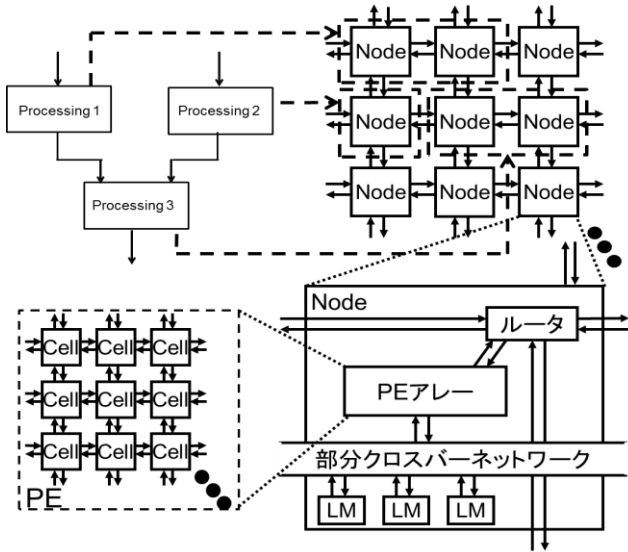


図3 ダイナミックリコンフィギャラブルVLSI

ている。ノードとしては、PEアレーとローカルメモリから構成されるノードやグローバルメモリからなるノードなど複数種類のノードが定義されている。上位レベルのCDFGの直接アロケーションにより、ほとんど隣接ノード間転送で済むようにしている。

4.2 ローカルメモリの動的再構成

PEアレーとローカルメモリからなるノードの構成例を図4に示す。各PEとメモリ間のデータの転送は、複数の近傍メモリに接続切り替え可能な部分クロスバーネットワークを介して行う。小容量のメモリには、各PEにおける占有ローカルメモリと複数のPEにとってのローカルメモリとなり得る接続切り替え可能な共有ローカルメモリの2種類を用意する。接続切り替え可能な共有ローカルメモリではスイッチを制御することにより、どのPEにとってのローカルメモリとなるのかを動的に変更することが可能となる。アプリケーションの中のあるまとまった処理が終了するごとに、次に行う処理に適したメモリの割り当てを動的に行うことによりスケジューリングやアロケーションの自由度が増し、処理時間の短縮が可能となる。

4.3 マイクロパケット転送アーキテクチャ

マイクロパケット転送に基づく並列VLSIプロセッサアーキテクチャでは、コンフィグレーションメモリサイズを大幅に減少することが可能であった[5]。しかし、オフラインスケジューリングによりすべてのメモリアccessが固定的に決定されていた。例えば、特徴量抽出演算を行う場合、画像データの処理結果に応じて次にアクセスするメモリアドレスを計算する機能が必要となる。複数のデータに対して同一の演算を行うなどの場合には、連続するメモリアドレスを自動的に生成するアドレスジェネレータを備えることでコントロールメモリサイズをさらに減少可能となる。そこで、図5に示すように、メモリアccessに必要なメモリアドレスをPEアレー内の演算ユニットにより計算すると共に、このメモリアドレス情報をマイクロパケットによりメモリアccess制御部に転送することで、これまであらかじめプログラムされていたメモリアドレスの多くの部分を自動的に生成することができる。データとアド

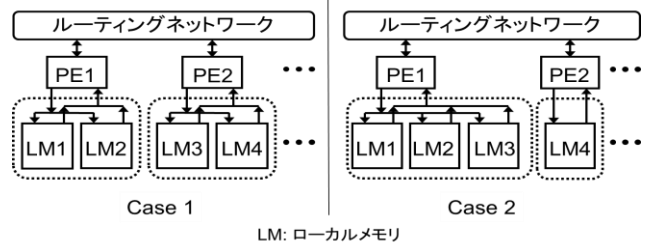


図4 ローカルメモリの動的再構成

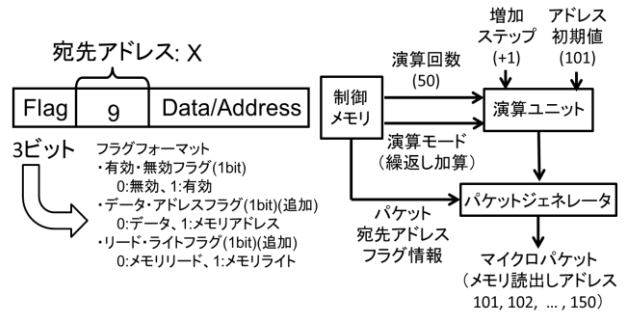


図5 メモリアドレス生成によるマイクロパケット転送

レスを区別するフラグと、リードとライトを区別するフラグをそれぞれパケットフォーマットに追加すると共に、メモリアccess制御部にこれらの計算されたアドレスとメモリアccess選択モードを追加するだけで、容易にメモリアccessを自動生成できる。

5. むすび

危険要素抽出の高品質化及び動的再構成可能であるVLSIプラットフォームは、種々の危険に対するユニバーサルな高安全知能システムの構成に有用である。今後は、コンフィグレーションメモリサイズを大幅に減少できる、直接アロケーションに基づく階層構造に基づくダイナミックリコンフィギャラブルVLSIのマッピング手法を検討する必要がある。処理の高速化・低電力化のためにはさらなる転送ボトルネック解消も重要となる。

謝辞

本研究の一部について討論頂いた八戸工業大学工学部の藤岡与周教授に深謝する。また、本研究は、科学研究費補助金基盤(B)(課題番号：25280011)の助成を受けたものである。

参考文献

[1] 亀山充隆, 樋口龍雄, “知的フォールトトレランス”, 電子情報通信学会誌, Vol.73, No.11, pp.1233-1236(1990).
 [2] Csurka, G., Dance, C.R., Fan, L., Willamowski, J., and Bray, C., “Visual Categorization with Bags of Keypoints”, ECCV International Workshop on Statistical Learning in Computer Vision, pp.59-74(2004).
 [3] D. G. Lowe, “Object recognition from local scale invariant features”, Proc. of IEEE International Conference on Computer Vision (ICCV), pp.1150-1157(1999).
 [4] B. Mei et al., “Architecture Exploration for a Reconfigurable Architecture Template”, IEEE Design and Test of Computers, March-April 2005, pp.90-101.
 [5] 藤岡与周, 瀧沢翔, 亀山充隆, “レジスタトランスファレベルパケット転送に基づく動的再構成VLSIプロセッサアーキテクチャ”, 電子情報通信学会技術研究報告, ICD2011-67, pp.14-18(2011).