

結晶性酸化物半導体トランジスタと Si トランジスタで構成されたメモリの
ノーマリオフコンピュータへの適用の可能性
Applicability of a Memory using Crystalline Oxide Semiconductor Transistors and
Si Transistors to a Normally off Computer

松寄隆徳† 井上広樹† 高橋康之† 大貫達也† 石津貴彦†

長塚修平† 熱海知昭† 加藤清† 小山潤† 山崎舜平†

Takanori Matsuzaki Hiroki Inoue Yasuyuki Takahashi Tatsuya Onuki Takahiko Ishizu
Shuhei Nagatsuka Tomoaki Atsumi Kiyoshi Kato Jun Koyama Shunpei Yamazaki

1. はじめに

近年ノーマリオフコンピューティング技術が注目されている[1]。ノーマリオフコンピューティング技術は、コンピュータの揮発性メモリを不揮発性メモリで置き換え、パワーゲーティングと不揮発性メモリを効率的に制御することで、プロセッサが処理を行っていない期間は積極的に電源を遮断し、高速での電源復帰を行う、電力の無駄を排除した低消費電力技術である。図 1 に、プロセッサのメモリの階層構造を示す[2]。プロセッサのメモリは、性能、面積、電力等の観点から階層構造をとっている。図 1 の揮発性メモリを不揮発性メモリに置き換えるには、不揮発性メモリに、アクセス速度、実質無限大の書き換え耐性、低電力動作などが要求される。不揮発性メモリは、フラッシュメモリの置き換えを狙い、ReRAM (Resistance RAM) [3]、PCM (Phase Change Memory) [4]などが開発されているが、まだ課題があり、ノーマリオフコンピュータに適用できる不揮発性メモリは開発途上といえる。

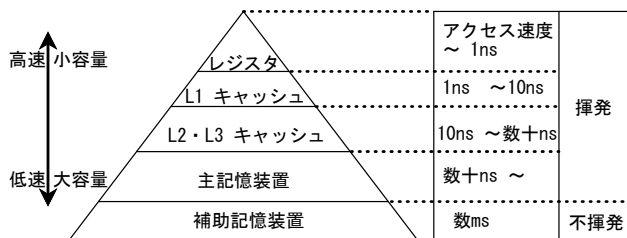


図 1 メモリの階層構造

一方、1985 年から君塚氏らは、In-Ga-Zn Oxide (IGZO) 系の酸化物半導体材料の研究を続けている[5,6,7]。我々は c 軸に配向した結晶構造(C-Axis Aligned Crystal)を有する結晶性酸化物半導体 IGZO を発見した[8]。CAAC を有する IGZO をチャンネル層に用いた Thin film transistor (結晶性酸化物半導体トランジスタ, CAAC-IGZO TFT)は、オフ状態のリーク電流がどのトランジスタよりも小さい[9,10]。

本研究では、極小リーク電流特性を持つ CAAC-IGZO TFT と Si トランジスタで構成されたメモリである Nonvolatile Oxide Semiconductor Random Access Memory (NOSRAM)[11]を試作し、NOSRAM の書き換え耐性、書き換え速度等を議論することで、ノーマリオフコンピュータを実現するためのメモリとしての適用可能性について検討する。

2. NOSRAM の構造と基本特性

NOSRAM は、Si トランジスタ上部に CAAC-IGZO TFT を積層することによって実現する新しい不揮発性メモリである。図 2(a)に、NOSRAM のセル回路図を示す。NOSRAM セルは、CAAC-IGZO TFT、Si トランジスタ (PMOS) およびキャパシタから構成される。NOSRAM のデータ書き込みは、CAAC-IGZO TFT をターンオンさせて、BL からキャパシタに電荷を蓄積させることで行われる。データ書き込み後は、CAAC-IGZO TFT をターンオフさせる。蓄積された電荷は、キャパシタの絶縁膜と、PMOS のゲート絶縁膜と、CAAC-IGZO TFT のチャンネル部によって保持され、CAAC-IGZO TFT のオフ状態のリーク電流は極小であるから、蓄積された電荷は電気的に絶縁された領域に保持されているとみなせる。データ読み出しは、キャパシタの蓄積電荷によって PMOS の V_{th} が変化することを利用する。図 2(b)に、data “1”と data “0”をそれぞれ書き込んだ状態の NOSRAM セルの I_D - W_L 特性を示す。図 2(b)は、CAAC-IGZO TFT をターンオンさせて、data “1”(3 V)もしくは data “0”(0 V)をキャパシタに蓄積させた時の、 W_L を仮想的なゲート電圧とする PMOS の I_D - W_L 特性である。データは、 W_L に 0 V、 W_{LIGZO} に 3 V をそれぞれ印加し、CAAC-IGZO TFT の S/D 電極の一方から入力した。データを保持する場合、ターンオフした CAAC-IGZO TFT のゲート電極は、-1 V を印加した。図 2(b)の結果から、data “1”と data “0”において、 V_{th} のウィンドウ幅が 3 V あり NOSRAM がメモリとしての特性を示しているのが確認できる。

図 3(a)に 1 bit NOSRAM セルへのデータ書き込み時間と V_{th} ウィンドウの関係を示す。データ書き込みは CAAC-IGZO TFT のゲート電極に 4.5V の電圧パルス印加して行い、パルス幅を書き込み時間とした。図 3(a)より、書き込み時間が 10 ns でメモリセルへの書き込みが十分行われていることが確認できる。

図 3(b)に NOSRAM セルのデータ書き換え耐性の評価結果を示す。データ書き込みおよびデータ保持の条件は、図 2(b)の I_D - W_L 特性を確認した内容と同様である。なお、データ書き込み時間は 10ns である。図 3(b)の結果から、 10^{12} 回のデータ書き換え後においても V_{th} ウィンドウ幅に全く変化がない。

このように、NOSRAM は、書き換え耐性が高く、書き換え速度が速いことから、L2 および L3 キャッシュに適用できる可能性がある。

† (株) 半導体エネルギー研究所, Semiconductor Energy Laboratory Co., Ltd.

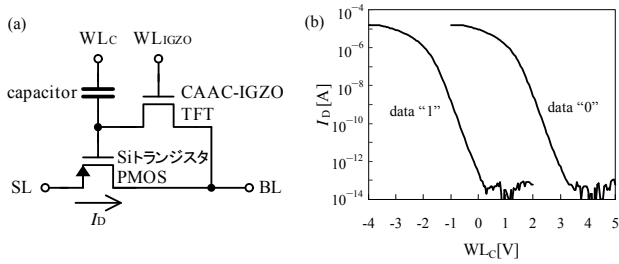


図 2 NOSRAM セル (a)回路図 (b)電流特性

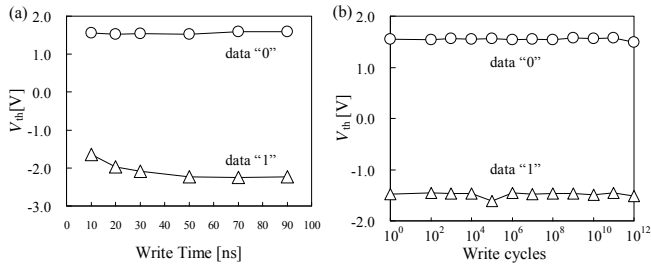


図 3 NOSRAM セル特性 (a)書き込み時間と ΔV_{th} の関係 (b)書き換え耐性

3. NOSRAM モジュールの評価結果

図 4 に試作した 1 Mb NOSRAM モジュールのダイ写真を示す。1 Mb NOSRAM モジュールは、0.8 μm CMOS プロセスと 0.8 μm CAAC-IGZO TFT プロセスを用いて作製した。表 1 に 1 Mb NOSRAM の仕様を示す。電源電圧 VDD は 3V、 W_{LIGZO} の高電圧 V_H は 4.5V、 W_{LIGZO} の低電圧 V_L は、-1V である。



図 4 1Mb NOSRAM ダイ写真

表 1 仕様

Process technology	0.8 μm IGZO TFT, 0.8 μm CMOS
Memory capacity	1 Mb
Organization	1024 bit/page \times 1024 pages
Cell size	12.32 μm^2 (4.4 $\mu\text{m} \times$ 2.8 μm)
VDD / V_H / V_L	3 V / 4.5 V / -1 V

data “1”を NOSRAM セル全てに書き込み、温度条件が 85 $^{\circ}\text{C}$ 、125 $^{\circ}\text{C}$ 、150 $^{\circ}\text{C}$ における 1 Mb NOSRAM のデータ保持試験結果を図 5 に示す。85 $^{\circ}\text{C}$ において 60 日以上でのデータ保持が確認できた。CAAC-IGZO TFT のオフ状態のリーク電流が極めて小さいことを利用した NOSRAM の特長を検証できている。

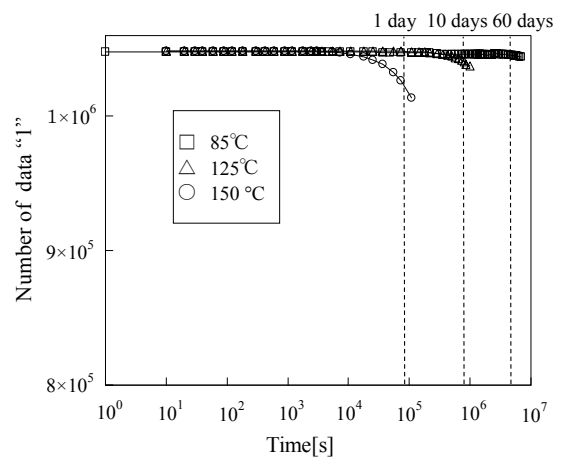


図 5 data “1”保持時間

4. まとめ

CAAC-IGZO TFT と Si トランジスタで構成された 1Mb NOSRAM を試作し、書き換え耐性 10^{12} 回、書き込み速度 10ns、データ保持 60 日以上(85 $^{\circ}\text{C}$)を確認した。これらの特性は、NOSRAM がノーマリオフコンピュータを構成する L2 および L3 キャッシュとして有望であることを示している。今後は、NOSRAM をキャッシュメモリとして組み込んだコンピュータを構築し、低電力化を検証していく。

参考文献

- [1] 安藤功児, “不揮発性磁気メモリ”, FED レビュー, Vol.1, No.14 (2002).
- [2] 安藤功児, “スピンドエレクトロニクスはどう変わる?”, 応用物理, Vol.81, No.3, pp. 239–243 (2012).
- [3] C. H. Chenga, C. Y. Tsaib, Albert Chinb, and F. S. Yeha, “High Performance Ultra-Low Energy RRAM with Good Retention and Endurance”, IEDM Technical Digest, pp. 448–451 (2010).
- [4] F. Bedeschi et al., “4-Mb MOSFET-Selected μTrench Phase-Change Memory Experimental Chip”, IEEE Journal of Solid-State Circuits, Vol.40, No.7, pp. 1557–1565 (2005).
- [5] N. Kimizuka et al., “Spinel, YbFe_2O_4 , and $\text{Yb}_2\text{Fe}_3\text{O}_7$ types of structures for compounds in the In_2O_3 and $\text{Sc}_2\text{O}_3\text{-A}_2\text{O}_3\text{-BO}$ systems [A: Fe, Ga, or Al; B: Mg, Mn, Fe, Ni, Cu, or Zn] at temperatures over 1000 $^{\circ}\text{C}$ ”, Journal of Solid State Chemistry, Vol.60, No.3, pp. 382–384, Dec. (1985).
- [6] N. Kimizuka et al., “Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9 \text{ and } 16$) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System”, Journal of Solid State Chemistry, Vol.116, No.1, pp. 170–178 (1995).
- [7] C. Li et al., “Modulated Structures of Homologous Compounds $\text{InMO}_3(\text{ZnO})_m$ ($M=\text{In, Ga; } m=\text{ Integer}$) Described by Four-Dimensional Superspace Group”, Journal of Solid State Chemistry, Vol.139, No.2, pp. 347–355 (1998).
- [8] M. Takahashi et al., “C-Axis Aligned Crystalline In-Ga-Zn-Oxide FET with High Reliability”, The Proceedings of AM-FPD 11, pp. 271–274 (2011).
- [9] Y. Sekine et al., “Success in Measurement the Lowest Off-state Current of Transistor in the World”, ECS Transactions, Vol.37, No.1, pp. 77–88 (2011).
- [10] K. Kato et al., “Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material, Indium–Gallium–Zinc Oxide”, Japanese Journal of Applied Physics, Vol.51, No2, 021201 (2012).
- [11] T. Matsuzaki et al., “1Mb Non-Volatile Random Access Memory Using Oxide Semiconductor”, 3rd IEEE International Memory Workshop, pp. 185–188 (2011).