

C-001

機能メモリベース超並列 SIMD 型演算コアの提案

A Proposal of Functional Memory-Based Massive-Parallel SIMD Processing Core

熊木武志*

Takeshi Kumaki

1. はじめに

近年、半導体技術の発展とともに、民生モバイル機器が広く普及してきた。その結果、ユーザは大容量かつ高品質のマルチメディアデータをアプリケーションやクラウドで手軽に取り扱うようになってきている。こういった機器の更なる発展のためには、多機能化を目指しつつもコストを抑えることが重要であるため、単体デバイスで複数の役割を兼ね備えることが必要となってくる。これはデジタルコンバージェンス [1] という概念で言い換える事もできる。モバイル機器に搭載されているプロセッサを開発する視点からは、プログラムに様々なマルチメディアデータ処理アルゴリズムを扱うことのできるコアが必要となってくる。そこで我々は、機能メモリの一種である連想メモリをベースとしてビットシリアルワードパラレルに超並列処理を実現する事のできる機能メモリベース超並列 SIMD 型演算コアを提案する。このコアは、マルチメディアアプリケーションが、繰り返し演算処理とテーブル変換処理から成り立つという特徴に着目し、単体でこれらの処理を効率よく実現できる構成を採用している。ベースとなった技術はマトリクスアーキテクチャ型超並列演算プロセッサ MX-1 [2] やセルラオートマトン処理用連想メモリ CAM² [3] であり、これらプロセッサコアの特長を活かしつつも、更に効率良く処理が実現できるアーキテクチャである。本論文では、基本的な構成を紹介するとともに、パイプライン処理の実例を示し、FPGA をターゲットとした場合の論理合成結果を示す。

2. 機能メモリベース超並列 SIMD 型演算コア

本論文にて提案する機能メモリベース超並列 SIMD 型演算コアは、汎用性を保ちつつも超並列かつ柔軟な処理を実現するため、機能メモリの一種である連想メモリの特長を活かした構造を採用している。図 1 に、提案演算コアのブロック図を示す。機能メモリベース超並列 SIMD 型演算コアは、2つの連想メモリモジュールが小型演算器群を挟み込んだ形で配置されている。左右の連想メモリモジュール (Left CAM module, Right CAM module) は同一の機能のものを用意している。連想メモリは高速なデータ検索に用いられる回路であり、検索時にマスクを施すことで任意のビット位置に対してデータの検索処理を行う事が可能である。これを利用すると、格納しているデータの LSB から 1 ビット単位に検索処理を行う事で、全データのビットシリアル水平方向読み出しが可能となる。

ここで図 2 に、提案演算コアにおける 1 エントリのブロック図を示す。1 エントリ内には、1 ワードの連想メモリセルが左右にあり、中央に 1 ビット演算器 (PE)

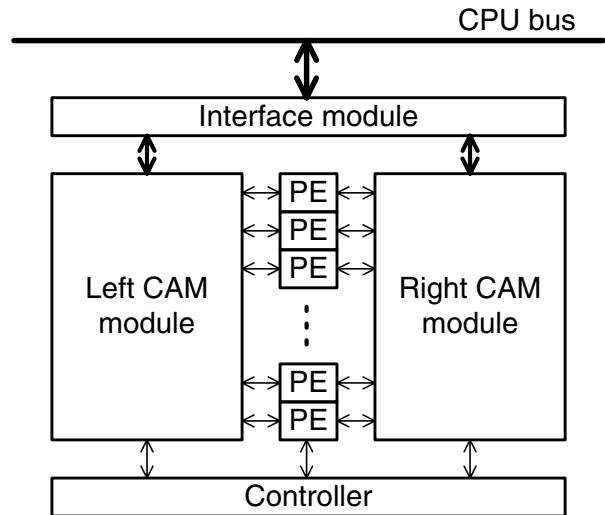


図 1: 機能メモリベース超並列 SIMD 演算コアの全体構成。

が配置されている。演算を実行する際には、どちらか一方の連想メモリワードからマスクを利用した 1 ビット検索処理を行い、読み出したデータをレジスタ (Store register) に格納する。続いて次のクロックサイクルで反対側の連想メモリセルからマスクを利用した 1 ビット検索処理によるデータ読み出しを実行し、先のレジスタに格納されているデータと ALU にて演算を行い、その結果をレジスタ (Operation register) に格納する。この結果は、次のクロックサイクルで始めにデータを読み出した連想メモリセルに書き込まれる。以上の動作はパイプライン処理で高速に行われる。

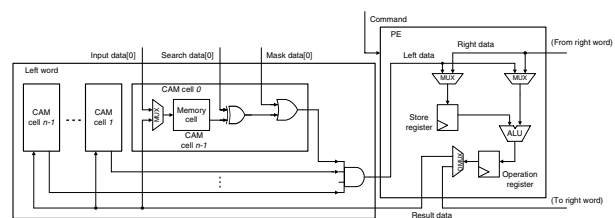


図 2: 機能メモリベース超並列 SIMD 演算コアのエントリ構成。

図 3 に加算, AND, そして OR 処理を連続して行った場合の動作波形を示す。この例では、左側連想メモリモジュールから読み出したデータに対して、右側連想メモリモジュールから読み出したデータとの演算を施す。左側連想メモリモジュールに対して検索処理を行うため、左側イネーブル信号 (Left search enable) を H にしつつ、左側マスクデータ (Left mask data) 000...001 を入力する。マスクデータは LSB が 1 となっているた

*立命館大学電子情報工学科, Dept. of Electronic and Computer Engineering, Ritsumeikan Univ.

め、左側連想メモリモジュールの各エントリに格納されているデータ (Left data) の LSB 110...101 が読みだされる。続くクロックサイクルで、先程読みだした各エントリのデータがレジスタ (Store register) に格納されるとともに、右側イネーブル信号 (Right search enable) が H になり、右側マスクデータ (Right mask data) に従って右側連想メモリモジュールの各エントリに格納されているデータ (Right data) の LSB 001...110 が読みだされる。このデータと左側連想メモリモジュールから読み出し、レジスタに保存していたデータを ALU に入力して、その演算結果 111...011 を次のクロックサイクルでレジスタ (Operation register) に保存する。これは出力データ (Result data) として左側連想メモリに書き込まれる。以上の流れはパイプライン処理として連続して行う事が可能である。

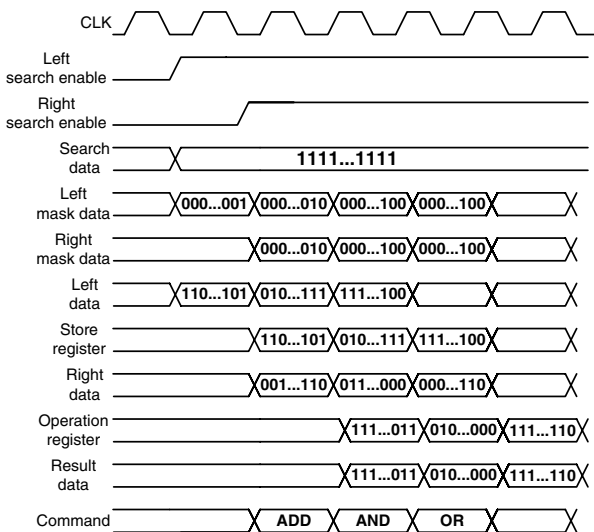


図 3: 機能メモリベース超並列 SIMD 演算コアの動作波形。

提案演算コアは、エントリごとにみるとビットシリアルパイプライン処理であるが、連想メモリモジュールのワード数を増やすだけで大幅に並列度を向上させる事が可能である。また、通常のメモリと同様にアドレス単位にデータを読み出すことで、垂直方向にデータを出力して処理することも可能である。従って、繰り返し演算処理とテーブル変換処理が多いマルチメディアアルゴリズムを効率良く処理する事が可能となる。これらの制御にはコントローラが用いられ、アルゴリズムに応じて連想メモリモジュールの読み出し処理を行いつつ、演算器には動作コマンドを発行する。処理データはインターフェースモジュール (Interface module) を介して CPU バスとやり取りされる。

3. 実装及び評価

本章では、提案する機能メモリベース超並列 SIMD 型演算コアの動作をシミュレーションで検証するとともに、FPGA に実装した場合のハードウェア量の関係を調べた。ターゲットの FPGA は、Xilinx 社の Spartan 6 ファミリーに含まれる XC6SLX150 である。開発ツ

ルには Xilinx 社の ISE 13.4、及び ISim 13.4 を用いた。検証ターゲットは、128 ビット 4 ワードの CAM セルを含んだバンクを左右 2 つと 1 ビット PE が 4 つである。機能シミュレーションにて動作の確認をしたところ、図 3 で示したパイプライン処理の通りに、PE が 4 並列に動作しているのを確認できた。また、論理合成後のハードウェア量を比較したところ、表 1 に示す様に、非常にコンパクトなハードウェア量で構成できる事が分かった。なお、各回路の値はそれぞれをトップモジュールとして算出したため合計の値と若干の差がある。今後はこのブロックを複数個並列に配置することで並列度を向上させ、FPGA 搭載評価ボードで動作やハードウェア量、及び消費電力等の能力を検証する予定である。

表 1: 4 エントリ分の論理合成結果。

Synthesized circuit	Number of Slice LUTs	Number of Slice registers
Total	4,506	1,039
Left bank (4 CAM words)	1,987	512
Right bank (4 CAM words)	1,987	512
4 PEs	81	16

4. おわりに

本論文では、マルチメディアアプリケーションを効率よく処理する事が可能な機能メモリベース超並列 SIMD 型演算コアを提案し、その動作検証をシミュレーションにて行った。今後は並列度の向上とともに処理ビット幅の拡大や消費電力の低減を目標として開発していく予定である。

参考文献

- [1] 内山邦男, “システム LSI におけるプロセッサ技術,” 信学誌, vol. 95, no. 7, pp. 582–588, July 2012.
- [2] T. Kumaki, T. Koide, H. J. Mattausch, Y. Kuroda, T. Gyohten, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, “Integration architecture of content addressable memory and massive-parallel memory-embedded SIMD matrix for versatile multimedia processor,” IEICE Trans. Electron., vol. E91-C, no. 9, pp. 1409–1418, Sept. 2008.
- [3] T. Kumaki, T. Fujita, M. Nakanishi, and Takeshi Ogura, “Morphological pattern spectrum and block cipher processing based image-manipulation detection,” IEICE Trans. NOLTA, vol. 4, no. 4, pp. 400–418, Oct. 2013.