

区分線形近似手法による非線形素子の高速化を用いた FPGA 実装による電子回路シミュレータの初期評価

Initial Evaluation of an Electronic Circuit Simulator Implemented on an FPGA Using a Piecewise Linear Approximation Technique to Speed up Nonlinear Elements

大本 裕真[†] 弘中 哲夫[†]

Yuma OMOTO Tetsuo HIRONAKA

1. はじめに

SPICE[1] に代表される電子回路シミュレータは、ダイオードや BJT (バイポーラ接合トランジスタ) などの非線形素子をシミュレーションする際、各時刻ごとに Newton-Raphson 法を適用して素子の動作点を反復的に求めており、この過程の高速化が求められている [2]。これらの非線形素子は指数関数的な電流-電圧特性を持つため、回路方程式の構築時に反復回数に比例して指数関数計算が実行され、計算コストが増大するという課題がある。

パワーエレクトロニクス分野においては、IGBT (絶縁ゲートバイポーラトランジスタ) の HILS (Hardware In the Loop Simulation) 向けシミュレーションにて動作速度を最適化しつつ電力シミュレーションを行うモデリング手法の研究が盛んである [3]。本研究では、非線形素子の特性を区分線形近似し、指数関数計算を軽量の線形補間に置き換えることで計算負荷を削減する手法を提案する。提案手法の有効性を示すため FPGA 上に実装し、従来の指数関数を使用するスタンプ手法と比較評価を行った結果、従来手法と比較してスタンプ速度の向上が確認できた。

2. 非線形素子のスタンプ手法と区分線形近似を用いた高速化の提案

2.1 ダイオードのスタンプ

スタンプとは、回路の構成要素の特性をシミュレーション時刻毎に離散化し、連立一次方程式 $\mathbf{Ax} = \mathbf{b}$ の係数行列 \mathbf{A} と右辺ベクトル \mathbf{b} に反映するプロセスを指す。非線形素子であるダイオードの特性は、以下の式で表現される。

$$i_d = g(v_d) = I_s \left(e^{v_d/V_t} - 1 \right) \quad (1)$$

このダイオードの非線形特性を回路方程式に組み込むためには、Newton-Raphson 法などの反復的な数値解法を用いて線形化を行い、等価回路を作成する必要がある。

ダイオードのスタンプは、特性式を直前解より得られる端子間電圧 $v_d^{(j)}$ まわりで 1 次までのテイラー展開することにより、線形な近似式 (式 2) を得ることで求めら

表 1 ダイオードのニュートン等価回路のスタンプ

	係数行列		RHS
	v_i	v_j	
i	$G_{eq}^{(j)}$	$-G_{eq}^{(j)}$	$-I_{eq}^{(j)}$
j	$-G_{eq}^{(j)}$	$G_{eq}^{(j)}$	$I_{eq}^{(j)}$

れる [4]。 $G_{eq}^{(j)} = g'(v_d^{(j)})$, $I_{eq}^{(j)} = g(v_d^{(j)}) - G_{eq}^{(j)} v_d^{(j)}$ とおくと、式 3 が得られる。

$$i_d = g'(v_d^{(j)}) v_d + g(v_d^{(j)}) - g'(v_d^{(j)}) v_d^{(j)} \quad (2)$$

$$= G_{eq}^{(j)} v_d + I_{eq}^{(j)} \quad (3)$$

式 3 はダイオード特性の直前解の端子間電圧 $v_d^{(j)}$ における線形近似である。 $G_{eq}^{(j)}$ と $I_{eq}^{(j)}$ は、回路方程式におけるコンダクタンス要素と、電流要素と捉えることができ、表 1 のように構成できる。

2.2 ダイオードのスタンプの高速化

指数関数計算は、シミュレーションの反復回数に比例して増加するため、計算コストが膨大になる。本研究では高速化の手段として、ダイオードの電流-電圧特性に対し区分線形近似を行う。

スタンプ処理では直前解による端子間電圧 $v_d^{(j)}$ が属する区間内で定義される式 $i_d = a(v_d^{(j)} - b) + c$ を選択し、 a を $G_{eq}^{(j)}$ 、 $i_d - av_d^{(j)}$ を $I_{eq}^{(j)}$ と対応させて回路方程式を構築する。これにより、指数関数計算を省略できスタンプの高速化が実現できる。

2.3 BJT のスタンプ

BJT は、Base, Collector, Emitter の 3 端子から構成される。その特性は Ebers-Moll モデル (図 1) を用いて以下の式で表現される。

$$i_e = -i_F + \alpha_R i_R \quad (4)$$

$$= -I_{es}(e^{v_{be}/V_{Te}} - 1) + \alpha_R I_{cs}(e^{v_{bc}/V_{Tc}} - 1) \quad (5)$$

$$i_c = \alpha_F i_F - i_R \quad (6)$$

$$= \alpha_F I_{es}(e^{v_{be}/V_{Te}} - 1) - I_{cs}(e^{v_{bc}/V_{Tc}} - 1) \quad (7)$$

$$i_b = -(i_e + i_c) \quad (8)$$

BJT のスタンプは v_{be} , v_{bc} に対する i_e および i_c の偏微分で求められるコンダクタンス要素と、動作点における i_e および i_c の直流バイアス成分である電流要素により表 2 のように構成される。BJT の接点番号に対応す

[†] 広島市立大学大学院情報科学研究科 Graduate School of Information Sciences, Hiroshima City University

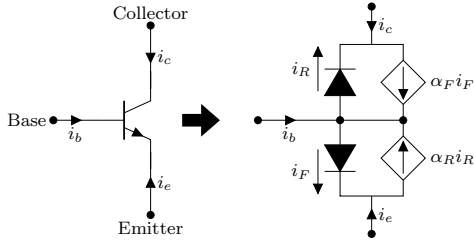


図1 NPN型BJTのEbers-Mollモデル

表2 NPN型BJTのスタンプ

	係数行列			右辺ベクトル
	Emitter	Collector	Base	
Emitter	$G_{ee}^{(j)}$	$-G_{ec}^{(j)}$	$G_{ee}^{(j)} - G_{ee}^{(j)}$	$-I_e^{(j)}$
Collector	$-G_{ce}^{(j)}$	$G_{cc}^{(j)}$	$G_{cc}^{(j)} - G_{cc}^{(j)}$	$-I_c^{(j)}$
Base	$G_{ce}^{(j)} - G_{ee}^{(j)}$	$G_{ec}^{(j)} - G_{cc}^{(j)}$	$G_{cc}^{(j)} + G_{ee}^{(j)} - G_{ec}^{(j)} - G_{cc}^{(j)}$	$I_e^{(j)} + I_c^{(j)}$

る行列およびベクトルの要素に対して,

$$\frac{\partial i_e}{\partial v_{be}} = -\frac{I_{es}}{V_{Te}} e^{v_{be}^{(j)}/V_{Te}} \triangleq -G_{ee}^{(j)} \quad (9)$$

$$I_e^{(j)} \triangleq i_e + G_{ee}^{(j)} v_{be}^{(j)} - G_{ec}^{(j)} v_{bc}^{(j)} \quad (10)$$

のように離散化を行うことで、機械的にBJTを含む線形方程式を構築することができる[4].

2.4 BJTのスタンプの高速化

BJTに流れる電流 i_e および i_c は2変数関数であるが、Ebers-Mollモデルにより、これらは i_F と i_R の計算に分解可能である。つまり、 i_F と i_R それぞれについてダイオードのスタンプの高速化と同様の区分線形近似手法が適用でき、これらを組み合わせることでBJTについても計算負荷が削減できる。

具体的には、区分線形近似した $i_F = a(v_{be}^{(j)} - b) + c$ および $i_R = d(v_{bc}^{(j)} - e) + f$ について、 a を G_{ee} 、 $\alpha_F a$ を G_{ce} 、 d を G_{cc} 、 $\alpha_R d$ を G_{ec} 、 $i_e + (G_{ee} \times v_{be}^{(j)} - G_{ec} \times v_{bc}^{(j)})$ を I_e 、 $i_c - (G_{ce} \times v_{be}^{(j)} - G_{cc} \times v_{bc}^{(j)})$ を I_c と対応させることで、BJTを含む回路の回路方程式を構築できる。

3. 評価

区分線形近似手法を用いた場合の使用資源量とレイテンシの評価を行った。

本研究で使用した環境は、表3の通りである。

表3 本研究での合成環境・条件

合成ツール	Vitis HLS 2023.1
対象FPGA	AMD Zynq UltraScale+ MPSoC ZCU104
クロック周波数	100 MHz
実装手法	C++ 言語による高位合成

3.1 レイテンシおよび使用資源量の評価

評価は、従来の指数関数を用いたスタンプ構築のレイテンシと、区分線形近似手法を用いたスタンプ構築のレイテンシについて評価を行った。区分線形近似手法は3

分割、5分割、7分割の場合について評価した。また、同様に使用資源量についても評価を行った。表4に合成結果とそのレイテンシを示す。

表4 区分線形近似を用いたスタンプ手法の合成結果と評価

スタンプ手法	latency (cycle)	BRAM	DSP	FF	LUT
ダイオード					
従来手法	148	4	43	6,590	7,893
線形近似3分割	55	4	17	4,531	5,857
線形近似5分割	59	4	29	7,107	10,189
線形近似7分割	63	4	35	8,584	13,268
BJT					
従来手法	220	4	43	6,590	7,893
線形近似3分割	126	4	17	4,531	5,857
線形近似5分割	130	4	29	7,107	10,189
線形近似7分割	134	4	35	8,584	13,268

従来手法と比較し、区分線形近似を行ったスタンプのレイテンシは小さく、特に3分割の区分線形近似のレイテンシはダイオードで従来手法の約2.6倍、BJTは従来手法の約1.7倍高速であることが分かった。使用資源に関して、3分割の区分線形近似を適用した結果、従来手法と比較して減少した。しかし、分割数の増加に伴い使用資源量も増加しており、5分割以上の場合、FFやLUTの使用量は従来手法よりも増加する結果となった。

これらの結果から、作成した区分線形近似手法を用いたスタンプ手法は実行速度において優れた性能を示していることが明らかとなった。

4. まとめ

本研究では、区分線形近似手法を用いたスタンプ手法を適用することで、従来の指数関数を使用する計算と比べ高速な回路が合成できることを確認した。今後の課題として、電子回路シミュレーション全体の高速化やシミュレーション精度の維持のため、区分線形近似の分割数と分割位置を問題に応じて最適化する手法の検討が挙げられる。

参考文献

- [1] Nagel, Laurence W., "SPICE2: A Computer Program to Simulate Semiconductor Circuits," *EECS Department*, University of California, Berkeley, 1975.
- [2] Y. Chen and V. Dinavahi, "An iterative real-time nonlinear electromagnetic transient solver on FPGA," *IEEE Transactions on Industrial Electronics*, vol.58, no.6, pp.2547-2555, 2010.
- [3] H. Bai, C. Liu, A. K. Rathore, D. Paire and F. Gao, "An FPGA-Based IGBT Behavioral Model With High Transient Resolution for Real-Time Simulation of Power Electronic Circuits," *IEEE Transactions on Industrial Electronics*, vol. 66, no. 8, pp. 6581-6591, Aug. 2019.
- [4] Farid N Najm, "Circuit simulation," John Wiley & Sons, 2010.