

図3 時分割処理を導入したルータ回路の構成

時分割処理の導入にあたっては、図1のパケット構成を2分したパケット1とパケット2を順に転送する方針を採用する。まず、伝搬先の決定に用いる伝搬情報は、先行して転送する必要があるためパケット1に割り当てる。残る演算情報に関しては、積和演算に含まれる乗算がボトルネックになることから、これに必要なカーネル係数を先行して転送、すなわちパケット1に割り当てる。そして、累積画素値を後続のパケット2に割り当てて転送することにより、積和演算の乗算にかかるオーバーヘッドを隠蔽することができる。

提案するルータ回路の構成を図3に示す。基本的な構成要素は図2と同様であるが、時分割処理の導入に伴ってバスおよびレジスタの幅が削減される点に注意する。以下、追加・変更された構成要素についてのみ述べる。

InputReg1, InputReg2: 有効ビットを起点にパケット1およびパケット2をそれぞれ格納するレジスタ。

DirReg: 更新後のDirの値を格納するレジスタ。パケット1に含まれるDirは、後続のパケット2の送出時にも必要となるため、別途レジスタを設けてこれを保持し、伝搬方向の制御に利用する。

MUX1: 図2と同様に、パケット伝搬時に積和演算結果を更新するか否かを選択・出力する回路。

MUX2: パケット1とパケット2を選択し、OutputRegへ出力する回路。

コアがパケット送出し、その積和演算結果を取得するまでの動作手順を以下に示す。

手順1. 隣接するルータからのパケット1を論理和で統合、InputReg1に格納する。

手順2-1. RoutingModでパケット1の伝搬情報を更新し、カーネル係数PxKnlと画素値PxOriとの乗算を行う。

手順2-2. 手順1と同様に隣接するルータから送出されたパケット2をInputReg2に格納する。

手順3-1. MUX2を制御して伝搬情報をOutputRegへ、Dirを別途DirRegにそれぞれ格納する。

手順3-2. 手順2-1.を経て算出された乗算結果と、パケット2に内包されたPxSumとの加算を行う。

手順4. MUX2を制御して、手順3-2.で求めた積和演算結果をOutputRegへ格納する。

ここで、手順1.と3-1, 手順2-2.と4.はそれぞれ隣接するルータ間で重複して処理される点に注意する。

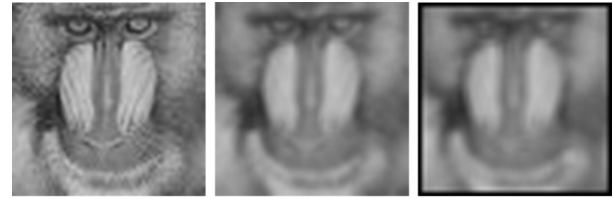


図4 NoCによる平滑化結果 (48x48)

表1 回路資源量

| NoC構成 | LUT | | FF | |
|----------|---------|---------|---------|---------|
| | 32 × 32 | 64 × 64 | 32 × 32 | 64 × 64 |
| 既存手法 [2] | 241,552 | 967,249 | 92,120 | 368,568 |
| 時分割処理 | 229,522 | 922,235 | 87,009 | 344,001 |
| シリアル通信 | 95,685 | 385,260 | 182,927 | 736,463 |

手順5. 手順2.~手順4.を繰り返し、全近傍画素への演算処理が終了すると、返送フラグを有効にして、注目コアへ返送ルーティングへ移行する。

手順6. 比較回路Compによる演算の終了判定後、積和演算結果(Result)と処理完了信号(RoutingEnd)を送出し、画像処理を完了する。

なお、シリアル通信の導入は、図3のPxMULとPxADDを文献[3]の積和演算器に置換して構成できる。

4 設計と評価

AMD Vivado2024.1を用いて、時分割処理およびシリアル通信を導入したNoCをそれぞれVHDLで設計し、シミュレーションにより所望の動作を確認した。さらに、出力波形より得られた積和演算結果を画像に復元し、それとOpenCVによる平滑化画像との画質評価を行った結果を図4に示す。この際の画質(PSNR)は45.30[dB]であり、高精度な画像処理(≥40[dB])を確認できる。

次に、各NoCの回路資源量を表1に示す。この結果より、時分割処理の導入によってOutputRegが22bitsに削減されるものの、NoC全体における資源量の削減効果は軽微である。一方、シリアル通信によるLUTの削減効果を確認できるが、積和演算器に含まれるシフトレジスタによりFF数が著しく増大する結果となっている。

5 あとがき

本研究では、汎用画像処理NoCに対して時分割処理およびシリアル通信を導入し、特に後者によるLUT数の大幅な削減効果を確認した。今後の課題としては、シリアル通信における冗長なレジスタの削減と最適化を行うことが急務である。

謝辞 本研究の一部は、JSPS 科研費 25K15048 の支援を受けて実施されたものである。

参考文献

- [1] I.J. Barge, et al., H.264 video decoder implemented on FPGAs using 3×3 and 2×2 networks-on-chip,” Proc. ReConfigurable Computing and FPGAs, pp.1–6 (Dec. 2017)
- [2] 三好 隼人, 他, “Network on Chip に基づく汎用画像処理アーキテクチャとその評価,” 電子情報通信学会技術研究報告(VLD), vol. 124, no. 400, pp. 49–54 (Mar. 2025)
- [3] 岡本 大地, 他, “デジタル補聴器用 DSP を対象とした直列積和演算器の一構成法,” 電子情報通信学会論文誌 D, Vol. 100, No. 3, pp.321–330 (Mar. 2017)