

Network on Chip に基づく画像処理を対象としたルータ回路の設計 Design of routing circuit for image processing based on Network on Chip

門田 龍弥[†] 三好 隼人[†] 吉原 蓮人[†] 川上 寛人[†] 近藤 真史[†]
Ryuya Kadota Hayato Miyoshi Rento Yoshihara Kanto Kawakami Masafumi KONDO

1 まえがき

近年、演算コアの増加に伴って、コア間のデータ転送をパケット通信で行う Network on Chip (NoC) が注目されている [1]. 本研究室では、NoC に基づいた画像処理アクセラレータの実現を目的として、格子状に配置されたコア群に画素を対応付けた上で、近傍画素に対する螺旋状のパケットルーティングにより電氣的に画像処理を実現する手法を提案している [2]. しかし、パケットシミュレーションを通じてその実現可能性は確認できているものの、具体的な回路構成については十分に検討できていない. そこで本研究では、提案の NoC を実現する上で重要となるルータ回路の構成法を提案する. さらに、提案のルータ回路を用いた NoC を HDL で設計し、回路シミュレーションより得られた画質評価を通じて所望の画像処理が実現できていることを確認する.

2 NoC に基づいた汎用画像処理

NoC とは、インターネットの概念を集積回路内の IP コア間の通信に応用したものであり、一般的には格子状 (メッシュ型) に配置した一対のルータとコアで構成される. コア間のデータ通信はパケット通信によって行われ、具体的にはデータと転送先アドレスを内包したパケットを各コアが送出し、ルータがアドレスを基に転送先コアまでパケットを伝搬することにより実現される. 実効的に各コアは並列に動作することから、極めて高いスループットを実現できる. 一方、汎用画像処理、いわゆる画像に対する空間フィルタリング処理は、注目画素周辺の近傍画素とフィルタカーネルとの積和演算として実現できる. 例えば、各画素における近傍画素との平均値を求める平滑化処理を 3×3 画素の範囲に適用する場合、周囲 8 近傍画素を含む 9 画素に対して、 $1/9$ をカーネル係数とした積和演算結果を逐次的に求めればよい.

文献 [2] では、上述の二次元的なパケット通信と演算形態に着目し、格子状に配置された NoC 上のコアに各画素を割当て、螺旋状にパケットルーティングを行うことで積和演算結果を求める手法を提案している (図 1). 具体的には、カーネル係数と累積画素値を内包したパケットをルータに対して螺旋状に伝搬する. 各ルータは積和演算器を内蔵しており、パケットに内包されているカーネル係数と、各コアに割当てられている画素値との乗算結果を、パケットの累積画素値に加算・更新することで積和演算を実現している. また、効率的に螺旋状のルーティングを実現するため、パケットの伝搬方向が右-下方向、左-上方向を単位として移動量が 1 ずつ増える点に着目し、現在の伝搬方向に対する規定移動量 r と現時点における移動量 m (以下、それぞれ単に規定量、移動量という) をパケットに内包している. 各ルータは

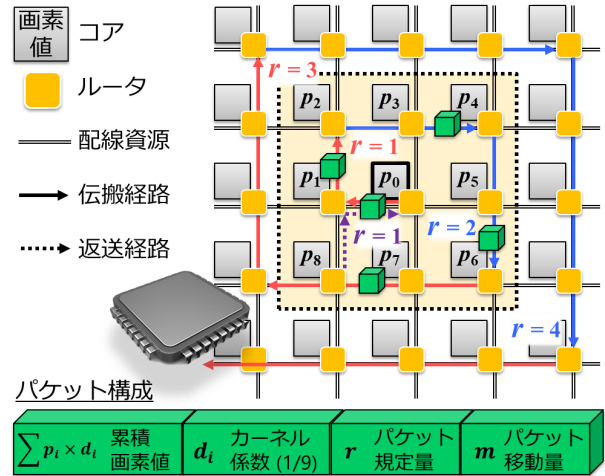


図 1 螺旋状ルーティングによる汎用画像処理

伝搬の際に移動量をインクリメントし、これが規定量に達した場合は 0 で初期化するとともに伝搬方向を切り替える. さらに、右-下方向、左-上方向へ伝搬方向が切り替わる際には規定量をインクリメントする. これにより単純な比較とインクリメントのみを以って簡便に螺旋状ルーティングを実現できる. また、パケットは 1 ビットの返送フラグを内包しており、全ての近傍画素に対する積和演算を完了するとこれを設定し、以後は積和演算を伴うことなく返送経路を経て注目画素にパケット、すなわち積和演算結果が返送されることになる.

3 ルータ回路の構成と動作

NoC においてパケット伝搬を担うルータ回路の構成法は極めて重要となる. 一般的な NoC では、上下左右に行き交うパケットを効率的に制御するため、ルータ内部のバスとしてクロスバスイッチを用いることが多い. これに対して文献 [3] では、螺旋状のルーティング形態に着目し、ルータ内部のバスを環状に接続したリングバス型ルータ回路を提案している. この構成によれば、螺旋状の伝搬方向に応じて効率的なパケット伝搬を期待できるが、ルータに対する上下左右からの入出力について個々に制御回路を設ける必要があり、回路面積の増大に伴って扱える画像のサイズに限界が生じる.

そこで本研究では、螺旋状ルーティングにおいて全てのパケットは一律の方向に伝搬、すなわち各ルータに入力されるパケットは高々 1 つに限られる点に着目し、単に選択回路 (MUX, DMX) を用いた簡便なルータ回路を提案する. 提案するルータ回路の構成を図 2 に示し、各構成要素の説明を以下に記す. なお、パケットは先行研究と同様に 25 ビット構成を基本とする (図 2 下参照).

InputReg: 上下左右のルータおよびコアからのパケットを保持するためのレジスタ. 各ルータに入力されるパケットは 1 つに限られるため、各方向からのパケットは論理和により単一のパケットとして出力される.

[†] 岡山理科大学 工学部 情報工学科

Department of Information and Computer Engineering,
Okayama University of Science

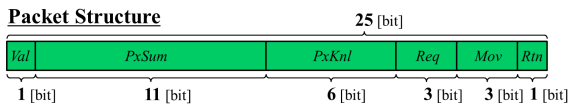
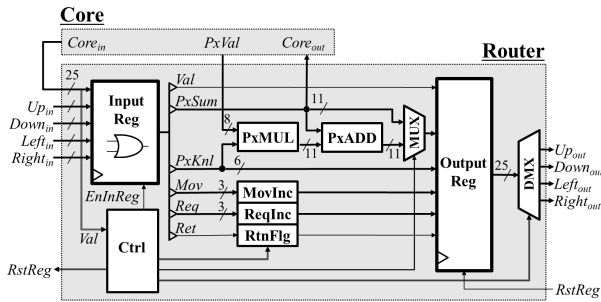


図 2 ルータ回路の構成

PxMUL: パケットに内包されたカーネル係数 $PxKnl$ と、コアに割り当てられた画素値 $PxVal$ の積を求める乗算器。
PxADD: 積と累積画素値 $PxSum$ の和を求める加算器。
MovInc, ReqInc: パケット伝搬に係る規定量 Req と移動量 Mov をそれぞれ更新するためのインクリメントと移動量。
RtnFlg: 全ての近傍画素に対する積和演算を完了したことを表す返送フラグ $RtnFlg$ をセットする回路。なお、伝搬が返送に転じるタイミングは、カーネルサイズ $n \times n$ に対して $Req = n$ かつ $Mov = (n - 1)$ であり、返送時の規定量は n の右 1 ビットシフト ($n/2$) として容易に求まる。
OutputReg: 上下左右のルータに伝搬する packets を保持するためのレジスタ。上述の各演算器を経て個々に演算されたデータを packet として再構成する。
Ctrl: 各構成要素を制御する順序回路。

上述の回路構成に基づいた螺旋状ルーティングの動作手順は以下の通りである。

手順 1. 上下左右のルータおよびコアより入力された packet の有効ビット Val を検知すると、**Ctrl** は $EnInReg$ をアサートして **InputReg** に packet を保持する。また同時に、 $RstReg$ を隣接するルータにアサートして、その **OutputReg** に保持されている packet を削除する。

手順 2. **InputReg** に保持された packet は、図 2 下の packet 構成に応じた演算器に入力され、積和演算を経て累積画素値 $PxSum$ 、インクリメント回路群を経て規定量 Req と移動量 Mov がそれぞれ更新される。

手順 3. **Ctrl** は、更新後の packet を **OutputReg** に保持するとともに、**DMX** を制御して指定の伝搬方向に packet を伝搬する。

手順 4. 手順 1.~3. を繰り返し、packet の返送条件を満たした場合、**Ctrl** は $RtnFlg$ を制御して返送フラグ、**ReqInc** を制御して Req に $n/2$ をそれぞれセットする。

手順 5. **Ctrl** は、**MUX** を制御して積和演算器を経由しない経路を選択しながら手順 1.~3. を繰り返す。

手順 6. 注目画素に返送 packet が到達した場合、コアに積和演算結果 $PxSum$ を返送して処理を完了する。

4 設計と評価

提案のルータ回路に基づいた NoC を VHDL で設計し、 3×3 の平滑化フィルタに対するシミュレーションを行った結果、所望の packet 伝搬と積和演算が行われていることを確認した。さらに、シミュレーション波形より得られた積和演算結果を画像に復元し、それと画像

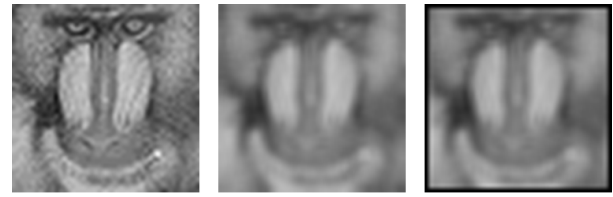
図 3 平滑化フィルタの適用例 (48×48 pixel)

表 1 演算ビット数に対する画質評価結果 [dB]

演算 ビット数	カーネル係数のビット数			
	6	10	11	12
0	31.90	33.48	34.10	34.10
2	37.27	40.34	42.75	43.58
4	39.31	43.53	47.36	49.18
6	39.89	44.45	48.69	50.60

処理ライブラリ OpenCV により平滑化フィルタを施して得られた画像との比較結果を図 3 に示す。画像端のコア (画素) については、画像の領域外処理が必要となるためルーティングを行っていないが、適切に平滑化処理が行われていることが復元画像からも確認できる。

続いて、packet サイズが実装可能な NoC の面積に強く影響することから、packet に内包すべきカーネル係数のビット数について評価を行った結果を表 1 に示す。OpenCV によるソフトウェア実装比の画質 (PSNR) で評価し、一般に 40 [dB] 以上で元画像 (OpenCV) との区別が困難な精度とみなせる。この結果より、カーネル係数の小数点以下のビット数を増やすことで精度向上が見込まれ、また積和演算器の演算ビットを増やすことでも改善傾向が見て取れるが、いずれも小数点以下 6 ビット程度でも 40 [dB] に迫る画質を維持できることが分かる。

さらに文献 [3] のルータ回路では、リングバスの循環に伴って packet の伝搬に最大 10 クロックを要するが、提案のルータ回路は最大 7 クロックに削減されており、既存の命令サイクルに従った画像処理に比して極めて高速な画像処理を実現できる可能性が示唆された。

5 あとがき

本研究では、NoC に基づいた汎用画像処理を実現するためのルータ回路を提案し、シミュレーションおよび画質評価を通じて高速かつ高精度な画像処理を実現できることを確認した。一方、カーネル係数等のビット数と精度はトレードオフの関係にあるため、packet 伝搬をシリアル通信で実現する等の対策を講じる必要がある。

謝辞

本研究の一部は、JSPS 科研費 22K11964 の支援を受けて実施されたものである。

参考文献

- [1] I.J. Barge, et al., "H.264 video decoder implemented on FPGAs using 3×3 and 2×2 networks-on-chip," Proc. ReConFigurable Computing and FPGAs, pp.1-6 (Dec. 2017)
- [2] 吉原 蓮人, 他, "ネットワークオンチップに基づく平滑化フィルタの基礎検討," 第 74 回電気・情報関連学会中国支部連合大会, R23-26-03 (Oct. 2023)
- [3] 三好 隼人, 他, "Network on Chip に基づく画像処理アクセラレータの基礎検討-リングバス型ルータ回路の設計-", 2024 年電子情報通信学会総合大会, ISS-SP-006 (Mar. 2024)