

大規模 FPGA アーキテクチャにおける配置最適化のための小規模ニューラルネットワークを用いた配置手法の適用とその初期評価

Application and Initial Evaluation of Placement Method Using Small Neural Networks for Placement Optimization in Large-Scale FPGA Architectures

上向井 大輝[†] 弘中 哲夫[†] 窪田 昌史[†]
Daiki UEMUKAI Tetsuo HIRONAKA Atsushi KUBOTA

1. はじめに

現在, FPGA (Field Programmable Gate Array) の需要は高まっており, 様々な分野で使用されている. FPGA の開発工程には, HDL 記述, 論理合成, テクノロジーマッピング, 配置配線, 論理検証などが含まれ, 特に配置配線は回路性能に大きく影響する. また, 配線工程は配置結果に大きく依存するため, 配置段階での最適化が重要である.

しかし, FPGA の配置配線問題は NP 困難であり, 最適解の探索は難しいとされている. そのため, 現在ではヒューリスティックな手法である SA (Simulated Annealing) 法が研究されている. 従来研究では SA 法にニューラルネットワークを用いた山登り法を追加することで, より効果的な最適化を行う手法が提案されている. このニューラルネットワークは, 現在解と近傍解の配置およびネットリスト情報から予測される配線混雑度推定マップを入力とし, 配置の比較結果を 0 または 1 で出力することで, より詳細な配置評価を行うことができる.

しかし, この手法は論理ブロック数が 16×16 とアーキテクチャサイズの小さい FPGA に特化しており, より大規模なアーキテクチャには対応できない. 本研究では, 小規模アーキテクチャ専用モデルを大規模アーキテクチャに適応する 3 つの手法を提案し, 評価する. ここで, 本研究では大規模な FPGA アーキテクチャを対象とするため, アーキテクチャは 16×16 よりも大きな 73×64 とした.

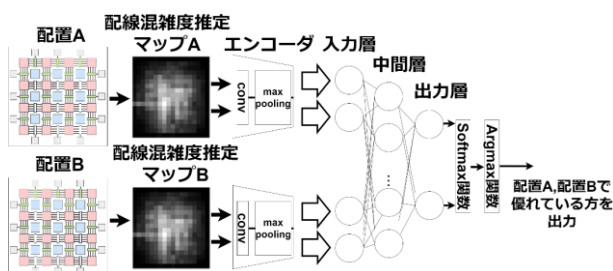


図 1 配置評価ニューラルネットワーク

2. 大規模 FPGA への拡張と課題

まず, 讃岐らの先行研究[1][2]で使用されていた小規模なアーキテクチャを対象とした配置評価ニューラルネットワークを図 1 を用いて説明する. 配置評価ニューラルネットワークは分類ニューラルネットワークとして機能し, 2 つの配置とネットリスト情報から配線混雑度推定マップを作成し, エンコーダに通して抽出された特徴を全結合層ニ

ューラルネットワークの入力とすることで, 配置品質の優れた方を判別して出力する. ここで, エンコーダは学習済みオートエンコーダのエンコーダ部分を使用している.

讃岐らによって配置評価ニューラルネットワークは, アーキテクチャサイズが 16×16 の小規模 FPGA を対象とした評価実験で有効性が確認された. しかし, モデルをより大規模なアーキテクチャに拡大すると, 学習データの収集時間が大幅に増大するという課題がある[2]. したがって, 先行研究の方法をそのまま拡張するのは効果的ではない.

本研究では, この課題に対処するために, 図 1 に示す小規模なアーキテクチャ (16×16) 専用の配置評価ニューラルネットワークを, 大規模なアーキテクチャ (73×64) に適応するために 3 つの配置手法 (スライド手法, Pooling 手法, スライド+Pooling 手法) を提案し, その有効性を評価する. 提案手法の説明を次節で行う.

3. アーキテクチャの大規模化に対する提案手法

3.1 スライド手法

スライド手法は, 大規模アーキテクチャ全体の配線混雑度推定マップに対して実施すると計算量が膨大になるため, 配置変更時の配線混雑度推定マップの変動部分に焦点を当てる. 図 2 に示すように, この変動部分に対して, 16×16 の領域をストライド 1 でスライドさせながら, 図 1 の配線混雑度推定マップ部分を入力する. この手法により, 各 16×16 の小領域に対して配置評価を行い, その結果を得ることができる. 全領域での評価結果を得るために各領域での配置評価結果を合計し, 比較する 2 つの大規模 FPGA 配置のどちらが優れているかを判断する.

この手法は, 16×16 単位の小領域の局所的な情報だけで全体の配置の優劣を決定している.

3.2 Pooling 手法

Pooling 手法は, まず 0 Padding を使用して大規模アーキテクチャの配線混雑度推定マップの縦横を偶数に調節する. その後, 調節された配線混雑度推定マップに平均 Pooling を適応し, 16×16 のサイズまで畳み込みを行う. この畳み込まれた配線混雑度推定マップを図 1 の配線混雑度推定マップの部分に入力することで配置評価を行う.

この手法は, 配置全体を 16×16 に平均 Pooling で圧縮することで局所的な情報をすべて無視し, 配置全体を大域的に見て配置の優劣の評価を決定している.

3.3 スライド+Pooling 手法

スライド+Pooling 手法は, スライド手法と Pooling 手法を組み合わせたものである. まず, Pooling 手法と同様に配線混雑度推定マップの縦横を 0 Padding によって偶数にする.

[†] 広島市立大学大学院情報科学研究科 Graduate School of Information Sciences, Hiroshima City University

その後、調節された配線混雑度推定マップに平均 Pooling を適応し、半分のサイズまで畳み込みを行う。そして、この畳み込まれた配線混雑度推定マップに対して、スライド手法と同様の処理を行い、全領域での評価結果を得るために各領域での配置評価結果を合計し、比較する 2 つの大規模 FPGA 配置のどちらが優れているかを判断する。

この手法は、Pooling により半分のサイズまで圧縮していることから、スライド手法の倍の 32×32 の中領域の局所的な情報で配置全体の優劣を決定している。

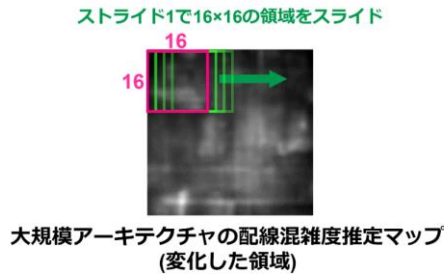


図 2 スライド手法の様子

4. 提案した手法を用いた配置配線の評価と考察

提案手法の有効性を確認するために、Verilog to Routing (VTR) [3] で提供されている評価用ベンチマーク回路 4 つに対して提案手法で配置を行い、VTR で配線を行った。ベンチマーク回路のブロック数とネット数は表 1 に示す。また、比較対象として VTR を用いて評価用ベンチマークに対して配置配線を行い、その結果と比較する。評価項目は平均チャンネル幅、平均配線長、最大動作周波数 (Fmax) とし、各手法と VTR での配線結果を表 2 に示す。

表 2 の結果より、スライド手法では、平均チャンネル幅が全ベンチマーク回路で他の提案手法に劣る結果を示した。また、平均配線長の評価でも Sha を除いたベンチマーク回路において、他の提案手法よりも劣っていることが確認された。さらに、最大動作周波数においても他の提案手法に及ばない結果が得られた。これらの結果から、スライド手法は他の手法と比較して有効性が低いことが示された。

Pooling 手法では、平均チャンネル幅が Sha において VTR よりも優れた結果を示した。また、平均配線長が Stereovision2 において VTR よりも優れた結果を示した。さらに、最大動作周波数が Stereovision3, Sha において VTR よりも優れた結果を示した。これらの結果から、Pooling 手法の配置全体を大域的に評価する手法は有効性のあるものだとわかる。

スライド+Pooling 手法では、平均チャンネル幅が Sha において VTR よりも優れた結果を示した。また、最大動作周波数の評価では Stereovision2 において VTR よりも良い結果を示した。これらの結果から、スライド+Pooling 手法が平均チャンネル幅と最大動作周波数において有効性があることが示唆された。

また、表 1、表 2 からブロック数とネット数が最も多い Stereovision1 において、どの評価項目においても提案手法は VTR よりも劣っていることが分かる。

表 1 ベンチマーク回路のブロック数とネット数

ベンチマーク回路	Blocks	Nets	LAB
Stereovision1	71021	70839	2851
Stereovision2	38004	37859	1358
Stereovision3	388	358	14
Sha	22145	22109	1347

表 2 各手法での配置配線結果の比較

	VTR	Slide	Pooling	Slide & Pooling
平均チャンネル幅				
Stereovision1	110.8	113.52	112.74	113.28
Stereovision2	105.2	107.22	107.14	107.04
Stereovision3	39.8	41.54	40.8	41.4
Sha	127.2	127.32	126.78	126.74
平均配線長				
Stereovision1	230504.1	235458.4	231871.0	233235.2
Stereovision2	388336.1	388441.7	384909.5	385826.4
Stereovision3	2493.6	3047.36	2671.55	2849.09
Sha	265437.6	270069.0	269729.4	272125.4
Fmax(MHz)				
Stereovision1	137.2	94.4	136.62	137.11
Stereovision2	85.8	86.71	86.93	87.34
Stereovision3	171.7	173.26	174.75	173.62
Sha	70.0	70.85	71.79	71.25

5. まとめ

本研究では、先行研究で使用されていた小規模なアーキテクチャ (16×16) 専用の配置評価ニューラルネットワークを、大規模なアーキテクチャに適応するために 3 つの配置手法 (スライド手法、Pooling 手法、スライド+Pooling 手法) を提案し、その有効性を評価した。評価結果から、各提案手法は平均チャンネル幅や平均配線長において、一部回路で VTR を上回ることができた。また、最大動作周波数においては、特に Pooling 手法とスライド+Pooling 手法が良好な結果を示した。3 つの提案手法を比較した結果では、Pooling 手法が優れている結果が多く、スライド手法が劣っている結果が確認された。このことから、配置全体を大域的に見て配置の優劣を評価することが大規模 FPGA アーキテクチャにおける配置最適化において重要であると考えられる。今後の展望としては、大域的な領域での配置評価をベースとした手法の考案と評価が求められる。

参考文献

- [1] 讃岐純平, 渡邊伊吹, 窪田昌史, 弘中哲夫, “オートエンコーダによる特徴抽出を用いた FPGA 論理素子配置手法の初期評価,” 信学技報, vol.122, no.354, RECONF2022- 81, pp.13-18, 2023.
- [2] 渡邊伊吹, 窪田昌史, 弘中哲夫, “FPGA の配置配線における論理素子の配置品質を判断するニューラルネットワークの FPGA サイズに対する学習時間の検討,” 2023 年度 (第 74 回) 電気・情報関連学会中国支部連合大会, 2023.
- [3] Kevin E Murray, Oleg Petelin, Sheng Zhong, Jia Min Wang, Mohamed Eldafrawy, Jean-Philippe Legault, Eugene Sha, Aaron G Graham, Jean Wu, Matthew JP Walker, “VTR 8: High Performance CAD and Customizable FPGA Architecture Modelling,” ACM Transactions on Reconfigurable Technology and Systems (TRETS), vol.13, no.2, pp.1-55, 2020.