

スキャン MUTEX を対象としたレイアウトレベルの設計 An Implementation of Layout-Level Scan MUTEX-element

谷口 翔寿人¹⁾ 岩田 大志¹⁾ 山口 賢一¹⁾
Taniguchi Kazuto Iwata Hiroshi Yamaguchi Ken'ichi

1 研究背景

近年、半導体製造技術が進歩し、低消費電力な動作が実現できる非同期式回路を利用した VLSI 設計が採用されている [1]。しかし、非同期式回路はクロック信号がないことから、動作タイミングを考慮した設計やハザードが発生しない設計が必要であり、同期式回路と比較して設計が困難である [2]。また他にも、製造後に行われる出荷テストが難しく、標準化されたテスト容易化設計手法が存在しないなどの課題がある。同期式回路で用いられている代表的なテスト容易化設計手法として、順序回路にテスト用パスを通して制御することで組合せ回路としてテストを行うスキャン設計という手法がある。文献 [3] で岩田らは完全なテスト（故障検出効率 100%）を保証するスキャン設計手法を非同期式回路に適用する方法と、それを實現するスキャン C 素子を提案している。C 素子とは、非同期式回路で最も用いられている 2 入力 1 出力の順序素子である。また、文献 [4] で石坂らはトランジスタレベルのスキャン C 素子を、文献 [5] で山崎らはレイアウトレベルのスキャン C 素子を提案している。しかし、非同期式回路では様々な多入力多出力の順序素子が用いられているため、非同期式回路に対する一般的なスキャン設計法 [6] が提案されているが、効率的なスキャン設計法は確立されていない。

文献 [7] において山田らは 2 入力 2 出力排他制御素子 (MUTEX) に対してスキャン設計を施したスキャン MUTEX を實現するゲートレベルの回路を提案している。このスキャン MUTEX は、通常動作、ホールド機能、ロード機能の 3 つの動作を用いて、組合せ回路部から入力しうるパターンについて任意に印加することができ、かつそれに対する応答が観測可能である、完全なテストが可能な設計が提案されている。

しかし、実際にテスト容易化設計に基づいたテストを実チップに対して行うためには、ゲートレベル設計、トランジスタレベル設計以外にも、レイアウトレベル設計、そして実チップによる検査と複数のプロセスを経て検証する必要がある。そこで本稿では、文献 [7] で提案されたゲートレベル回路を基に、トランジスタレベル回路及びレイアウトレベル回路の設計を行う。

2 理論

2.1 スキャン設計

スキャン設計では、回路に存在する順序素子をスキャン機能が付与されたスキャン素子 (図 1) に置き換える。スキャン機能は、その順序素子の内部状態を任意の状態に設定でき、その素子への入力とそれに対する応答を観測できるというものであり、スキャン設計を行う上では必須機能である。この機能により、順序回路を組合せ回路に展開し、外部端子から順序素子の信号を制御及び観

測可能となる。素子の任意状態設定や出力応答観測にはスキャンパスを用いる。図 1 に示すように、スキャン素子内部のスキャン制御素子に対して任意状態を設定する Scan In を、順序素子の出力に対して出力応答を観測する Scan Out を接続する。このスキャン設計により、Scan In を用いて任意の順序動作を外部から設定することができ、かつ Scan Out から出力を観測することが可能となる。

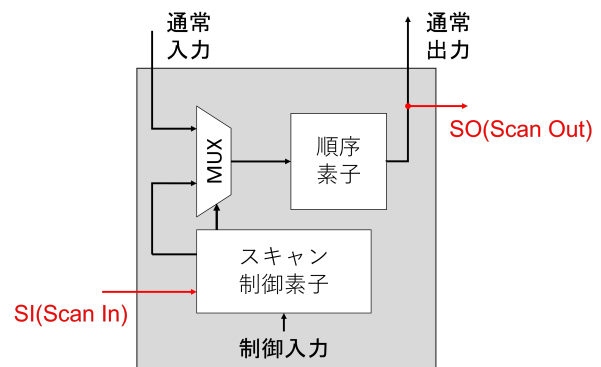


図 1 スキャン素子

非同期式順序回路に対してスキャン設計を行う手法の 1 つとして、回路内のフィードバックループ間にスキャン素子を挿入するという手法がある。この手法により、回路全体を組合せ回路とスキャン素子に分割することができ、組合せテスト生成手法を適用可能である。つまり、非同期式回路であっても、同期式回路に対するテスト手法と同等のテスト品質を保証できる。しかしながら、この方法では多くの LSSD スキャン素子を挿入する必要がある [8]。LSSD スキャン素子はフリップフロップとして作動するため、多用することによって回路面積の増大や遅延が発生する。これらのオーバーヘッドを軽減する手法として LIL2*スキャン設計がある [9]。LIL2*スキャン設計は、シングルラッチ設計された回路に対して完全スキャン設計を實現する手法であり、面積、遅延オーバーヘッドを抑制できる。しかし、キャプチャ衝突、組合せループの存在の 2 つの問題により、非同期式回路の組合せ回路部分にさえ完全な故障検出効率を保証することができない。そこで、岩田らがこれらの問題を解決する LIL2*完全スキャン設計法を提案している [3]。本稿では、この LIL2*完全スキャン設計法をベースにスキャン設計方法を実現する。

2.2 排他制御素子 (MUTEX)

排他制御素子 (MUTual EXclusion : MUTEX) とは、非同期式順序回路で用いられる記憶素子の 1 つである [10]。MUTEX は調停回路とも呼ばれており、1 つのバスを複数デバイスで利用する際に競合しないようにする回路などに用いられている。MUTEX はクロックを用いずに表 1 の状態表に従って入力端子 (R0,R1) からの信号

1) 奈良工業高等専門学校 情報工学科. Department of Information Engineering, National Institute of Technology (KOSEN), Nara College.

を得て内部状態を更新する。図 2 に、MUTEX の論理記号を示す。

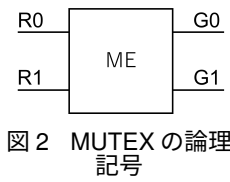


表 1 MUTEX 状態表

R0	R1	G0+	G1+
0	0	0	0
0	1	0	1
1	0	1	0
1	1	G0	G1

MUTEX は $(R0,R1) = (1,1)$ である場合を除き、入力と同じ値を状態に設定し出力する。しかし、スキャン機能を付与する際には $(R0,R1) = (0,0) \rightarrow (R0,R1) = (1,1)$ を入力して $(0,0)$ の状態が保持できずに $(1,0)$ もしくは $(0,1)$ を保持・出力してしまうゼロホールド問題が存在する。

2.3 MOSFET

MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor) は、ソース、ドレイン、ゲート、ボディの 4 端子で構成されている。本稿では、ボディ端子をソース端子に接続するため実質 3 端子として扱う。また、ソース-ドレイン間の距離をチャンネル長 (L)、ソース及びドレインそれぞれの電流の通り幅をチャンネル幅 (W) と呼び、トランジスタレベル設計ではこれらをパラメータとして利用する。

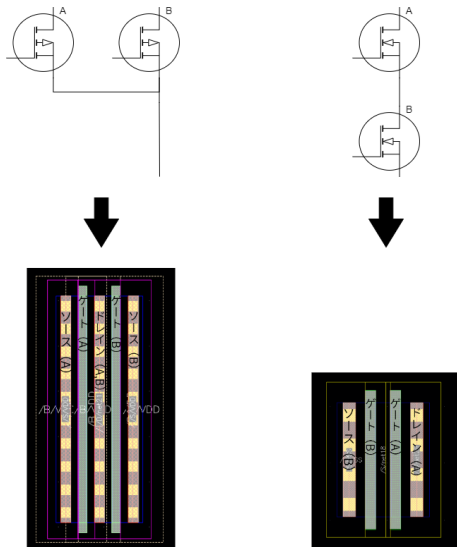


図 3 レイアウトレベル設計における MOSFET の結合

レイアウトレベル設計において、それぞれのトランジスタは並べ方によって結合 (マージ) をすることでソース又はドレインを共有して配置することが可能である。図 3 に 2 つの例を示す。図 3 左側は 2 つの PMOS を並列に接続した場合 2 つの PMOS のドレインを共有できる。図 3 右側は 2 つの NMOS を直列に接続した場合 A の NMOS と B の NMOS を繋ぐことで発生する配線を省略できる。本稿では、これら 2 つのマージなどの方法により効率的なレイアウト設計を行う。

3 レイアウトレベル設計

図 4 に、文献 [7] で提案されているスキャン MUTEX のゲートレベル回路を示す。図 4 は SCL(Scan Control Logic)、D ラッチ、マルチプレクサ (MUX) で構成された

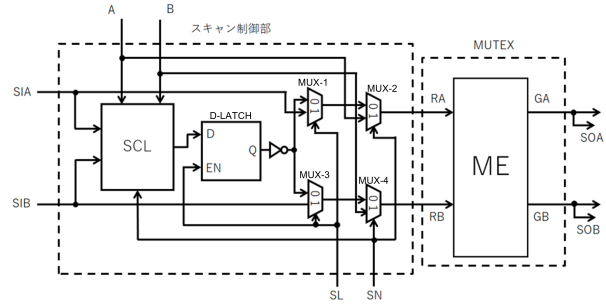


図 4 文献 [7] で提案されているスキャン MUTEX のゲートレベル回路

スキャン制御部と MUTEX 部の 2 部から構成されている。SCL は、SN の値に応じて通常入力もしくはスキャン入力の NOR を出力をする素子である。これにより、値保持機能の使用判別を行う入力線を切り替えている。NOR は、入力 $(0,0)$ 時に MUTEX の値保持機能を利用したホールド動作を行わないために用いている。D ラッチは、スキャン MUTEX のホールド動作時に、MUTEX の値保持機能を利用するか否かを判別している。マルチプレクサは、選択制御入力に応じて、入力 A や B の値を出力する素子である。

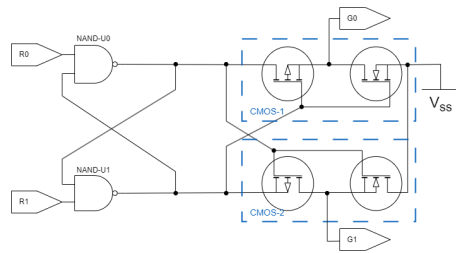
表 2 文献 [7] スキャン MUTEX 動作表

SN	SL	動作
0	0	ホールド動作
0	1	ロード動作
1	0	通常動作
1	1	通常動作

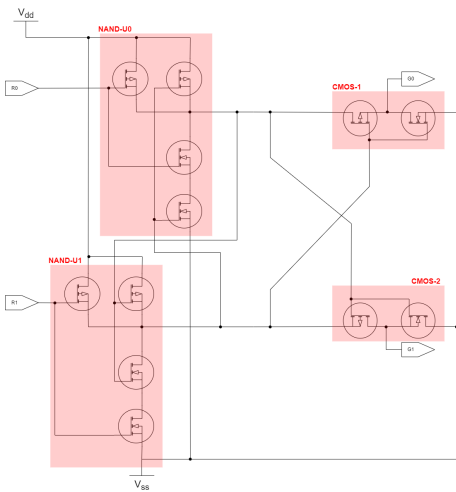
スキャン制御部では、SN、SL の 2 つの信号線を用いて MUTEX に対して通常入力もしくは Scan In の入力を送ることができる。表 2 に、SN、SL の入力によるスキャン MUTEX の動作一覧を示す。通常動作は、組合せ回路からの入力 A、B を MUTEX 部に送る動作である。この動作は、回路を通常動作させる際に用いる。次に、ロード動作はスキャン入力 SIA、SIB を MUTEX 部に送る動作である。この動作では、スキャン入力によって MUTEX を任意の状態に設定することが可能である。最後に、ホールド動作は、通常動作又はロード動作にて MUTEX 部に取り込んだ値を保持する動作である [7]。提案されているスキャン MUTEX では、通常動作として動く入力が 2 つあるが、これらは SN、SL の入力によって D ラッチに値を取り込むか取り込まないかが異なり、MUTEX 部に通常入力を取り込む際にこの 2 つの異なる通常動作が必要である。

スキャン MUTEX のトランジスタレベル回路及びレイアウトレベル回路は、図 4 を元に、使用されている素子ごとにレイアウトレベル設計を行い、それらを組み合わせることで設計する。本稿では ROHM 社が提供している $0.18\mu\text{m}$ のプロセスルールを用いてスキャン MUTEX のレイアウトレベル設計を行う。なお、使用素子は SPICE モデルである ROHM18.sp の動作電圧が $1.8[\text{V}]$ のものである。また、設計には Cadence 社が提供しているトランジスタレベル回路及びレイアウトレベル回路設計ツールである Virtuoso を用いる。

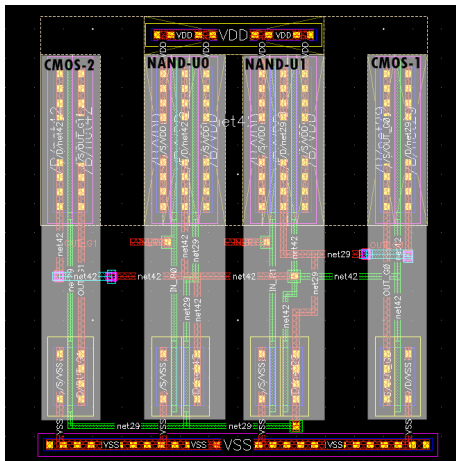
初めに、MUTEX のゲートレベル回路及び設計したトランジスタレベル、レイアウトレベル回路を図 5 に示す。図 5(a) に示されている MUTEX 回路は、 $\bar{S}\bar{R}$ ラッチ



(a) ゲートレベル回路



(b) トランジスタレベル回路

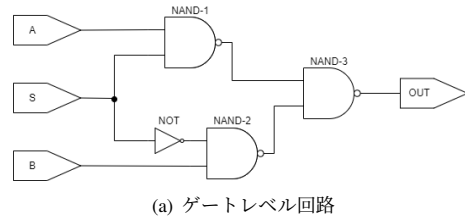


(c) レイアウトレベル回路

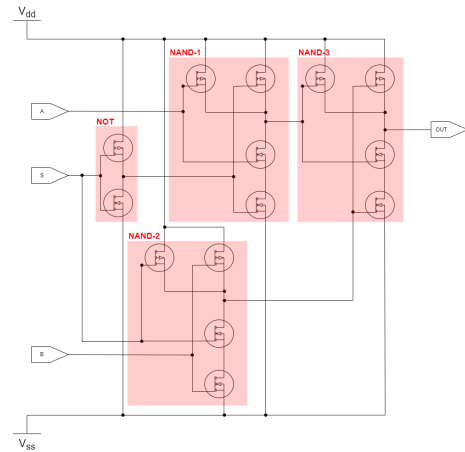
図 5 MUTEX 回路図

とインバーターを組み合わせた機構となっている。それぞれの NAND から出力された値は、反対に配置された CMOS に入力され、U0,U1 から出力される値を入れ替えたものが出力となり、MUTEX の動作となる。

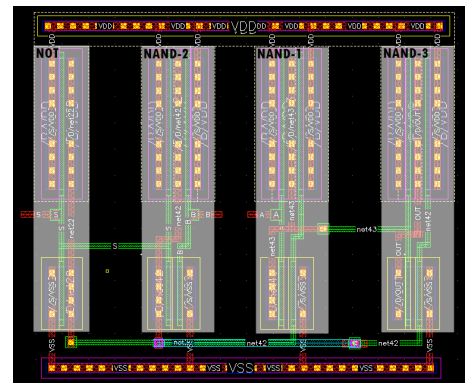
次に、マルチプレクサのゲートレベル回路及び設計したトランジスタレベル、レイアウトレベル回路を図 6 に示す。トランジスタレベル以降の設計を考慮した



(a) ゲートレベル回路



(b) トランジスタレベル回路

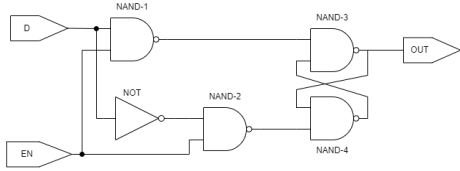


(c) レイアウトレベル回路

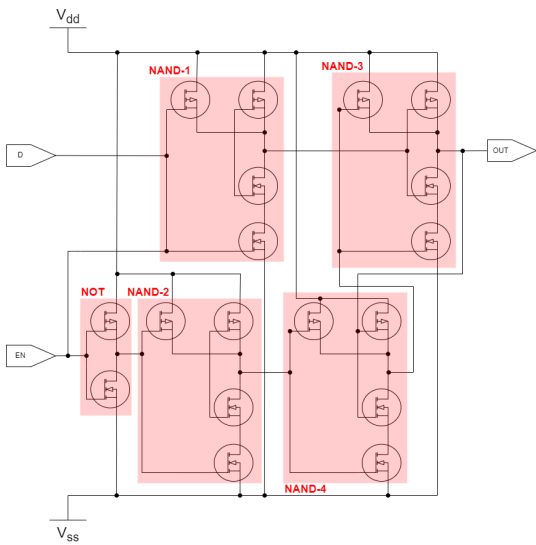
図 6 マルチプレクサ 回路図

際、AND と OR を主とした回路は、NAND や NOR を主とした場合と比較して使用するトランジスタの数が多くなるデメリットが発生する。そのため、ド・モルガン則を用いて AND-OR の回路構造を図 6(a) のような NAND-NAND の構造にすることで、NAND を主とした回路に変換し、トランジスタ数の削減を図っている。

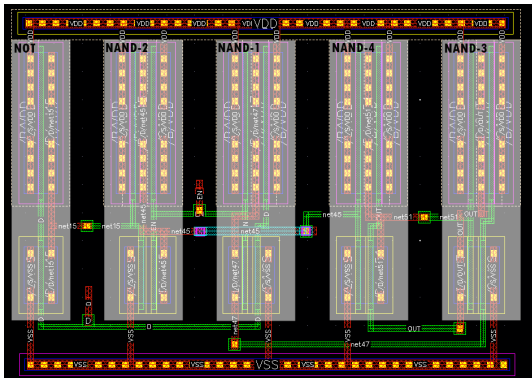
同様の手法により、D ラッチ及び SCL のゲートレベル回路及び設計したレイアウトレベル回路を図 7 と図 8 にそれぞれ示す。図 4 の回路では、D ラッチの後ろにインバーターを設置して出力を反転させているが、図 8 に示す回路では、この部分を削減し、本来 SCL 内部に存在する NOR を OR に変換して設計を行った。また、図 8(c) で使用しているマルチプレクサは、前述したレイアウトレベル設計を流用している。



(a) ゲートレベル回路

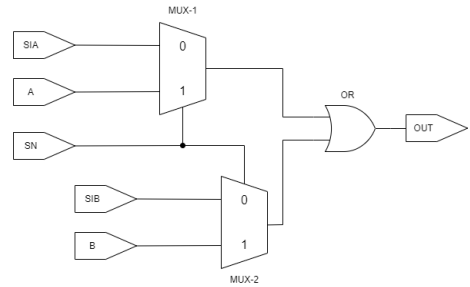


(b) トランジスタレベル回路

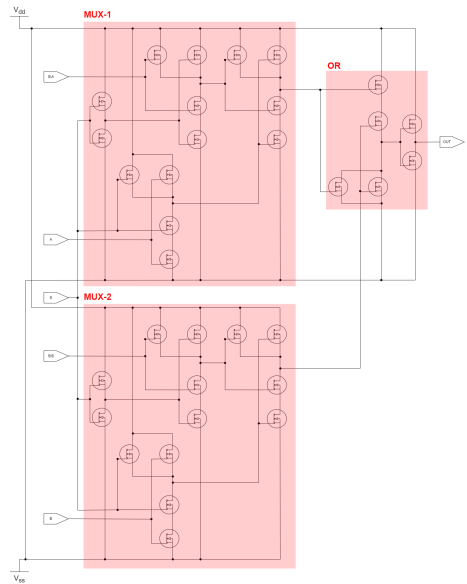


(c) レイアウトレベル回路

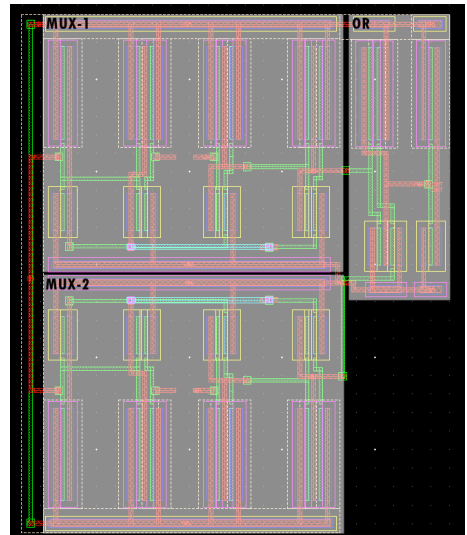
図 7 マルチプレクサ 回路図



(a) ゲートレベル回路

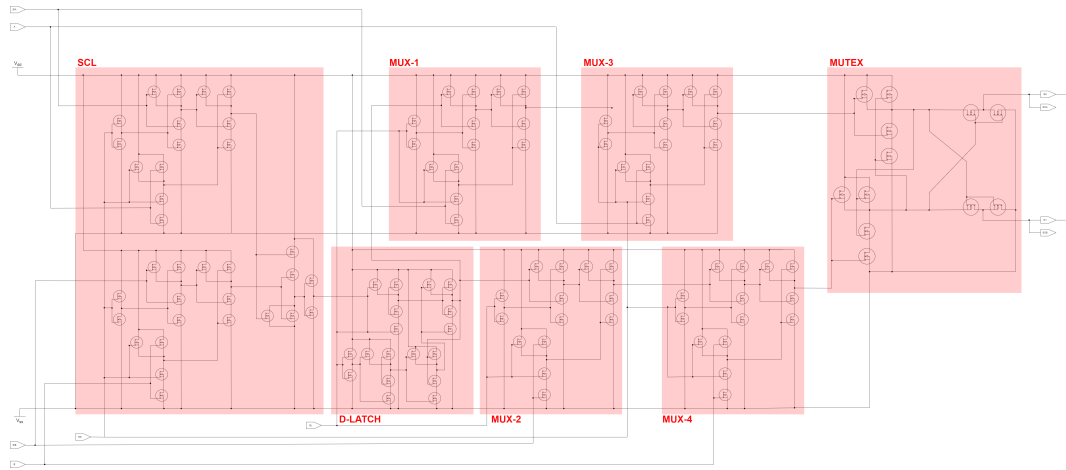


(b) トランジスタレベル回路

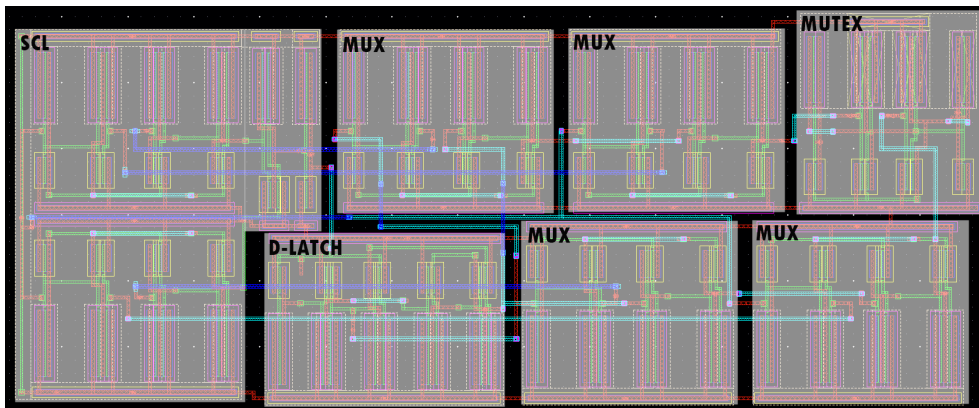


(c) レイアウトレベル回路

図 8 マルチプレクサ 回路図



(a) トランジスタレベル回路



(b) レイアウトレベル回路

図 9 スキャン MUX トランジスタレベル及びレイアウトレベル回路

最後に、前述した MUX、マルチプレクサ、D ラッチ、SCL のレイアウトレベルを用いて設計したスキャン MUX のトランジスタレベル、レイアウトレベル回路を図 9 に示す。

4 実験

本章では、設計したトランジスタレベル及びレイアウトレベルのスキャン MUX に対する動作検証を行った。なお、トランジスタレベル回路の検証には Synopsys 社の HSPICE を、レイアウトレベル回路の検証には Mentor Graphics 社の Calibre DRC/LVS を用いた。

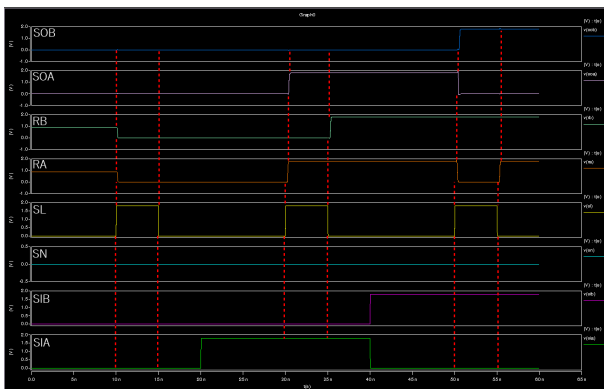


図 10 スキャン入力伝搬テスト結果

図 10 に設計したトランジスタレベルのスキャン

MUX に対して、SPICE を用いたシミュレーションによる Scan In の伝搬テストを行った結果を示す。下の信号から順番に、スキャン入力の SIA, SIB, 制御信号の SN, SL, スキャン制御部と MUX 部の間で取得したテスト用出力 RA, RB, スキャン出力の SOA, SOB である。なお、本実験ではスキャン入力の伝搬テストを行っているため、通常入力である A, B は 0[V] の定常波とした。図 10 を確認すると、制御信号である SL が立ち上がったタイミングでロード動作となり、MUX 部にその時点でのスキャン入力の信号が取り込まれていることが分かる。ここで同時に、D ラッチに対して SCL からの入力を取り込んで値を保持している。その後、SL が立ち下がった際にはホールド動作となり、D ラッチからスキャン入力に対応した値が出力されており、(0,0) の際には MUX に (0,0) を、(1,0) もしくは (0,1) の際には MUX に (1,1) を伝搬することで入力された値を保持して出力できていることが分かる。また、テスト開始時の、ロード動作でスキャン入力を MUX 部に取り込んでいない段階では、MUX に入力されている電圧が 1.0[V] を少し下回る値になっているが、これは D ラッチのループ部が VDD と VSS に接続されていない状態によって、D ラッチから中間電位が出力されていると考えられる。

図 11 に設計したトランジスタレベルのスキャン MUX に対して、SPICE を用いたシミュレーションに

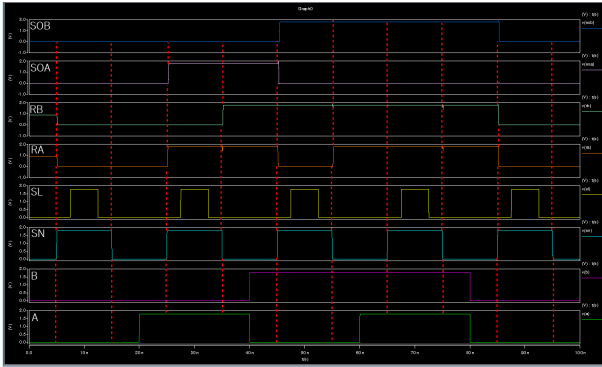


図 11 通常入力伝搬テスト結果

よる通常入力の伝搬テストを行った結果を示す。下の信号から順番に、通常入力の A, B, 制御信号の SN, SL, スキャン制御部と MUX 部の間で取得したテスト用出力 RA, RB, スキャン出力の SOA, SOB である。なお、本実験では通常入力の伝搬テストを行っているため、スキャン入力である SIA, SIB は 0[V] の定常波とした。図 11 を確認すると、制御信号である SN が立ち上がったタイミングで 1 つ目の通常動作となり、MUX 部にその時点でのスキャン入力の信号が取り込まれていることが分かる。次に、SL が立ち上がった際に 2 つ目の通常動作となり、D ラッチに SCL からの入力を取り込んで値を保持している。その後、SN, SL が共に立ち下がったタイミングでホールド動作となり D ラッチから通常入力に対応した値が出力されており、(0,0) の際には MUX に (0,0) を、(1,0),(0,1) もしくは (1,1) の際には MUX に (1,1) を伝搬することで入力された値を保持して出力できていることが分かる。また、テスト開始時の、ロード動作でスキャン入力を MUX 部に取り込んでいない段階では、MUX に入力されている電圧が 1.0[V] を少し下回る値になっているが、これはスキャン入力伝搬テストと同じように、D ラッチのループ部が VDD と VSS に接続されていない状態によって、D ラッチから中間電位が出力されていると考えられる。

これらの結果から、組合せ回路に対して任意のテストパターンを印加し、その応答を確認することで故障の検出が可能であると言える。

最後に、レイアウトレベル回路の検証について述べる。レイアウトレベル回路の検証では 2 つの事項に関して検証を行った。1 つは、DRC (Design Rule Check) である。これは、設計したレイアウトレベル回路が規定のプロセスルール (本稿の場合は ROHM 社が提供している 0.18 μm のプロセスルール) を満たしているかを検証するための検証である。そしてもう 1 つは、LVS (Layout Versus Schematic) である。これは、作成したトランジスタレベル回路と比較した際に相違なく設計ができているかを検証するための検証である。設計した各々の素子とスキャン MUX のレイアウトレベル回路に対して検証を行った結果、DRC 及び LVS においてエラー出力が発生しなかった。よって、設計したレイアウトレベル回路は、文献 [7] で提案されたゲートレベル回路機能と等価であり、正しくレイアウトレベル設計できたとと言える。

5 まとめ

非同期式回路に対して同期式回路と同等の信頼性を確保するための手段として、非同期式回路で用いられている種々の順序素子に対するスキャン設計法がある。本稿では、文献 [7] で提案されたゲートレベル回路基に、トランジスタレベル回路及びレイアウトレベル回路の設計を行った。設計したトランジスタレベル回路はシミュレーションによってスキャン入力伝搬時、通常入力伝搬時の 2 つに分けて検証し、仕様通り動作することを確認した。レイアウトレベル回路はトランジスタレベル回路を PMOS/NMOS のマージなどを行いながらマッピングすることで設計し、DRC/LVS によって仕様通り設計できていることを確認した。

今後の課題として、設計したレイアウトレベルの面積評価や試作チップによる実動作検証が挙げられる。

謝辞

本研究は、東京大学 V D E C 活動を通して、日本シノプシス合同会社の協力で行われたものである。本研究の一部は日本学術振興会科学研究費 (JSPS KAKENHI Grant Number JP21K11820 基盤研究 (C) 「多入力多出力の非同期式順序素子を対象としたテスト容易化設計」) を受けて行われた。

参考文献

- [1] 鬼沢直哉: “非同期式信号処理に基づく高速・低電力 VLSI 実現の研究”, 一般財団法人青葉工学振興会, (2014)
- [2] 斎藤寛: “非同期式回路の設計技術”. Fundamentals Review, Vol. 3, No. 3, pp. 60–70, (2010)
- [3] Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue, and Hideo Fujiwara.: “Bipartite full scan design: a dft method for asynchronous circuits”. IEEE 19th Asian Test Symposium, pp. 206–211, Dec 2010.
- [4] 石坂守, 山口賢一, 岩田大志: “スキャン非同期記憶素子およびそれを備えた半導体集積回路ならびにその設計方法およびテストパターン”, 電子情報通信学会論文 A, Vol. j102-A, No. 6, pp. 172–181, Jun. (2019)
- [5] Kokoro Yamasaki, Kenichi Yamaguchi, and Hiroshi Iwata.: “An Implementation of Self-Testable Layout-Level Scan Element”. SASIMI 2022 Proceedings, pp. 48–53, Sep 2022.
- [6] Satoshi Ohtake, Hiroshi Iwata and Michiko Inoue: “Asynchronous memory element for scanning, semiconductor integrated circuit provided with same, design method thereof, and test pattern generation method.” PCT/JP2011/003405, 2011 年 6 月 15 日 (出願).
- [7] 山田裕隆, 山口賢一, 岩田大志: “2 入力 2 出力排他制御素子に対するスキャン機能の付与”, 情報科学技術フォーラム 公演論文集 (FIT), Vol. 1, pp. 83–86, Aug. (2022)
- [8] H. Hulgaard, S.M. Burns, and G. Borriello, “Testing Asynchronous Circuits: A Survey,” Integration, the VLSI Journal., vol. 19, no. 3, pp. 111–131, 1995.
- [9] Sumit DasGupta, Prabhakar Goel, Ron G. Walther, and Tom W. Williams: “A Variation of LSSD and Its Implications on Design and Test Pattern Generation in VLSI,” In Proc. of International Test Conference, pp. 63–66, (1982)
- [10] Yang Zhang, Leandro S. Heck, Matheus T. Moreira, David Zar, Melvin Breuer, Ney L. V. Calazans, and Peter A. Beerel.: “design and analysis of testable mutual exclusion elements”. 2015 21st IEEE International Symposium on Asynchronous Circuits and Systems, pp. 124–131, May. (2015)