

## 多ゲート RECON セルを用いた論理再合成手法

## Technology Remapping Approach Using Multi-Gate Reconfigurable Cells for Post-Mask Functional ECO

西口 友浩<sup>†</sup> 黒木 修隆<sup>†</sup> 沼 昌宏<sup>†</sup>  
Tomohiro Nishiguchi Nobutaka Kuroki Masahiro Numa

## 1. はじめに

近年、LSI 開発工程の複雑化に伴って、設計変更要求 (ECO: Engineering Change Order) が高い頻度で発生している。フォトマスク製造後に ECO (post-mask ECO) が発生した場合、フォトマスクの再製造を含めた設計のやり直しを行う必要がある。LSI 開発プロジェクトにおいて、1 回以上の再設計が必要となったケースは全体の約 68% にのぼり、その原因の約 50% が機能・論理設計の不具合によるものであると報告されている。

Post-mask ECO に伴う設計期間とコストの増加を抑制するために、製造済みのトランジスタ形成層マスクを再利用し、メタル層マスクのみを再設計する、メタル修正と呼ばれる方法が採られることが多い。このメタル修正を効率的に行う手法として、論理診断に基づく論理再合成手法 [1] が提案されている。また、修正時に用いる再構成可能なスペアセルとして Reconfigurable (RECON) セル [2], [3] が提案されている。しかし、従来の RECON セルは、一部の論理を実現する際に、利用されていないトランジスタが存在するなど、トランジスタを効果的に活用できていない点が課題となっていた。

本稿では、post-mask functional ECO に対して論理再合成を行う際の、スペアセル割当ての実現可能性向上および配線長と遅延時間増大の抑制を目的として、1 つの RECON セルで複数の機能を実現した多ゲート RECON セル、および多ゲート RECON セルを用いた論理再合成手法を提案する。

## 2. 多ゲート RECON セル

多ゲート RECON セルは、1 つの RECON セル内に複数の機能を実装したセルであり、従来の 4T/6T-RECON セル [2], [3] では駆動されていなかったトランジスタなどを用いて、追加の論理機能を構成している。

表 1 に多ゲート RECON セルを含めた、RECON セルで実現可能な機能を示す。また、図 2 に 4T-RECON : 2INV セル、すなわち 4T-RECON ベースセルをもとに、INV 2 ゲートを実現したセルのレイアウトと回路を示す。このセルにより、1 つの 4T-RECON セルで実現できる INV の個数が増加し、2T-RECON セルと比較して、INV 1 個あたりに必要な面積を削減することができる。

図 3 に 6T-RECON : NAND2+INV セルのレイアウトと回路を示す。このセルは、2 組の PMOS/NMOS トランジスタペアで NAND2 を構成し、残り 1 組の PMOS/NMOS トランジスタペアで INV を構成することで、NAND2 と INV を実現している。NAND2 と INV は独立して利用できることに加え、機能の内部接続によって、NAND2 の入力的一方に INV を接続した INVNAND2 といった、従来の 6T-RECON セル 1 つでは実現不可能な機能を実現することも可能である。

<sup>†</sup>神戸大学, Kobe University

表 1 RECON セルで実現可能な機能

セル名	実現可能な機能
2T-RECON	INV, DECAP
4T-RECON	INV, NAND2, NOR2, BUF, DECAP, 2INV
6T-RECON	INV, NAND2*, NOR2*, BUF, NAND3, NOR3, AND2, OR2, AOI21, OAI21, DECAP, 2INV, INVNAND2, INVNOR2, NAND2+INV, NOR2+INV, DECAP+INV

赤字: 多ゲート RECON セルによる, \*定数代入

## 3. 多ゲート RECON セルを用いた論理再合成手法

提案する論理再合成手法は、多ゲート RECON セルを考慮したテクノロジー・マッピングと、スペアセル間の距離と残存スペアセル数を考慮したスペアセル割当てからなる。

## 3.1 多ゲート RECON セルを考慮したテクノロジー・マッピング

多ゲート RECON セルによって、AND2 および OR2 は、多ゲート RECON セル内の機能の内部接続で実現可能である。そこで提案手法では、テクノロジー・マッピングにおいて論理合成ツールへと入力するスペアセル・ライブラリを作成する際に、6T-RECON セルが利用可能な場合でも、AND2 および OR2 はスペアセル・ライブラリに追加しない。

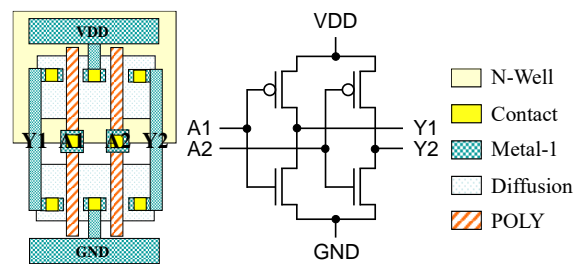


図 1 4T-RECON : 2INV セル

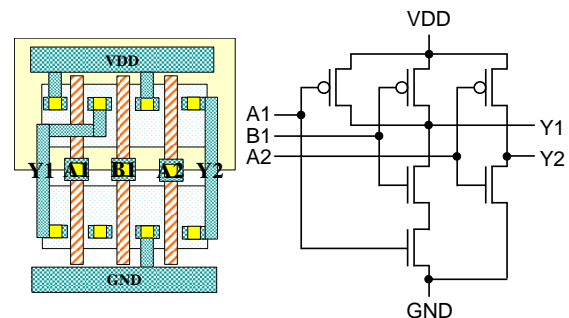


図 2 6T-RECON : NAND2+INV セル

### 3.2 スペアセル間の距離と残存スペアセル数を考慮したスペアセル割当て

提案手法ではまず、ある修正箇所にはスペアセルを割り当てる順序について、修正後部分ネットリストの各セルに対して、部分ネットリストの外部出力からの遅延時間の和を付与し、より大きな遅延時間をもつパスの出力側のセルから順にスペアセル割当てを行うように決定する。

次に、修正後部分ネットリストの各セルに対して、後述する割当てコストが最小となるスペアセルを割り当てる。ここで、提案手法において、あるスペアセル  $g_s$  に対して付与する割当てコスト  $Cost(g_s)$  を

$$Cost(g_s) = Dist(g_s) \cdot Usage(g_s) \quad (1)$$

によって求める。ただし、 $Dist(g_s)$  は  $g_s$  を用いた際の距離コストを表し、 $Usage(g_s)$  は  $g_s$  の種類のスペアセルの利用コストを表す。さらに距離コスト  $Dist(g_s)$  を、修正箇所となるセル  $g_E$  のファンアウト群  $FO(g_E)$ 、修正後部分ネットリスト上で割当て対象となるセルのファンアウトとなるセルの中で、最も遅延が大きいパス上に存在するセルに対して割り当てられたスペアセル  $g_{fo}$ 、ゲート  $g$  の座標  $x_g, y_g$  を用いて、

$$Dist(g_s) = \begin{cases} \min_{g_i \in FO(g_E)} (|x_{g_i} - x_{g_s}| + |y_{g_i} - y_{g_s}|) \\ \quad (\text{対象が最後段セル}), \\ |x_{g_{fo}} - x_{g_s}| + |y_{g_{fo}} - y_{g_s}| \\ \quad (\text{上記以外}) \end{cases} \quad (2)$$

と定義する。利用コスト  $Usage(g_s)$  を、初期回路における 4T/6T-RECON スペアセルの数  $N_{4T-init}$ ,  $N_{6T-init}$ 、回路上で未割当ての 4T/6T-RECON スペアセルの数  $N_{4T-res}$ ,  $N_{6T-res}$  を用いて、

$$Usage(g_s) = \begin{cases} \frac{N_{6T-init}}{N_{6T-res}} (g_s \text{ が未割当ての 6T-RECON}), \\ \frac{N_{4T-init}}{N_{4T-res}} (g_s \text{ が未割当ての 4T-RECON}), \\ 1 \quad (\text{上記以外}) \end{cases} \quad (3)$$

と定義する。このように定義される割当てコストを用いることにより、修正による配線長および遅延時間の増加を抑制するとともに、スペアセル割当ての実現可能性向上を図る。

## 4. 実験と考察

### 4.1 実験概要

評価対象回路として 5 種類の ITC'99 ベンチマーク回路に対して、2T/4T/6T-RECON セルをそれぞれ同数、かつ合計で回路面積の約 0.5% となるように配置した回路を用いた。これらの回路に対して、修正箇所とその修正方法を無作為に設定し、従来手法 [4] と提案手法を用いて論理再合成を行った。なお、修正箇所数は 1~20 箇所とし、それぞれの修正箇所数に対して 20 例の修正パターンを用意した。合計  $20 \times 20 \times 5 = 2,000$  例の ECO を対象として実験を行った。

### 4.2 実験結果と考察

表 2 に、スペアセル割当て成功率に関する結果を示す。提案手法の方が従来手法よりも成功率が高く、最大 6.5 pt (b14)、全回路平均で 2.3 pt の成功率向上が確認された。

表 3 に、slack 減少量と利用スペアセル数に関する結果を

表 2 スペアセル割当て成功率の比較

回路名	スペアセル割当て成功率 [%]	
	従来手法	提案手法
b14	55.0	61.5
b15	68.3	71.5
b20	97.5	98.8
b21	98.8	100.0
b22	98.8	100.0
平均	84.1	86.4

表 3 Slack 減少量および利用スペアセル数の比較

回路名	Slack 減少量 [ns]		合計利用スペアセル数	
	従来手法	提案手法	従来手法	提案手法
b14	0.1127	0.1062	13.945	13.092
b15	0.0139	0.0121	21.736	20.922
b20	0.2883	0.2392	26.205	24.964
b21	0.1983	0.1710	28.409	27.148
b22	0.1177	0.1081	26.158	25.165
平均 (比)	0.1462 (1.000)	0.1273 (0.871)	23.290 (1.000)	22.258 (0.956)

示す。提案手法の方が、従来手法よりも slack 減少量および合計利用スペアセル数を抑制できており、slack 減少量は全回路平均で 12.9%、合計利用スペアセル数は全回路平均で 4.4% 抑制された。利用スペアセル数が減少したことにより、従来手法ではスペアセル不足によって割当てに失敗していた ECO 例について、提案手法では割当て可能となったことが、表 2 に示したスペアセル割当て成功率の向上につながったと考えられる。さらに、修正箇所から離れた場所にあるスペアセルを経由することによる配線長の増加が抑制されたことが、表 3 に示した slack 減少量の抑制につながったと考えられる。

## 5. まとめ

本稿では、論理再合成を行う際のスペアセル割当ての実現可能性向上および配線長と遅延時間増大の抑制を目的として、多ゲート RECON セルおよび多ゲート RECON セルを用いた論理再合成手法を提案した。提案手法を計算機上に実装して評価実験を行った結果、従来手法と比較してスペアセル割当て成功率が平均 2.3 pt 向上し、slack 減少量を平均 12.9% 抑制するとともに、合計利用スペアセル数を平均 4.4% 削減できることを確認した。

今後の課題として、設計時に配置する RECON セルの比率を最適化することや、クリティカルな修正パスに対しては多ゲート RECON セルの利用を制限するなど、遅延を考慮したスペアセル割当てを行うことなどが挙げられる。

### 参考文献

- [1] H. Inoue, T. Iwasaki, T. Sugane, M. Numa, and K. Yamamoto, "Application of error diagnosis technique to incremental synthesis," IEICE Trans. Fundamentals, vol. E86-A, no. 12, pp. 3214-3217, Dec. 2003.
- [2] H. T. Chen, C. C. Chang, and T. Hwang, "Reconfigurable ECO cells for timing closure and IR drop minimization," IEEE Trans. VLSI Systems, vol. 12, no. 12, pp. 1686-1695, Dec. 2010.
- [3] H. Senzaki, T. Matsuyama, K. Watanabe, T. Hirose, N. Kuroki, and M. Numa, "Reconfigurable cells for post-mask ECO," SASIMI 2012, pp. 199-204, Mar. 2012.
- [4] 放生 卓, 中野 洋, 黒木 修隆, 沼 昌宏 "RECON セル割当ての実現可能性と配線長コストを考慮した論理再合成手法," FIT 2020, pp. 149-150, 2020 年 9 月.