

インコヒーレントデジタルホログラフィのための
カラー回折計算回路の FPGA 実装

FPGA Implementation of Color Diffraction Circuit for Incoherent Digital Holography

原 貴之^{†,‡} 角江 崇[‡] 下馬場朋禄[‡] 伊藤 智義[‡]
Takayuki Hara Takashi Kakue Tomoyoshi Shimobaba Tomoyoshi Ito

1. はじめに

インコヒーレントデジタルホログラフィ[1]は、LED や自然光などのインコヒーレントな光源を用いて、物体の 3次元情報をホログラムの干渉縞として記録する。レーザが不要であり、カラーイメージングも可能である[2]ことから、ホログラフィック 3D カメラを実現する技術として期待されている。実用化を妨げている課題の一つに、計算時間の問題がある。一般的に、撮影したホログラムから被写体の 3次元像を再生する際には、回折計算を繰り返し行う必要があり、計算コストが高く、リアルタイムなイメージングは困難である。

この課題に対して我々は、像再生計算の FPGA (Field Programmable Gate Array) 実装による計算の高速化を検討してきた[3, 4]。これはレーザを用いたデジタルホログラフィ専用計算機 FFT-HORN (Fast Fourier transform - Holographic Reconstruction) [5, 6]をインコヒーレント光源について応用するための研究である。これまでの、単色 (1 波長) のフレネル回折計算回路の設計と FPGA 実装を行い、一般的な PC の CPU と比較して約 20 倍の高速化を達成した[4]。本研究では、単色回折計算回路を拡張し、カラー回折計算回路の設計と実装を検討したため報告する。

2. 単色回折計算回路

2.1 フレネル回折計算

光源のコヒーレンスにかかわらず、デジタルホログラフィでは、図 1 のようにホログラム面からの光波の伝搬を回折計算により求め、像再生を行う。1 回の回折計算では、ある波長 λ の特定の伝搬距離 z における平面の再生像が取得できる。そのため、被写体が存在する領域内の再生面数 T_z だけ、回折計算を繰り返す。カラーイメージングの場合は、RGB3 波長について計算するため、総計算回数は $3T_z$ となる。

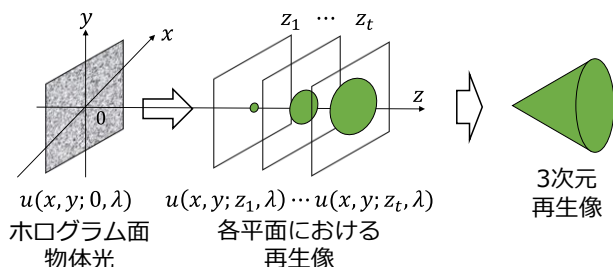


図 1 回折計算による 3次元イメージング

[†] 長野工業高等専門学校

National Institute of Technology (KOSEN), Nagano College

[‡] 千葉大学 Chiba University

回折計算は高速フーリエ変換 FFT と逆フーリエ変換 IFFT (Inverse FFT) 用いて以下のように計算される。

$$u(x, y; z, \lambda) = \text{IFFT}[U(m, l; 0, \lambda)H(m, l; z, \lambda)] \quad (1)$$

ただし、 m, l は空間周波数である。 $U(m, l; 0, \lambda)$ はホログラム面における物体光 $u(x, y; 0, \lambda)$ の空間周波数スペクトル、 $H(m, l; z, \lambda)$ はフレネル回折の伝達関数であり、

$$U(m, l; 0, \lambda) = \text{FFT}[u(x, y; 0, \lambda)] \quad (2)$$

$$H(m, l; z, \lambda) = \exp\{-i2\pi Z(m^2 + l^2)\} \quad (3)$$

$$Z = \frac{\lambda z}{2n^2 p^2} \quad (4)$$

と表される。ここで p は画素ピッチであり、総画素数が $n \times n$ の画像を考えている。

回折計算の中で、式(2)については最初の 1 回のみ計算をすればよく、式(4)は Z はハードウェアが苦手な除算を含むのでホスト PC で計算する。再生面数 T_z 回だけ計算が必要な式(1), (3)を FPGA に回路実装して高速化を図った。

2.2 単色回折計算回路の設計

設計した単色回折計算回路を図 2 に示す。回路内部の計算は全て固定小数点演算により行われる。各パラメータのビット幅は、ソフトウェア上で精度検証を行い、 U の実部虚部をそれぞれ 15bit、 H を 5bit、最終的な出力 u を 16bit と決定した[3]。計算回路の入出力は 512bit とし、一度に 16 画素のデータをまとめて送受信する。

伝達関数 H の式(3)は三角関数に展開できる。三角関数は周期 2π の周期関数であるため、 \cos, \sin の 1 周期分の計算結果をテーブルとしてメモリに格納し、 $Z(m^2 + l^2)$ の小数部を入力としてテーブル参照を行うことで伝達関数 H を計算する。また、2次元 IFFT の計算には、メーカーにより設計済みの IP コア (Intellectual Property Core) を活用した。FFT コア[7]は、1次元 IFFT を計算できる。2次元 IFFT を計算するためには、画像の横方向に 1次元 IFFT を計算した後、その結果を用いて縦方向に 1次元 IFFT を計算するため、中間結果の保持が必要となる。また、2次元 IFFT の並列化には内部メモリの分割方法に工夫が必要となる[8]。今回は 8 並列で回路を設計した。

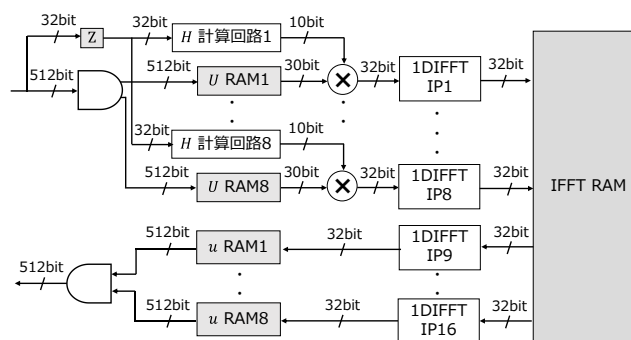


図 2 単色回折計算回路

3. カラー回折計算回路の FPGA 実装

本研究では、図 2 の単色回折計算回路を 3 つ FPGA に実装し、3 波長の並列計算を行った。FPGA 評価ボードとして AMD-Xilinx 社の Alveo U250 を使用した。表 1 にホスト PC および FPGA 開発環境として用いた PC の仕様、図 3 にカラー回折計算回路の概要を示す。

ホスト PC-FPGA 間は PCIe (PCI express) で通信を行う。通信回路は、DMA (Direct Memory Access) 転送可能な XDMA コア[9]を使用した。XDMA コアは PCIe で送受信したデータを AXI4[10]のプロトコルに変換して通信を行うため、計算回路を AXI4 対応となるように設計した。また、複数の AXI インターフェイスを持つ回路を XDMA コアに接続するため、AXI Interconnect コア[11]を使用し、図 3 のように 3 波長分の回折計算回路を接続した。

表 1 ホスト PC の仕様

OS	Ubuntu 20.04.6 LTS
CPU	Intel Core i7-12700
RAM	80 GB
FPGA 開発環境	Vivado 2020.1

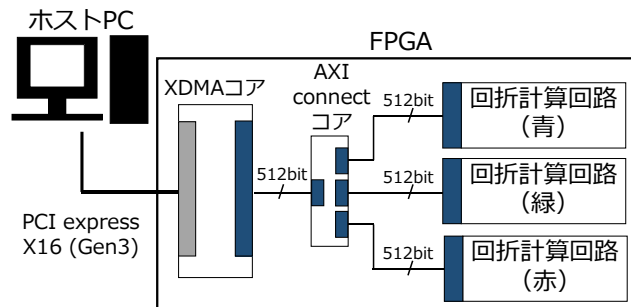


図 3 カラー回折計算回路の概要

4. 実機評価

4.1 回路規模

まず実装したカラー回折計算回路の回路規模を評価した。各リソースの使用率を表 2 に示す。本研究では、 256×256 画素のホログラムを計算可能な回路を実装した。各リソースの使用率を見ると、FPGA の内部メモリである、BRAM (Block RAM) が 23.6%、URAM (Ultra RAM) が 30.0% であり最も高い。計算可能なホログラムの画素数を 512×512 画素に拡大する場合は、現状の回路の約 4 倍の内部メモリが必要となるため、URAM と BRAM へのデータの格納方法を検討する必要がある。

表 2 回路規模

リリース	使用量	使用率
LUT	199,503/1,728,000	11.6%
LUTRAM	45,638/791,040	5.8%
FF	294,674/3,456,000	8.5%
BRAM (36kb)	634/2,688	23.6%
URAM (288kb)	384/1,280	30.0%
DSP	888/12,288	7.2%

4.2 計算速度

次に計算速度を評価した。カラー再生像 1 枚の計算時間の測定結果を表 3 に示す。FPGA の計算時間には、ホスト PC-FPGA 間のデータ転送時間も含まれている。また、ホスト PC の CPU のみで計算した結果を比較対象とし、高速化率を算出した。その結果、ホスト PC の CPU と比較して、約 30 倍の高速化を確認できた。今回は CPU の 1 コアのみでの計算時間と比較した。Intel Core i7-12700 は 12 コアを持つが、仮に CPU での完全な並列処理を行えた場合でも、本回路の方が 2 倍以上高速に計算できる。そのため、本研究により、回折計算の FPGA 実装による高速化の有効性を実証できた。

表 3 計算時間の測定結果

	CPU	FPGA
計算時間	20.57 ms	0.70 ms
高速化率	1.00	29.39

5. おわりに

本研究では、カラー回折計算回路を FPGA に実装し、一般的な PC の CPU と比較して約 30 倍の高速化を達成した。今後は、 512×512 画素のホログラムを計算できるよう、内部メモリの使用方法を見直しながら実装を行う。その後は、回路リソースが許す限り並列化を行い、計算性能をさらに向上させていく予定である。

謝辞

本研究は、日本科学協会の笹川科学研究助成による助成を受けたものです。

参考文献

- [1] J. Rosen and G. Brooker, "Digital spatially incoherent Fresnel holography," *Opt. Lett.* 32, 912-914 (2007).
- [2] J. Rosen and G. Brooker, "Fluorescence incoherent color holography," *Opt. Express* 15, 2244-2250 (2007).
- [3] T. Hara, T. Kakue, T. Shimobaba and T. Ito "Design and Implementation of Special-Purpose Computer for Incoherent Digital Holography," *IEEE Access*, 10, 76906-76912 (2022).
- [4] 原貴之, 角江崇, 下馬場朋禄, 伊藤智義, "インコヒーレントデジタルホログラフィ専用計算機のカラー化への検討," 電子情報通信学会総合大会 2023, D-18-5 (2023).
- [5] N. Masuda, T. Ito, K. Kayama, H. Kono, S. Satake, T. Kunugi and K. Sato, "Special purpose computer for digital holographic particle tracking velocimetry," *Opt. Express* 14, 587-592 (2006).
- [6] Y. Abe, N. Masuda, H. Wakabayashi, Y. Kazo, T. Ito, S. Satake, T. Kunugi and K. Sato, "Special purpose computer system for flow visualization using holography technology," *Opt. Express* 16, 7686-7692 (2008).
- [7] AMD-Xilinx, Fast Fourier Transform (FFT), <https://japan.xilinx.com/products/intellectual-property/fft.html> (cited 2023-06-05).
- [8] T. Maruyama, Y. Ichihashi, T. Kakue, T. Shimobaba, and T. Ito, "Implementation of data transfer function with external devices for special-purpose computer that can generate hologram based on light-ray information," *The 13th International Conference on 3D systems and Applications (3DSA2022)*, P2-1(2022).
- [9] AMD-Xilinx, DMA for PCI Express (PCIe) Subsystem, <https://japan.xilinx.com/products/intellectual-property/pcie-dma.html> (cited 2023-06-05).
- [10] AMD-Xilinx, AMBA AXI4 Interface Protocol, <https://japan.xilinx.com/products/intellectual-property/axi.html> (cited 2023-06-06).
- [11] AMD-Xilinx, AXI Interconnect, https://japan.xilinx.com/products/intellectual-property/axi_interconnect.html (cited 2023-06-06).