

2 入力 2 出力排他制御素子に対するスキャン機能の付与 A Scan Design for 2-input 2-output Sequential Mutual Exclusion

山田 裕隆¹⁾ 岩田 大志¹⁾ 山口 賢一¹⁾
Yamada Yuto Iwata Hiroshi Yamaguchi Ken'ichi

1 研究背景

現在、半導体製造技術の進歩に伴い、VLSI(Very Large Scale Integration)は多機能化、大規模化、高速化しており、より効率的な設計が求められている。大域クロックを回路全体に分配する同期式設計では、瞬間消費電力、クロックスキューなどの問題が発生する。そこで、それらの問題を解決し、低消費電力な動作を実現できる非同期式回路を利用した VLSI 設計が採用され始めている。

しかし、非同期式回路はクロックによる同期信号が存在しないことにより、回路内部の遅延、信号の遷移など、さまざまな動作のタイミングを考慮して設計を行う必要がある。これらは使われている回路のモデルによって異なるため、それらに応じた設計が必要である。同期式回路は遅延が原因で起こる予期していない信号遷移(レースやハザード)があったとしても、次のクロックサイクルまでに安定した値が得られれば大きな問題にならない。しかし、非同期式回路の場合、予期しない信号遷移が誤作動の原因となる。そのため、レースやハザードのない回路設計が要求されていることも、非同期式回路の設計が困難になっている理由の一つである。また、非同期式回路の普及を阻む最大の理由として、非同期式回路は同期式回路に比べ、製造後の出荷テストが難しく、標準化されたテスト容易化手法が存在しないことが挙げられる。

非同期式回路のテスト容易化設計手法として、同期式回路で標準的に用いられている完全スキャン設計を非同期式回路にも適用する手法 [1, 2] がある。Level Sensitive Scan Design(LSSD)で用いられる LSSD スキャン素子を全組合せループに挿入することで、非同期式回路を同期式回路としてテストできるが、面積・遅延オーバーヘッドが大きいという問題がある。この問題を解消するために、文献 [3, 4] では L1L2*スキャン設計を用いたテスト容易化設計手法と、2 入力 1 出力の順序素子である C 素子を対象としたスキャン C 素子を提案している。しかし、非同期式回路では多入力多出力の順序素子が用いられている場合があり、それらに対する効率的なスキャンテスト法は提案されていない。本稿では排他制御素子(MUTEX)と呼ばれる 2 入力 2 出力の順序素子に対するスキャン設計法とスキャンテスト法を提案する。

2 諸定義

2.1 テスト容易化設計

テスト容易化設計とは、製造された LSI のテストを容易に行えるように回路を設計し、テスト費用の削減と故障検出率の向上を目的とする設計手法である。LSI のテストとは、任意のテストパターンを入力として与え、その出力応答を観測することにより、製造したチップ内部に故障が存在するか否かを判断する行程である。効率的

なテストパターン生成(ATPG)アルゴリズムが提案されており、テスト実行用のテストパターンの自動生成が実用化されている。しかし、近年の LSI の大規模化・複雑化により、テストパターン生成やテスト実行に多大な時間を要している。また、テスト容易化設計なしに高い故障検出率を達成するテストパターンを生成することも困難になっている。組合せ回路に対しては、高い故障検出率のテストパターンを短時間で生成する ATPG ツールが多くの企業によって実用化されているが、順序回路のテスト生成には膨大な計算時間を必要とし、高い故障検出率も達成できない。そこで、テスト対象となる LSI をテストが容易に行えるように設計すれば、高い故障検出率のテストパターンを短時間で生成することができる。そのため、テスト容易化設計は LSI のテストコストを削減し、故障検出率を向上させるための有効な手段として広く用いられている。

2.2 非同期式回路のスキャン設計

スキャン設計とは、順序回路におけるテスト容易化設計手法の 1 つである。スキャン設計を行うには、回路に存在する順序素子の内部状態を任意に設定し、順序素子に入力される応答を観測する機能が必要である。これらの順序素子の内部状態を任意に設定し、順序素子に入力される応答を観測する機能をスキャン機能といい、順序素子にスキャン機能を付加したものをスキャン素子という。同期式回路に対しては、DFF に対応するスキャン DFF が標準化されており、回路中のすべての DFF をスキャン DFF に置き換えることで、テスト対象回路を組合せ回路として扱うことが可能である。そのため、高い故障検出率を達成するテストパターン生成が容易であり、同期式回路に対してはデファクトスタンダードなテスト容易化設計手法として普及している。

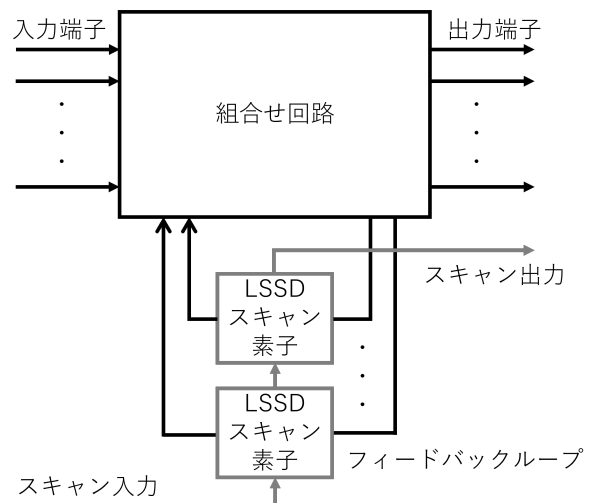


図 1 非同期式順序回路のスキャン設計

一方で、非同期式順序回路に対してスキャン設計を

1) 奈良工業高等専門学校情報工学科. Department of Information Engineering, National Institute of Technology (KOSEN), Nara College.

行う手法として、図 1 に示す通り、非同期式順序回路中の全てのフィードバックループを切るように、Level Sensitive Scan Design(LSSD)で用いるスキャン素子挿入する手法 [1, 2] がある。フィードバックループを切ることで、組合せ回路部分に対して組合せテストパターン生成手法を適用することができ、同期式回路に対するテスト手法と同等のテスト品質を保證することができるが、多くの LSSD スキャン素子挿入する必要がある。そのため、高い面積・遅延オーバーヘッドを招く問題がある。オーバーヘッドを削減する手法として L1L2*スキャン設計法 [5] がある。L1L2*スキャン設計法は、シングルラッチ設計された回路に対して完全スキャン設計を実現する手法であり、LSSD のスキャン素子を用いて完全スキャン設計を実現する場合に比べ、面積・遅延オーバーヘッドを抑制することができる。文献 [3] では、非同期式回路設計で最も一般的に用いられる順序素子である C 素子に着目し、L1L2*スキャン設計法を提案している。しかし、キャプチャ衝突、フィードバックループの存在により、非同期式回路に対しては組合せ部分にさえ完全な故障検出効率を保證することができない [4]。文献 [4] では、これらの問題を解決する L1L2*スキャン設計法を提案しているが、C 素子以外の排他制御素子などの他の順序素子に対しては、LSSD のスキャン素子挿入することで対応している。

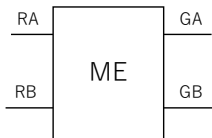


図 2 MUTEX の論理記号

RA	RB	GA+	GB+
0	0	0	0
0	1	0	1
1	0	1	0
1	1	GA	GB

2.3 排他制御素子 (MUTEX)

排他制御素子 (MUTual EXclusion : MUTEX)[6, 7] とは、非同期式順序回路で用いられる記憶素子の 1 つである。MUTEX は調停回路といわれる、1 つのバスを複数のデバイスで用いるときに競合しないようにする回路などの排他制御に用いられる。MUTEX は表 1 の状態表にしたがって内部状態を更新する。図 2 に MUTEX の論理記号を示す。MUTEX は、(RA, RB) = (0, 0) である場合に (0, 0) を出力し、(RA, RB) = (0, 1) である場合に (0, 1) を出力する。また、(RA, RB) = (1, 0) である場合に (1, 0) をする。(RA, RB) = (1, 1) である場合は現在の値を保持する。しかし、(RA, RB) = (0, 0) を印加した後 (RA, RB) = (1, 1) を印加すると準安定状態となり、出力が (GA, GB) = (0, 1) か (GA, GB) = (1, 0) に安定するため、(RA, RB) = (0, 0) は保持できない。

2.4 準安定状態 (Metastability)

フリップフロップは安定した動作をするために、入力信号とクロック信号を遷移させる際にセットアップタイ

ム、ホールドタイムを必要とする。セットアップタイムとは、入力信号が遷移してからクロックエッジまでの最低限必要な時間のことである。ホールドタイムとは、クロックエッジから入力状態を最低限維持する必要のある時間のことである。これらの決められた時間の規定に反した場合、出力が準安定 [8, 9] になる。フリップフロップが準安定になると、出力が「0」と「1」の中間範囲内をふらつくような現象が起き、最終的には「0」か「1」のどちらかの状態に安定する。出力が準安定の時を準安定状態という。準安定が発生したとき、同期式回路の場合、次のクロックまでに安定した状態になっていればハザードは発生しないが、非同期式回路の場合、ハザードを起こす。そのため MUTEX では準安定状態を防ぐため、準安定フィルタ [7] を備えている。

2.5 誤り

何らかの故障が原因で本来想定される値 (理論値) とは異なる値を誤りという。本稿では、非同期式回路を組合せ回路部分と個々の順序素子に分けてテストすることを考えている。組合せ回路部分に対しては、信号線が 0 または 1 に固定される故障をモデル化した縮退故障を対象とする。組合せ回路における縮退故障の想定は、論理故障モデルにおいて最も標準的であり、検出可能な縮退故障をすべて検出できるテストを完全なテストと呼ぶ。ここで誤りは (故障が無いときの値/故障が有るとき (値)) の表記を用いる。つまり、0 縮退故障によって発生する誤りを 1/0、1 縮退故障によって発生する誤りを 0/1 と表す。順序素子に対しては、入力変数と状態変数を変化させずに、順序素子の状態表を他の状態表に変更する検出可能な論理故障を対象とする。順序素子のすべての検出可能な論理故障を検出したとき、順序素子は完全にテストされたとする。本稿で提案する MUTEX のテスト手法として、スキャンチェーンを用いた機能テストを実現している。

2.6 2部非同期式回路構造

岩田ら [4] が非同期式回路に対して、L1L2*スキャン設計を適用可能なシングルラッチ設計の回路構造を 2部非同期式回路構造として以下 (文献 [4] より引用) のように定義している。

2部非同期式回路構造 非同期式回路 C について、 C の組合せ回路部分が 2 つの互いに素な部分回路 $C1$ と $C2$ に分けられ、 C の順序素子の集合が 2 つの部分集合 $L1$ と $L2$ に分割されるとき、 C は 2部非同期式回路構造である。ただし、 $L1$ は $C1$ のみを駆動し、 $C2$ によってのみ駆動される、 $L2$ は $C2$ のみを駆動し、 $C1$ によってのみ駆動される。

2部スキャンパス (B-scanパス) スキャンと素子の系列であるスキャンパス p に対して、以下の条件を満たす p を 2部スキャンパス (B-scanパス) と呼ぶ。

1. p 上のスキャン素子は 2 つの部分集合からなる。
2. p 上の任意の連続するスキャン素子は異なる集合に属する。
3. 各集合のすべてのスキャン素子は同時に同じ動作を行うことができる。

以上が文献 [4] からの引用で本稿でもこれらの定義を用いる。

3 提案手法

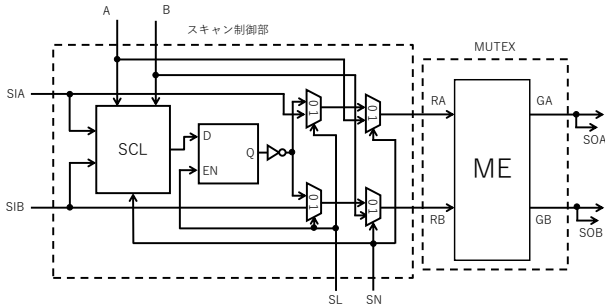


図 3 提案するスキャン MUX

3.1 スキャン MUX の提案

MUX に対してスキャン機能を付加したものをスキャン MUX と呼ぶ。提案するスキャン MUX は図 3 のようにスキャン制御部と MUX から成り、SCL は、 $SN=0$ かつ $(SIA, SIB)=(0, 0)$ のとき 1 を出力、 $SN=1$ かつ $(A, B)=(0, 0)$ のとき 1 を出力、その他の値が印加されたときは 0 を出力する機能を持つ。スキャン MUX は以下の 3 つの機能を有する。

1. 回路の通常動作とテスト中のキャプチャモードで用いるノーマル機能
2. MUX の内部状態を保持するホールド機能
3. 提案するスキャン MUX に SI の値を取り込むロード機能

上記の 3 つの機能を実行したときの動作を以下に示す。

1. ノーマル機能を実行したとき、A, B の信号線から印加された値をスキャン MUX 内の MUX に伝搬する。またこの動作をノーマル動作と呼ぶ。
2. ホールド機能を実行したとき、スキャン MUX 内の MUX に $(RA, RB)=(0, 0)$ もしくは $(RA, RB)=(1, 1)$ を印加し内部状態を保持する。またこの動作をホールド動作と呼ぶ。
3. ロード機能を実行したとき、SIA, SIB の信号線から印加された値をスキャン MUX 内の MUX に伝搬する。またこの動作をロード動作と呼ぶ。

また、表 2 にスキャン MUX のスキャン制御を行う SI と SN の値とそれに対応する動作を示す。

表 2 提案するスキャン MUX の機能表

SN	SL	RA	RB	動作
0	0	\bar{Q}	\bar{Q}	ホールド動作
0	1	SIA	SIB	ロード動作
1	0	A	B	通常動作
1	1	\bar{Q}	\bar{Q}	ホールド動作

提案するスキャン MUX では、内部状態を保持するためには $SN=0, SL=0$ を印加する際、先に $SL=0$ を印加する必要がある。いま、A, B から印加された値を内部状態として保持することを考える。はじめに $SN=1, SL=1$ を印加することで A, B から印加された値を MUX, D ラッチに取り込む。つぎに、 $SN=0, SL=0$ を印加することで MUX に $(RA, RB)=(0, 0)$ もしくは $(RA, RB)=(1, 1)$ が印加され A, B から印加された値を内部状態として保持する。 $SN=0$ の印加が $SL=0$

の印加より先に到達したと仮定すると、 $SN=0$ が印加され $SL=0$ が印加されるまでの間、MUX に $(RA, RB)=(SIA, SIB)$ が印加される。これにより、MUX の出力に意図せずに SIA, SIB が印加される。よって、 $SN=0, SL=0$ を印加する際、先に $SL=0$ を印加する必要がある。

3.2 0 ホールド問題

提案するスキャン MUX を用いて B-scan パスを構築することを考える。組合せ回路をテストする際に、B-scan パス上の MUX の内部状態を任意に設定し、得られる出力応答を SO で観測する必要がある。出力応答を SO まで伝搬させる際に MUX が $(GA, GB)=(0, 0)$ を出力する状態を保持する必要がある。しかし、MUX はその性質から $(GA, GB)=(0, 0)$ を出力する状態を保持することができない。この問題を 0 ホールド問題と呼ぶ。

提案するスキャン MUX では 0 ホールド問題をイネーブル付き DFF を用いることで解決している。提案するスキャン MUX に $(A, B)=(0, 0)$ が印加され、それを保持することを考える。はじめに、A, B の値をスキャン MUX に取り込むために $SN=1, SL=1$ を印加する。このとき、SCL の出力と $EN=1$ を印加することにより D ラッチの内部状態が 1 に設定される。つぎに、内部状態を保持するために $SL=0, SL=0$ を印加する。このとき、 $EN=0$ になり、Q が MUX に印加される。これにより、スキャン MUX は MUX が $(GA, GB)=(0, 0)$ を出力する状態を保持できる。

3.3 誤りの伝搬

図 4 に示す非同期式回路を非同期式回路 C とし、組合せ回路部分 C1 と C2, MUX の集合 L1 と L2 から構成される 2 部非同期式回路構造を持ち、提案したスキャン MUX を用いてスキャン設計されているとする。

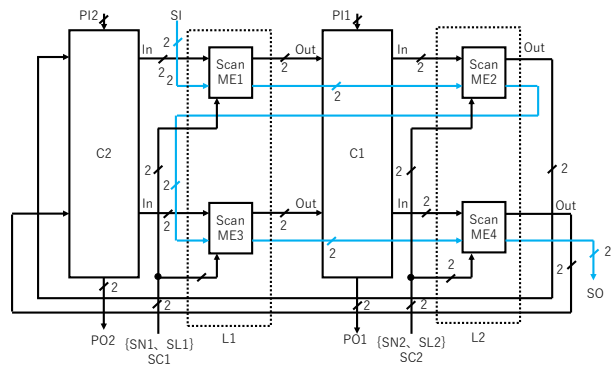


図 4 提案スキャンする MUX を用いた非同期式回路

組合せ回路部分 C1 と C2 に対する外部入力を PI1, PI2, 外部出力を PO1, PO2, 組合せ回路部分からスキャン MUX への入力を In, スキャン MUX から組合せ回路への出力を Out, スキャンモード時に使用するスキャン入力を SI, スキャン MUX のスキャン制御部を制御する入力 $SC1=(SN1, SL1)$, $SC2=(SN2, SL2)$ とし、応答を観測するための信号線を SO とする。

組合せ回路部分 C1 から L2 に誤りが伝搬され、それを SO にて観測するために以下の手順を行う。

1. $SC2=(1, 1)$ を印加し、C1 からの誤りを L2 のスキャン MUX に取り込む (通常動作), $SC1=(0,$

- 0) を印加し L1 に印加されているテストパターンを保持する (ホールド動作)
2. SC2=(0, 0) を印加し, L2 に伝搬された値を保持する (ホールド動作). SC1=(0, 1) を L2 から伝搬された値を L1 に取り込む (ロード動作).
3. SC2=(0, 1) を印加し, L1 から伝搬された値を L2 に取り込み (ロード動作), SC2=(0, 1) を印加し, L2 から伝搬された誤りを保持する (ホールド動作).
4. 2. 3. を繰り返す.

4 実験結果

提案するスキャン MUTEX を論理合成ツールである Synopsys Design Compiler Q-2019.12-SP4 を用いて面積オーバーヘッドを評価した結果を表 3 に示す. また, 図 5 に示すテストポイントを挿入することで, 実現したスキャン MUTEX についても面積オーバーヘッドを評価した. ここで面積の単位は NAND ゲート換算でのゲート数である. ただし, Proposed は提案するスキャン MUTEX を, TestPoint は図 5 を用いたスキャン MUTEX とする. テストポイントは, SI と SO をそれぞれ制御点, 観測点とし, 可制御性と可観測性を向上させたテスト容易化設計の一つである.

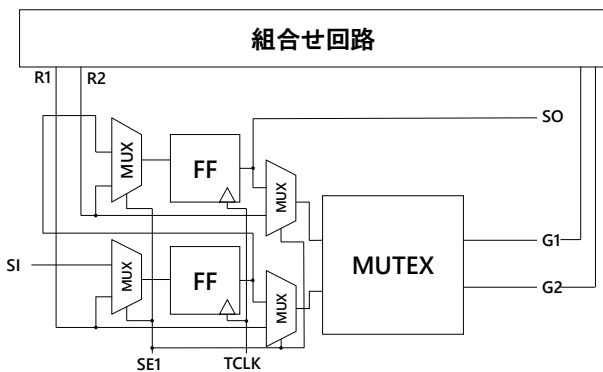


図 5 テストポイントを用いた非同期式回路

表 3 面積オーバーヘッドの比較

	Combnational Area	Noncombnational Area	Total Cell Area
Proposed	30	5	35
TestPoint	20	14	34

提案するスキャン MUTEX はゲート数が 35 個となった. 一方テストポイント方式のスキャン MUTEX はゲート数が 34 個となった. これらにより, 提案するスキャン MUTEX はテストポイン方式のスキャン MUTEX よりゲート数が 1 個少なく実装できた. また, 図 3 と図 5 から, 通常動作時の遅延オーバーヘッドは両方ともマルチプレクサが 1 個であるので同じである. ここで, 提案するスキャン MUTEX とテストポイントを用いたスキャン MUTEX どちらもは組合せ回路の縮退故障に対するテストが実現可能である. しかし, 提案するスキャン MUTEX は MUTEX に対しての機能テストも実現可能である. 一方で, テストポイントを用いた MUTEX は MUTEX に対しての機能テストは実現できない. つまり, 提案するスキャン MUTEX はテストポイントよ

りゲート数を 1 個減らした上で, MUTEX に対しての機能テストを実現することができた.

5 まとめ

非同期式回路設計は低消費電力, クロックレスなどといった利点から着目されているが, 同期式回路設計に比べ標準化されたテスト容易化設計が存在しないことが非同期式回路設計の普及を阻んでいる. 本稿では非同期式回路に対するテスト容易化設計法として, MUTEX に対するスキャン設計法とスキャンテスト法を提案した. 提案するスキャン MUTEX は 0 ホールド問題を解決し, スキャンチェーンを用いた機能テストを実現している.

今後の課題として, MUTEX の機能テストが達成できることを証明することが挙げられる. また, ゲートレベル設計だけでなく, トランジスタレベル, レイアウトレベルで設計し提案したスキャン MUTEX を評価することが挙げられる.

謝辞

本研究は, 東京大学 V D E C 活動を通して, 日本シノプシス合同会社の協力で行われたものである. 本研究の一部は日本学術振興会科学研究費 (JSPS KAKENHI Grant Number JP21K11820 基盤研究 (C) 「多入力多出力の非同期式順序素子を対象としたテスト容易化設計」) を受けて行われた.

参考文献

- [1] H. Hulgaard, S.M. Burns, and G. Borriello, "Testing asynchronous circuits: A survey," *Integration, the VLSI Journal*, vol.19, no.3, pp.111–131, 1995.
- [2] S. Zeidler and M. Krstić, "A survey about testing asynchronous circuits," In *Proc. of European Conference on Circuit Theory and Design (ECCTD)*, pp.1–4, 2015.
- [3] Frank te Beest, Ad Peeters, Kees Van Berkel, and Hans Kerkhoff. "Synchronous full-scan for asynchronous handshake circuits," *Journal of Electronic Testing*, Vol. 19, No.4, pp.397–406, 2003.
- [4] Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara, "Bipartite Full Scan Design: A DFT Method for Asynchronous Circuits," In *Proc. of IEEE 19th Asian Test Symposium (ATS'10)*, pp.206–211, Dec. 2010.
- [5] Sumit DasGupta, Prabhakar Goel, Ron G. Walther, and Tom W. Williams: "A Variation of LSSD and Its Implications on Design and Test Pattern Generation in VLSI," In *Proc. of International Test Conference*, pp.63–66, 1982.
- [6] D.J. Kinniment, O.V. Maevsky, A. Bystrov, G. Russell, and A.V. Yakovlev: "On-chip structures for timing measurement and test," *Journal of Microprocessors and Microsystems*, Volume 27, Issue 9, pp.473–483, Oct. 2003.
- [7] Yang Zhang, Leandro S. Heck, Matheus T. Moreira, David Zar, Melvin Breuer, Ney L.V. Calazans, and Peter A. Beerel: "Design and Analysis of Testable Mutual Exclusion Elements," in *Proc. of ASYNC' 15*, pp.124–131, 2015.
- [8] Clark Foley: "Characterizing metastability -Practical Measurement Techniques to accurately determine "device dependent coefficients" used to predict synchronizer MTBF-," in *Proceedings of Second International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp.175–184, Mar. 1996.
- [9] Edwin G. Y. Chung and Lindsay Kleeman: "Metastable-robust self-timed circuit synthesis from live safe simple signal transition graphs," in *Proceedings of the International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp.97–105, Dec. 1994.,