

光線情報に基づくホログラフィ専用計算機における高速処理の実装 Implementing high-speed processing on the special-purpose computer for generating hologram based on light-ray information

丸山 達也^{†,‡} 市橋 保之[‡] 星 郁雄^{†,‡} 角江 崇[†] 下馬場 朋禄[†] 伊藤 智義[†]
Tatsuya Maruyama Yasuyuki Ichihashi Ikuo Hoshi Takashi Kakue Tomoyoshi Shimobaba Tomoyoshi Ito

1. はじめに

電子ホログラフィは、コンピュータ上で物体光と参照光の伝搬と干渉をシミュレーションすることで計算機合成ホログラム(CGH: Computer Generated Hologram)を作成し、空間光変調器(SLM: Spatial Light Modulator)に表示することで、3次元像の再生を行うことができる[1, 2]。電子ホログラフィの課題として、CGHの計算負荷が大きいこと、CGHのデータ量が大きいためホストPCと出力デバイス間の転送に時間がかかることがあげられる。

本研究では、CGH生成手法の1つである光線-波面変換法[3]を採用し、FPGA(Field Programmable Gate Array)を用いた専用ハードウェアの開発を行うことで高速化を図る。具体的には、伝搬計算における2次元フーリエ変換や位相型データの生成処理の高速化を目指し、FPGA内のメモリアドレスの工夫やパイプライン・並列処理を組み込むことで、処理の高速化に成功したので報告する。

2. 光線-波面変換法

光線-波面変換法では、光線情報の取得、光線-波面変換、伝搬計算に分かれている。最終的に伝搬計算で得た複素振幅の位相からCGH生成することを目指す。

光線情報を取得するために光線のサンプリングを行う仮想的な平面のことを光線サンプリング面(RS面: Ray-Sampling plane)と呼ぶ。本手法では、物体近傍にRS面を置いて光線サンプリングを行い、光線の強度情報および角度情報を取得する。図1に光線サンプリングの概略図を示す。RS面上のサンプリング座標ごとにカメラを配置し、記録した微小な像を要素画像と呼ぶ。また要素画像の集合を1つの画像にまとめたものをRS画像と呼ぶことにする。

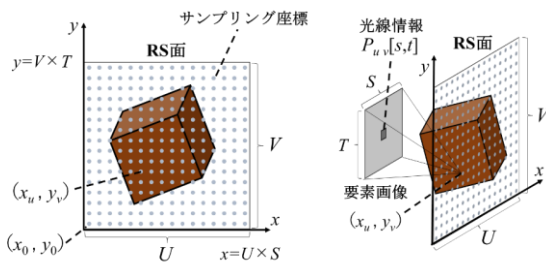


図1: 光線サンプリングの概略図。

光線-波面変換では、要素画像ごとにランダム位相の算と2次元FFTを行うことで、微小波面の光波分布を得ることができる。これをすべての要素画像に適用することで、RS面全体の複素振幅分布を得る。

[†] 千葉大学大学院工学研究院

Graduate School of Engineering, Chiba University

[‡] 国立研究開発法人情報通信研究機構

National Institute of Information and Communications Technology

伝搬計算では、RS面からCGH面までの波面の伝搬を光の回折伝搬として計算する。今回は、フレネル近似式を利用して、2次元FFT、伝達関数との複素乗算、2次元逆FFTの順で処理する。最後に、複素振幅分布における実部と虚部から偏角を求めることで、位相型データを取得する。

3. FPGAにおける高速処理の実装

本研究では、光線-波面変換法における光線-波面変換からCGH生成までをFPGAに実装する。また、今回は1k1kのRS画像を処理するため、比較的容量の大きいメモリを必要とする。今回はSRAMの一種であるブロックRAMを活用して、処理に時間がかかる伝搬計算と位相型データ生成における並列化の実装について述べる。

3.1 伝搬計算の高速化

伝搬計算における2次元FFTでは、RS画像に対して、行方向と列方向でラインごとにFFTを行う。FFTはXilinx社が提供しているIPコア[4]を活用する(以下、FFTコアと呼ぶ)。FFTコアにはパイプラインモードがあり、データ入力後も連続で次のデータを入力することが可能である。ブロックRAMは最大2ポートであるため、図2のように、片方をFFTコアへの送信ポート、もう片方をFFTコアからの受信ポートとすることで、連続したデータの処理が可能となる。

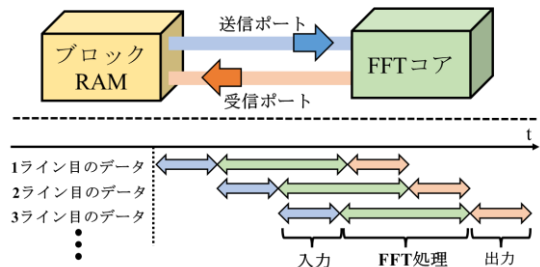


図2: 2ポートにおけるタイミングチャート。

FFT処理は各行列に行うため、行あるいは列ごとにFFT処理を並列化することが可能である。ただ、1つのブロックRAMにRS画像を1枚格納する形式だとポート数が2つのみであるため、上で述べた処理を取り入れて並列化することが難しい。そこで、RS画像を図3のように分割して、それぞれ別のブロックRAMに格納する。

横方向のFFTを行う場合、図3の例だと赤枠の2並列で動作が可能となる。上側の赤枠ではアドレスを0→1→0→1→2→3→2→3と遷移させる必要がある。そこで表1に示すように、3bitの両サイドをブロックRAMのアドレスにすることで、横方向のアドレスの遷移が可能になる。

また、中央ビットをブロックRAMごとの読み書きのイネーブル信号に利用することで、青枠で示すように左側RAM、右側のRAMと簡易的に読み書きが可能となる。縦方向にFFTを行う場合においても、表1のように両サイド

を入れ替えるビット変換をすることで、 $0 \rightarrow 2 \rightarrow 0 \rightarrow 2 \dots$ と縦方向のアドレス遷移が可能となる。このブロック RAM の分割によるアドレス管理は、8 分割、16 分割と増える場合においても適用可能である。

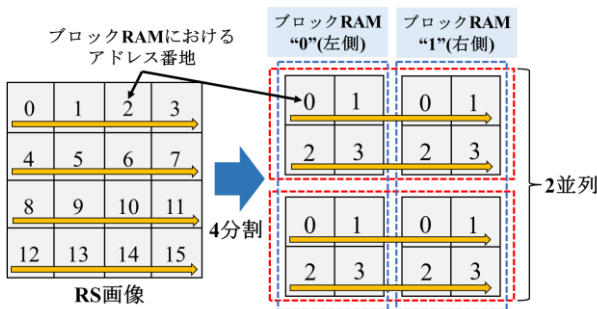


図 3 : ブロック RAM の分割(4x4 の横方向 FFT).

表 1 : 3bit のビット列.

3 bit	000	001	010	011	100	101	110	111
両サイド	00 (0)	01 (1)	00 (0)	01 (1)	10 (2)	11 (3)	10 (2)	11 (3)
両サイド (入替)	00 (0)	10 (2)	00 (0)	10 (2)	01 (1)	11 (3)	01 (1)	11 (3)
中央	0	0	1	1	0	0	1	1

3.2 位相型データ生成の高速化

位相型データ生成では、1 画素分の実部と虚部を図 4 のように正規化し、得た値をあらかじめ用意した逆正接関数テーブルに入力することで出力する。

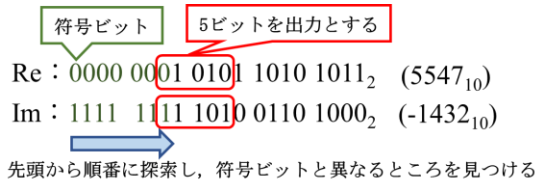


図 4 : 正規化の方法(実部 5547, 虚部-1432 の場合).

正規化の探索に時間がかかる場合は、出力まで待ち時間が生じる。その待ち時間をなくすために、モジュールへの入力から出力までを最大の 24 クロック(入力 1 : 処理 22 : 出力 1)に固定にし、図 5 のように入出力にかかるクロックだけ回路を配置する。FFT のときと同様、ブロック RAM の 2 ポートを送信・受信に分けて回路を切り替えていくことで、連続でデータを入出力させることができる。この操作を分割したブロック RAM 分だけ並列化することで、さらに高速化することができる。

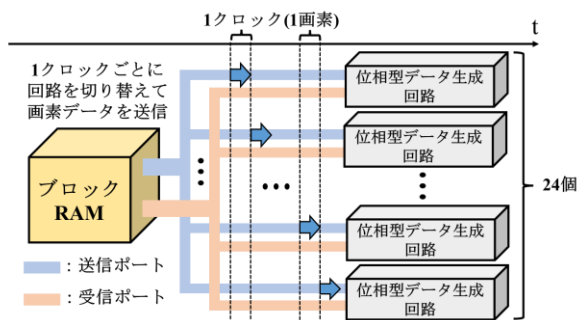


図 5 : ブロック RAM と位相型データ生成回路.

4. 実装結果

本研究では、FPGA に Xilinx Virtex UltraScale+ VCU118 を利用した。動作周波数は 125[MHz]に設定した。

4.1 処理時間

計算時間比較のため、デスクトップ PC の CPU(Intel(R) Core(TM) i9-9900K 3.6GHz)において CGH を求めるプログラムを作成し、計算時間の比較を行った。1K1K(1024x1024)の RS 画像から 1K1K の CGH を計算するのににかかった時間を表 1(FPGA の右欄は CPU に対する高速化率)に示す。なお、FPGA における光線-波面変換は 4 分割と 64 分割ともに同じユニットとし、その他はデータ転送時間である。

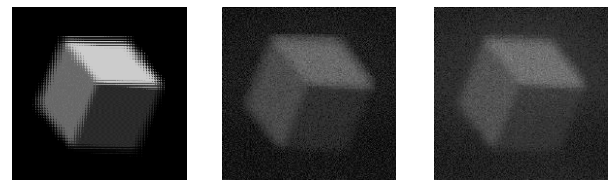
表 2 : CPU と FPGA の CGH 処理時間.

[ms]	CPU	FPGA	
		RAM 4 分割	RAM 64 分割
光線-波面変換	62.0	2.10	29.5 倍
伝搬計算	86.2	21.1	4.08 倍
位相型データ生成	63.0	2.10	30.0 倍
その他		4.26	1.11
全体	211	29.6	7.14 倍
		8.67	24.3 倍

表 2 より、ブロック RAM の分割数に応じて高速化していることが分かり、CPU に比べて 24.3 倍高速化できた。

4.2 再生シミュレーション

CPU の倍精度浮動小数点型で作成した CGH と FPGA で生成した CGH から、それぞれ再生シミュレーションした結果を図 6 に示す。なお、CGH は画素ピッチ 3.74[μm]、波長 532[nm]、伝搬距離 0.3[m]で作成した。図 6 より、FPGA にて CPU と同様の立方体像が得られていることが分かる。



(a) : RS 画像(1K1K) (b) : CPU (c) : FPGA

図 6 : 再生シミュレーション結果.

5. まとめ

本研究では、光線-波面変換法を利用した位相型 CGH の生成を行う専用計算機の実装ならびにその高速化を行った。結果として、ブロック RAM を分割することで、伝搬計算ならびに位相型データ生成の並列化に成功し、64 分割では CPU と比べ、24.3 倍の高速化に成功した。今後は、専用計算機において、さらに大きいサイズの CGH 生成と高速化を検討したい。

参考文献

- [1] T. Nishitsuji *et al.*, "Special-purpose computer HORN-8 for phase-type electro-holography," Opt. Express 26, 26722-26733 (2018).
- [2] Y. Ichihashi *et al.*, "An analysis of printing conditions for wavefront overlapping printing," Proc. SPIE 10127, 101270L (2017).
- [3] K. Wakunami *et al.*, "Calculation for computer generated hologram using ray-sampling plane," Opt. Express 19, 9086-9101 (2011).
- [4] Xilinx, "Fast Fourier Transform", <https://japan.xilinx.com/products/intellectual-property/fft.html>, 2022/5/30 閲覧.