

グローバルクロック同期型シストリックアレイ並列計算モデルの LOTOS 記述と振る舞い検証

Description and Verification of Systolic Array Parallel Computation Model in Synchronous Circuit using LOTOS

千葉 悠矢 † 和崎 克己 ††

Yuya Chiba Katsumi Wasaki

1 はじめに

ハードウェア設計においてハードウェア回路検証は実際のハードウェア製造のコストが大きいため、開発コスト削減の面で重要な要素である。ハードウェア回路をモデル化し、モデル検査を行う形式手法も動作検証の1つとして用いられる。LOTOS 言語は主に2つのパートから構成される。1つは R.Milner による Calculus of Communicating Systems(CCS) と Hoare による Communicating Sequential Processes(CSP) に基づくプロセス代数であり、もうひとつは抽象データ型言語 (ACT ONE) に基づくデータ代数である。前者によりモデルシステムの状態遷移を表現し、後者によりプロセスがやりとりするデータ構造や値式を扱う [1]。本研究では1次元 W1 型シストリックアレイの LOTOS 言語による記述を行い、CADP toolbox[2] を用いて、生成したモデルの振る舞いを検証する。モデル化では、グローバルクロックによる同期型により構成する。同期型構成によりシストリックアレイの抽象度を下げ、ブロック図におけるそれぞれの素子の振る舞いを観測可能とすることで、局所的なメッセージ非同期性とグローバル同期性の両方を検査する。

2 シストリックアレイにおける並列計算モデル

シストリックアレイは大量の単純な処理を行う Process Element(PE) を1次元または2次元上配置し、1度の入力により、生成される計算途中の一時データをメモリに書き込むことなく、演算を行うよう構成されたアーキテクチャである。加算や乗算などの単純な処理を行う PE を複数個用意し、PE の入力と出力を PE 同士で接続し、規則的に配置することにより、システム全体として行列積計算などの演算が可能である。それぞれの PE の入出力は全体で同期しながら処理を行う必要がある。1次元シストリックアレイは加算器、乗算器及びレジスタから構成された PE(セル) を1次元上に配置し、システム全体としてコンボリューション積を得るアーキテクチャである。コンボリューション演算は次のように定義される。重みの数列 w_1, w_2, \dots, w_k と入力列 x_1, x_2, \dots, x_n に対し $y_i = \sum_{j=1}^k w_j x_{i+j-1}$ となる出力列 $y_1, y_2, \dots, y_{n+1-k}$ を得る演算。システム全体としてコンボリューション積を得る1次元シストリックアレイは以下の4つの型などが考案されている [4]。

- B1 型: 各セルに入力列データを並行して一斉に送り、各セルが保持する重み係数と隣のセルからの出力との加算結果を出力する構成
- F 型: 入力列データをリレー式に送り、各セルからの重み係数と入力列データとの積の結果をすべて足し合わせる構成
- W1 型: 入力列データをリレー式に送り、各セルは入力データと重み係数との積を計算し、隣接するセルの出力との加算結果を出力する構成
- W2 型: W1 型と同様の計算方法であるが、入力データと出力データのストリームが同方向になる構成

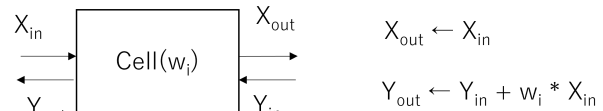


図1 W1型におけるセル単体の仕様

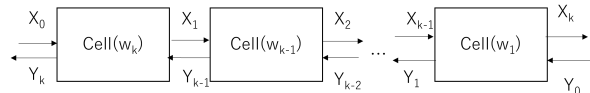


図2 W1シストリックアレイの構成図

3 LOTOS 記述

3.1 非同期型での LOTOS 記述

1次元シストリックアレイの非同期メッセージ型並列計算としての LOTOS モデルは Garavel により記述された [3]。セルの処理として入力 X 及び Y を受け取り、セル内部に保持する重み W を入力 X の掛け合わせ、出力として $Y + X * W$ を出力する。また各セルには内部変数 K を持ち K の値によりセル内部の処理を変更する。各セルに適切な内部変数 K の値をあらかじめ与えることにより、入出力のタイミングを制御しコンボリューション演算を行う。

3.2 グローバルクロックを用いた LOTOS 記述

グローバルクロック同期型1次元 W1 型シストリックアレイの構成要素として加算器、乗算器、レジスタがある。これらをプロセスとして LOTOS 上で定義し、それぞれのプロセスの組み合わせによってセル単体を記述する。加算器1つ、乗算器1つ、レジスタ3つで1つのセルを構成し、複数のセルを用意して互いに接続することでシストリックアレイモデルを作成する [4]。またグローバルクロックと入力を制御するプロセス

† 信州大学大学院総合理工学研究科, Graduate School of Science and Technology, Shinshu University

†† 信州大学工学部電子情報システム工学科, Department of Electrical and Computer Engineering, Faculty of Engineering, Shinshu University

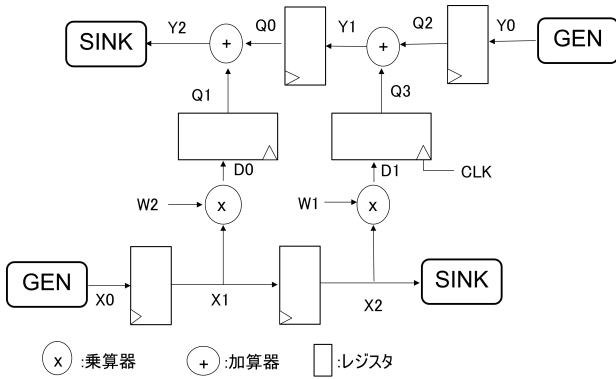


図 3 W1 型シストリックアレイのブロック図

```

.....
process Combine[X2,X1,X0,Y2,Y1,Y0,
                Q3,Q2,Q1,Q0,D1,D0,CLK] : noexit :=
  Gen[X0,Y0,CLK]
  |[X0,Y0,CLK]|
  (
    Sink[Y2]
    |[Y2]|
    Cell[X0,X1,Y1,Y2,CLK,Q0,Q1,D0](W2)
    |[CLK,X1,Y1]|
    Cell[X1,X2,Y0,Y1,CLK,Q2,Q3,D1](W1)
    |[X2]|
    Sink[X2]
  )
endproc(*Combine*)
.....
    
```

図 4 W1 型の LOTOS 記述 (一部抜粋)

GENERATOR(GEN) を定義し、適切なタイミングで入力とクロック制御を行う。

4 振る舞い検証

モデル検証には CADP toolbox における MCL(Model Checking Language) を用いる。MCL では時相論理式を用いてモデルの振る舞いの性質を記述することにより、モデル上で記述した性質を満たすかを判定する。本モデルではセルを 2 つ用意し、入力列 X_1, X_2, X_3 , 重み列 W_1, W_2 を与える。コンボリューション演算 $(y_1, y_2) = (W_1 * X_1 + W_2 * X_2, W_1 * X_2 + W_2 * X_3)$ を得る。プロセス GENERATOR に入力列を記述し、それぞれのセルに重み W_i を記述して割り当てる ($i = 1, 2$)。

4.1 演算結果出力の振る舞い

出力 Y2 のみに着目し、本来の計算結果を出力する振る舞いが存在するか検査を行う (モデル A)。検査結果としてモデル上に正しく計算を行う振る舞いが存在する (図 5)。図 5 の状態遷移図における頂点番号 $0 \rightarrow 1 \rightarrow 3 \rightarrow 6 \rightarrow 9 \rightarrow 14 \rightarrow 15$ と遷移するパスが想定外の計算結果と一致する。各辺のラベルは Y2 が出力する値を示す。

4.2 加算器及び乗算器の遅延

図 5 において本来の計算結果と一致するパスの他にも一致しないパスが存在するため、正しく計算できない振る舞いが存在する。出力 Y2 において本来の計算結果と

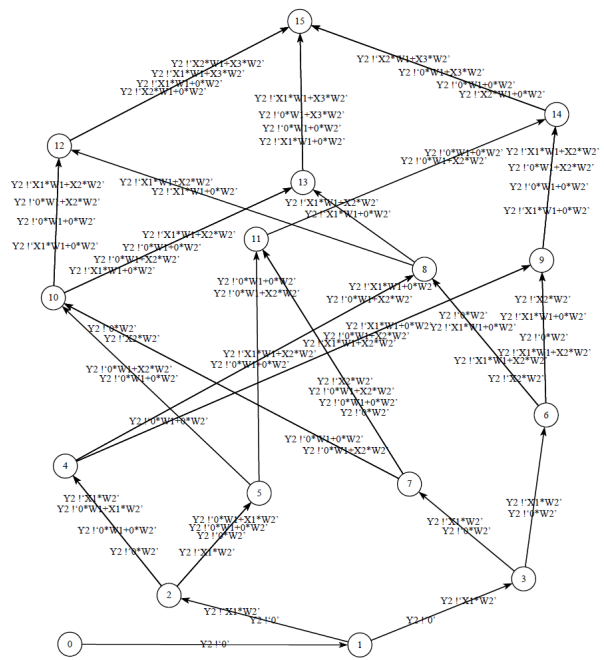


図 5 W1 型シストリックアレイの出力 Y2 の振る舞い図

表 1 LTS の状態数及びトランジション数

種類	状態数	トランジション数	ラベル数
モデル A	16	75	14
モデル B	32279	94326	57

異なる値が出力される原因として加算器及び乗算器の遅延が考えられる。すべての素子の入出力を観測できるモデル (モデル B) として、モデル B の振る舞いにおいて、加算器及び乗算器がすべてのクロックサイクル間において、両者とも出力を完了している振る舞いが存在して、この振る舞いにおける計算結果の出力が本来の計算結果と同じであることを検査する。検査結果として複数の想定される計算結果を出力する振る舞いが存在した。

5 まとめと今後の課題

本研究では 1 次元 W1 型シストリックアレイにおける LOTOS 記述と振る舞い検証を行った。今後の課題としてモデルの状態遷移図における状態数削減がある。1 つの方法としてセル単体の状態遷移図を生成して、CADP toolbox を用いて縮約した個々のセルを合成することにより、状態数の削減された状態遷移図が生成可能である。

参考文献

- [1] Tommaso Bolognesi, Ed Brinksma “Introduction to the ISO Specification Language LOTOS” Computer Networks and ISDN Systems, vol. 14(1), pp. 25-59 January 1987, 66 pages
- [2] CADP(Construction and Analysis of Distributed Processes) INRIA/CONVECS, France, <http://cadp.inria.fr/>
- [3] Hubert Garavel, “Compilation et Vérification de Programmes LOTOS” Thèse de Doctorat, Université Joseph Fourier (Grenoble) November, 1989
- [4] Hsiang-Tsung Kung “Why systolic architectures?” Computer, vol.25, pp.37-46, January, 1982.