

## 論理診断における適応的な誤り追跡入力適用順序変更に基づく

## 6 値シミュレーション処理の効率化

## Adaptive Ordering of Input Patterns to Improve Efficiency of Six-Valued Simulation for Error Diagnosis

正森 明生<sup>†</sup> 黒木 修隆<sup>†</sup> 沼 昌宏<sup>†</sup>  
Akio Masamori<sup>†</sup> Nobutaka Kuroki<sup>†</sup> Masahiro Numa<sup>†</sup>

## 1. はじめに

大規模化・複雑化が進む LSI 設計・製造工程において、仕様変更や設計誤りの混入、タイミング制約違反などにより、設計変更要求 (ECO : Engineering Change Order) が生じる場合がある。設計期間やコストの増加を抑制しつつ ECO に対応する手法として、回路に含まれる論理設計誤りを自動的に修正する論理診断手法 [1],[2] に基づき、配線変更のみで修正を実現する論理再合成手法 [3],[4] が提案されている。従来手法である、充足可能性判定に基づく誤り追跡入力生成と機能特定を用いた論理診断手法 [1] では、SAT ソルバを用いることで、BDD (Boolean Decision Diagram) が構築できない大規模な回路についても処理可能とする。その一方で、回路に修正箇所が多数存在する場合、抽出される組合せ箇所数の増大とともに処理時間が増加する点が課題となっていた。

そこで本稿では、論理診断に要する処理時間の短縮を目的として、SAT ソルバを用いた論理診断手法の工程の一つである 6 値シミュレーションに関して、誤り追跡入力の適用順序を適応的に変更することで処理の効率化を図る手法を提案する。

## 2. 論理診断手法の概要

必要な用語の定義を行った上で、本稿で扱う論理診断手法の概要について述べる。

## 定義 1 機能仕様, LUT 回路, 診断対象回路

論理回路として実現すべき機能仕様  $S$  を、 $n$  入力変数ベクトル  $\mathbf{x} = (x_1, \dots, x_n)$  に対する  $p$  出力論理関数ベクトル  $\mathbf{f}_s = (f_{s1}, \dots, f_{sp})$  で表す。真理値表 (LUT : Look-Up Table) を素子とする LUT 回路が機能誤りを含むとき、これを診断対象回路  $G$  と呼び、 $G$  の外部出力関数をベクトル  $\mathbf{f}_g = (f_{g1}, \dots, f_{gp})$  で表す。□

## 定義 2 一致入力, 不一致入力

ある入力  $\alpha$  ( $\exists \alpha \in B^n$ ) が、

$$f_{sj}(\alpha) = f_{gj}(\alpha) \quad (1 \leq j \leq p) \quad (1)$$

を満たす場合、その  $\alpha = (x_1, \dots, x_n)$  を一致入力と呼び、式 (1) を満たさない入力  $\alpha$  を不一致入力と呼ぶ。論理設計誤りは、診断対象回路が機能仕様を満たさない場合に定義される。機能仕様を満たす回路を理想回路と呼ぶ。□

## 定義 3 誤り追跡入力

一つの変数  $X$  または  $\bar{X}$  を含む入力ベクトル  $\alpha = (a_1, \dots, a_{i-1}, X/\bar{X}, a_{i+1}, \dots, a_n)$  に対して

$$f_{sj}(\alpha) = X \quad (2)$$

$$f_{gj}(\alpha) = a \quad (3)$$

が成立するとき、 $\alpha$  を誤り追跡入力と呼ぶ。ただし、 $X/\bar{X}$  は  $X$  または  $\bar{X}$  の一方を表し、 $a_k \in B = \{0, 1\}$  ( $1 \leq k \leq n; k \neq i$ )、 $a \in B$  とする。論理診断には、 $n_\alpha$  個の誤り追跡入力を

適用するものとし、必要に応じてそれぞれ  $\alpha_q$  ( $1 \leq q \leq n_\alpha$ ) で識別する。□

## 定義 4 修正箇所, 組合せ箇所

設計誤りを含むと想定する一つの LUT を、修正箇所  $l_i$  と呼ぶ。 $m$  個の修正箇所からなる空でない集合を、多重度  $m$  の組合せ箇所と呼び、 $L^m = \{l_i | i = 1, \dots, m\}$  で表す。□

図 1 に、従来の論理診断手法 [2] の処理概要を示す。まず、SAT ソルバを用いて生成した誤り追跡入力をもとに、具体的な修正方法を特定せずに修正候補となる組合せ箇所の抽出と絞り込みを行う。特に初期段階で組合せ箇所数の増加を抑えることが処理時間短縮に効果的であるが、EPI はある箇所に対する誤りの可能性の指標を表し、仕様と一致しない不一致外部出力に対する可制御性を表す。この EPI を用いることで、機能変更によって不一致外部出力の値を変化させる可能性がある組合せ箇所のみを抽出することができる。続く 6 値シミュレーションにおいては、修正後の信号値について、やはり具体的な修正方法を特定せずに評価することを可能とし、組合せ箇所の絞り込みを行う。絞り込まれた組合せ箇所に対して、該当する LUT の内容を真理値変数で表現した真理値シミュレーション、さらに最終的には SAT ソルバを用いた機能特定処理によって、修正解を得ることができる。

## 3. 誤り追跡入力の適用順序変更

6 値シミュレーションに基づく組合せ箇所の絞り込み手法では、誤り追跡入力を外部入力に与えた上で、修正後の素子機能を特定せずに信号値の伝搬状況をシミュレーションによって求めることで、外部出力が機能仕様と一致する可能性について判定する。しかし、実験結果から組合せ箇所の絞り込みに効果的である誤り追跡入力は、全体の半数以下であることが判明した。組合せ箇所を削減する効果がない誤り追跡入力に対して何度もシミュレーションを実行することが、処理時間増加の要因となっていた。

この問題を解決するため、組合せ箇所の絞り込みに効果的な誤り追跡入力を推定し、それらを早期に適用して、残存する組合せ箇所を早期に削減することで、6 値シミュレーション

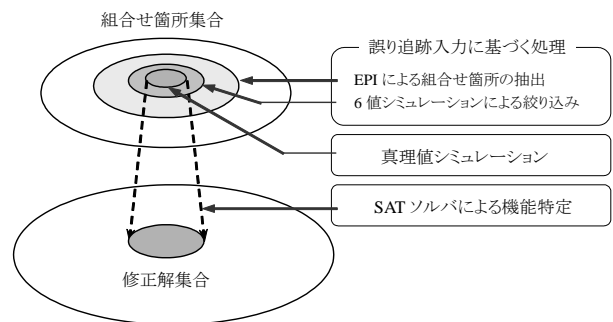


図 1 論理診断処理の概要

<sup>†</sup> 神戸大学, Kobe University

ーション処理の総実行回数削減によって処理時間を短縮する手法を提案する。

図 2 に、ベンチマーク回路 C7552 [5] に誤り箇所を 5 箇所挿入した回路を対象として、各誤り追跡入力に対する 6 値シミュレーションを実行後に残存する組合せ箇所数の推移を示す。この結果から、多重度が低い場合に高い組合せ箇所削減効果を示す誤り追跡入力は、高い多重度の場合でも効果が高いということがわかる。さらに、他の回路例についても同様の結果がみられた。

そこで、各誤り追跡入力に対して、6 値シミュレーションを行った回数である適否確認組合せ箇所数  $\#L_{chk}^m$  と、そのうち 6 値シミュレーションの結果から修正解にはつながらず判定された削減組合せ箇所数  $\#L_{NG}^m$ 、それら二つの比である組合せ箇所削減率  $R_{NG} = \#L_{NG}^m / \#L_{chk}^m$  を算出する。各多重度での 6 値シミュレーション処理終了後に、誤り追跡入力の適用順序を組合せ箇所削減率の降順に並べ替えることで、組合せ箇所を早期に削減して処理の効率化を図る。

#### 4. 実験結果

従来手法および提案手法を計算機 (CPU: Core i7-3770 3.40 GHz, RAM: 32 GB) 上に実装し、実験評価を行った。表 1 に示す 2 種類のベンチマーク回路のうち、C7552 には 5 箇所、b14\_opt\_C [6] には 4 箇所の素子機能誤りを無作為に挿入した回路を 10 例ずつ、計 20 例について実験を行った。6 値シミュレーションに要した処理時間を評価項目とする。

表 2 に実験結果を示す。平均は幾何平均を表す。C7552 について約 64.4%、b14\_opt\_C については約 73.6% 処理時間が短縮された。また、最も処理時間の削減率が大きい回路例は b14\_opt\_C の回路例 4 で、削減率は 94.9% に及んだ。従来手法で処理時間を要していた回路例に対して、大きな削減効果を確認した。その一方で、従来手法でも短時間で処理可能であった回路例に対して、提案手法によって処理時間が増加する例もあった。残存組合せ箇所数が少ない回路例については、絞り込み効果の高い誤り追跡入力の推定の精度が低下することから処理時間が増加した。

#### 5. まとめ

本稿では、充足可能性判定に基づく誤り追跡入力生成と機能特定を用いた論理診断手法における、組合せ箇所絞り込み処理の効率化による論理診断の処理時間短縮を目的として、6 値シミュレーションに基づく組合せ箇所の絞り込み処理に関して、誤り追跡入力の適用順序を適応的に変更する手法を提案した。

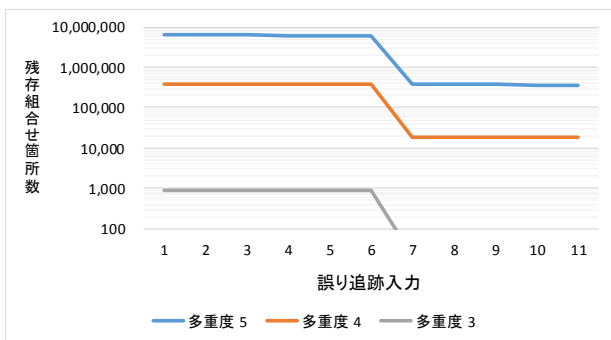


図 2 誤り追跡入力適用後の残存組合せ箇所数

表 1 ベンチマーク回路 [5], [6]

回路名	ゲート数	LUT 数	外部入力数	外部出力数
C7552	3,513	805	207	108
b14_opt_C	5,923	3,380	277	299

表 2 各手法による組合せ箇所抽出処理時間 [s]

回路例	C7552		b14_opt_C	
	従来手法	提案手法	従来手法	提案手法
1	0.02	0.03	4.21	1.66
2	92.97	44.83	3.28	0.93
3	0.31	0.08	29.51	10.35
4	0.51	0.19	849.87	43.15
5	17,914.57	1,267.53	806.31	201.83
6	0.76	0.68	841.61	216.49
7	1.42	1.75	18.85	4.21
8	1.68	0.50	1.08	0.44
9	6.27	1.54	14,556.84	3,758.41
10	1,891.11	157.41	5.00	2.68
平均	6.39	2.28	56.78	14.96

従来手法では、誤り追跡入力を生成した順に 6 値シミュレーションに適用していたため、組合せ箇所削減効果の低い誤り追跡入力に対して何度もシミュレーションを実行する点に問題があった。提案手法では、低多重度でのシミュレーション結果をもとに組合せ箇所削減効果の高い誤り追跡入力を推定し、適用順序を適応的に変更することで早期に組合せ箇所を削減し、6 値シミュレーションの総実行回数を削減することで処理時間の短縮を可能とした。

提案手法を計算機上に実装して評価実験を行った結果、C7552、b14\_opt\_C に対して、処理時間が平均でそれぞれ約 64.4%、約 73.6% 短縮され、提案手法による処理時間短縮効果を確認した。

今後の課題として、組合せ箇所の抽出・絞り込み処理に有効である誤り追跡入力の特性解析と、その生成手法に関する検討が挙げられる。

#### 参考文献

- [1] 沼 昌宏, 井上 宏, 皆見利行, 黒木修隆, 山本啓輔, “真理値シミュレーションに基づく LUT 論理診断手法”, 情報処理学会論文誌, vol. 43, no. 5, pp. 1252-1259, 2002.
- [2] 片山直樹, 松山友紀, 渡辺浩介, 廣瀬哲也, 黒木修隆, 沼 昌宏, “充足可能性判定に基づく誤り追跡入力生成と機能特定を用いた論理診断手法”, DA シンポジウム 2012, pp. 13-18, 2012.
- [3] H. Inoue, T. Iwasaki, T. Sugane, M. Numa, and K. Yamamoto, “Application of error diagnosis technique to incremental synthesis,” IEICE Trans. Fundamentals, vol. E86-A, no. 12, pp. 3214-3217, 2003.
- [4] 下野友大, 天満 健, 千崎弘人, 廣瀬哲也, 黒木修隆, 沼 昌宏, “メタル配線により再構成可能なセルと論理再合成への応用”, DA シンポジウム 2012, pp. 7-12, 2012.
- [5] F. Braglez and H. Fujiwara, “A neutral netlist of 10 combinational benchmark circuits and a target translation in FORTRAN,” ISCAS-85, 1985.
- [6] M. Konjinentmrgl, H. Linden, J. Geuzebroek, “Benchmarking DAT with the ITC’99 ATPG Benchmarks,” proc. International Test Conference (ITC’99), p. 1127, 1999.