

RECON セル割当ての実現可能性と配線長コストを考慮した論理再合成手法 An Incremental Synthesis Technique Based on Feasibility of RECON Cell Assignment and Wiring Cost

放生 卓[†] 中野 洋[†] 黒木 修隆[†] 沼 昌宏[†]
Suguru Hojo Hiroshi Nakano Nobutaka Kuroki Masahiro Numa

1. はじめに

LSI 設計において、機能仕様の変更や設計誤りの混入等により、設計変更要求 (ECO : Engineering Change Order) がしばしば発生し、設計のやり直しや人手による部分修正が行われている。マスク製造後など設計の後期段階で発生する ECO (post-mask ECO) に対しては再設計が必要となる場合が多く、設計期間やコストが増大する要因となる。1 回以上の再設計が必要になった LSI は全体の 70% 程度に及び、その原因の 91% が論理設計の不具合によるものと報告されている [1]。

Post-mask ECO に対応する手法として、製造済みのトランジスタ形成用マスクを再利用し、配線層マスクのみ再設計する手法 (メタル修正) が提案されている [2]。100 nm プロセスにおいて、トランジスタ形成用マスクは、マスクセットのコストの約 68% を占める [3] ため、メタル修正は post-mask ECO に対応するための有用な手法である。

本稿では、post-mask ECO に対する設計変更の実現可能性を高めるとともに、設計変更による最大遅延時間の増加を抑制することを目的とした、論理再合成手法を提案する。

2. 関連研究

2.1 論理診断に基づく論理再合成

論理診断に基づく論理再合成 [4] とは、論理設計誤りの自動修正を行う論理診断を用いて修正箇所や修正方法を特定し、最小限の修正で post-mask ECO に対応しようとする手法である。この手法は、配線層マスクのみ変更するため、既存レイアウトのセル配置は固定した状態で、ECO 対応後の仕様を満たす回路を実現する必要がある。そこで、ECO 発生前の初期設計段階で、スペアセルと呼ばれる余剰なセルをチップ上に予め配置しておき、ECO 対応段階で必要に応じてこのスペアセルを用いて配線変更を行う。

これまでにスペアセルとして、一つのセルで複数の論理のいずれかを実現可能な reconfigurable cell (RECON セル) が提案されている [5]。RECON セルは、トランジスタを形成する層に最も近い配線層 (METAL1) のみの変更で、スペアセルかデカップリング・コンデンサ (DECAP) のいずれか一方として利用可能という特徴をもつ。

RECON セルは、それを構成するトランジスタ数によって 2T/4T/6T-RECON セルに分類される [6]。表 1 に 2T/4T/6T-RECON セルで実現可能な素子を示す。トランジスタ数が多いほど面積や消費電力は大きくなるが、実現可能な論理機能が増加する。2T/4T/6T-RECON セルをスペアセルとして用いることで、従来の論理機能が固定されたスペアセルより少ないセル数で設計変更を行うことができるため、スペアセル不足を解消すると同時に配線長増加も抑え、タイミング制約違反の誘発を抑制することができる。

表 1 2T/4T/6T-RECON セルで実現可能な素子

セル名	実現可能な論理機能
2T-RECON	DECAP, INV
4T-RECON	DECAP, INV, NAND2, NOR2
6T-RECON	DECAP, INV, NAND2, NOR2, NAND3, NOR3, AND2, OR2, AOI21, OAI21, BUF

2.2 問題点

これまでに述べた従来手法では、ECO 対応後の配線長増加を抑制するために、配線長コストに基づいて RECON セルの割当てを行っていた。しかしこの手法では、配線長の増加を抑制するため、4T-RECON セルで実現可能な修正に 6T-RECON セルを用いる場合があり、汎用性の高い 6T-RECON セルの利用率が高くなり、回路上の 6T-RECON セルが不足し、設計変更失敗する場合があった。

3. 提案手法

提案手法は、配線長増加の抑制を図りつつ、回路上の RECON セルを効率的に用いることで、ECO 対応の実現可能性を従来手法より向上させることを目的としている。図 1 に、提案手法の処理概要を PAD (Problem Analysis Diagram) で示す。提案手法は、以下の 3 つの処理に大別できる。

- 6T 論理の必要数に基づく修正順序の決定
- RECON セル利用優先度に基づくセル割当て
- 配線長コストに基づくセル割当て

3.1 6T 論理の必要数に基づく修正順序の決定

提案手法では、修正箇所が複数存在する場合に、6T-RECON セルでなければ実現できない論理 (以下、6T 論理) のセル割当てを優先的に実行するために、次の処理によって修正順序を決定する。

- 論理診断で得られた修正解に基づいて BLIF (Berkeley Logic Interchange Format) ファイルを生成する。
- BLIF ファイルを論理合成ツールに入力し、テクノロジー・リマッピングを行う。

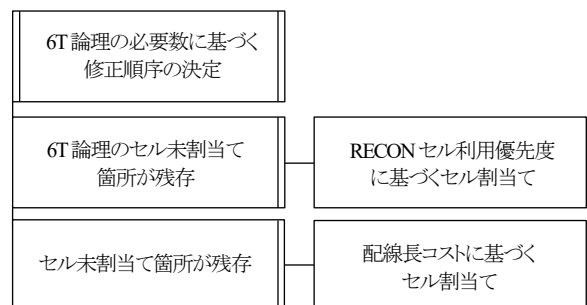


図 1 提案手法の概要

[†] 神戸大学, Kobe University

- iii) リマッピング結果をもとに各修正箇所に必要な 6T 論理の数を求め、その降順に修正を行う。

3.2 RECON セル利用優先度に基づくセル割当て

提案手法では、RECON セル割当ての実現可能性を高めるために、次のような RECON セル利用優先度に基づいてセル割当てを実行する。

- i) INV を実現する場合は 2T-RECON セルを選択する。
2T-RECON が不足している場合は 4T-RECON セルを、
4T-RECON が不足している場合は 6T-RECON セルを選択する。
- ii) 2 入力 NAND あるいは NOR を実現する場合は 4T-RECON セルを選択する。4T-RECON セルが不足している場合は 6T-RECON セルを選択する。

この RECON セル利用優先度に基づいてセル割当てを実行することで、冗長なトランジスタをもつ RECON セル割当てを抑制し、回路上の RECON セルを効率的に利用する。

3.3 配線長コストに基づくセル割当て

提案手法では、6T 論理のセル割当てが完了した段階で、RECON セル利用優先度に基づくセル割当てから、配線長コストに基づくセル割当て [6] に切り替える。配線長コストに基づくセル割当てでは、回路上の RECON セルに対して配線長コストを付与し、利用可能な RECON セルの中で配線長コストが小さいものを選択する。このように RECON セルを選択することで、図 2 に示すように修正箇所に近い RECON セルを選択し、配線長増加の抑制を図る。

提案手法では、RECON セル利用優先度に基づくセル割当てと、配線長コストに基づくセル割当てを組み合わせることで、RECON セルが不足する可能性を低減しつつ、配線長の増加を抑制するような論理再合成の実現を図る。また、6T 論理のセル割当てを優先的に実行することで、配線長コストに基づくセル割当てへと早い段階で切り替え、配線長増加の抑制効果の向上も図る。

4. 実験と考察

4.1 実験概要

評価対象回路として、ISCAS' 85 ベンチマーク回路 C5315, C6288, C7552 [7] に対して 2T/4T/6T-RECON スペアセルを回路面積の約 0.5% を占めるように挿入した回路を用いた。設計ルールには 0.18 μm プロセスを用いた。これらの回路において、修正すべきセルとその修正方法を実験的に選択し、評価実験を行った。修正すべきセルの数（多重度）は 1~5 とし、各多重度で 30 例の修正パターンを用意した。合計 $3 \times 5 \times 30 = 450$ 例の回路例を対象として、従来手法 [6] と提案手法を適用した。

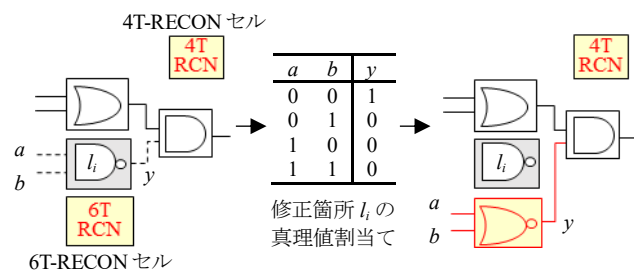


図 2 配線長コストに基づく RECON セル割当て

表 2 タイミング制約を考慮した修正成功率 [%]

多重度	従来手法	提案手法
1	97.8	96.7
2	80.0	84.4
3	74.4	76.7
4	61.1	68.9
5	48.9	57.8
平均	72.4	76.9

4.2 実験結果と考察

表 2 に、タイミング制約を考慮した修正成功率を示す。なお本評価実験では、タイミング制約は、修正と比較した最大遅延時間の増加が 0.05 ns 以内であることとし、これを満たしつつ RECON セルの割当てに成功した場合を修正成功とする。全回路例の修正成功率の平均値に関して、提案手法は従来手法よりも 4.5 pt 高い値を示し、その効果が確認された。

多重度別にみると、多重度 2 で 4.4 pt、多重度 3 で 2.3 pt、多重度 4 で 7.8 pt、多重度 5 で 8.9 pt、提案手法が高い修正成功率を示した。一般的に、修正箇所の多重度が高くなるほど、必要となるスペアセル数は増加する傾向にある。提案手法では 6T 論理のセル割当てを優先的に実行するため、6T-RECON セルが必要な際にそれが不足する可能性を低減できる。このため、回路上の 2T/4T/6T-RECON セルを効率的に利用することができ、多重度が高い場合に提案手法の優位性が特に顕著になったと考えられる。

一方で、多重度 1 の回路例について、提案手法は従来手法と比較して 1.1 pt 低い修正成功率を示した。多重度 1 の場合、修正に必要なスペアセル数が少なく、スペアセル不足となる可能性は低いため、配線長増加の抑制を重視した従来手法が若干有利であったと考えられる。

5. まとめ

本稿では、RECON セル割当ての実現可能性と配線長コストを考慮した論理再合成手法を提案した。提案手法を計算機上に実装して評価実験を行った結果、タイミング制約を考慮した修正成功率を従来手法と比べて 4.5 pt 向上させる効果を確認した。

今後の課題としては、余剰な RECON セルをバッファ挿入し、タイミング制約違反を解消すること等が挙げられる。

参考文献

- [1] Collett International Research, 2005 IC/ASIC Design Closure Study, 2005.
- [2] D. Josephson, "The good, the bad, and the ugly of silicon debug," DAC 2006, pp. 24–28, Jul. 2006.
- [3] A. Balasinski, "Optimization of sub-100-nm designs for mask cost reduction," Journal of Microlithography, Microfabrication, and Microsystems, vol. 3, no. 2, pp. 322–331, Apr. 2004.
- [4] H. Inoue, T. Iwasaki, T. Sugane, M. Numa, and K. Yamamoto, "Application of error diagnosis technique to incremental synthesis," IEICE Trans. Fundamentals, vol. E86–A, no. 12, pp. 3214–3217, Dec. 2003.
- [5] H. T. Chen, C. C. Chang, and T. Hwang, "Reconfigurable ECO cells for timing closure and IR drop minimization," IEEE Tans. VLSI systems, vol. 12, pp. 1686–1695, no. 12, Dec. 2010.
- [6] H. Senzaki, T. Matsuyama, K. Watanabe, T. Hirose, N. Kuroki, and M. Numa, "Reconfigurable cells for post-mask ECO," SASIMI 2012, pp. 199–204, Mar. 2012.
- [7] F. Brglez and H. Fujiwara, "A neutral netlist of 10 combinational benchmark circuits and a target translation in FORTRAN," ISCAS'85, Apr. 1985.