

異なる高位合成環境下における 2次元 FFT 演算回路の作成と比較

Design and comparison of Two-dimensional fast Fourier transform circuit by using various high level synthesis methods

大森 一世*
Issei Omori佐藤 紘将*
Hiromasa Satou柁津 祐*
Yu Netsu増田 信之*
Nobuyuki Masuda

1. まえがき

近年, FPGA(Field Programmable Gate Array) は各種電子機器に幅広く用いられ, 大規模化かつ複雑化している. FPGA を用いて回路開発を行う際, 一般的には HDL と呼ばれるハードウェア記述言語が用いられるが, 近年では開発効率の向上の為, 高級言語による動作記述から HDL を自動で作成できる高位合成という技術が目ざされている. 高位合成環境は一つのベンダーだけでも複数存在し, それぞれ開発フローが異なる為高速化にアプローチする上でそれぞれの有用性を検証する.

実際の計算対象としては 2次元 FFT 計算回路を用い, その高速化を目的とした. 我々の研究室ではデジタルホログラフィ専用計算機の研究が行われており, 内部には 2次元 FFT 計算回路が用いられている. 現状では 1次元 FFT 計算回路を 2回用いることで 2次元 FFT 計算回路を実現している為, 2次元 FFT のアルゴリズムを用いた 2次元 FFT 計算回路を FPGA に実装できれば, 更なる計算機の高高速化が期待できる [1].

2. 高位合成

2.1 高位合成の概要

ビヘイビアレベルで記述されたソースコードから自動で HDL を生成する行程の事を高位合成と呼ぶ. 高位合成を用いれば抽象度の高い環境で設計出来る為, 開発効率は非常に高いと言える.

Xilinx 社ではいくつかの高位合成環境が提供されているが, 本研究ではその中でも様々な先行研究により有用性が示されている Vivado HLS と後発である SDAccel という二つの開発環境に焦点を当てて比較をしている.

また, Xilinx 社で提供している高位合成ツールでは多数の最適化指示詞が用意しており, 今回は PIPELINE と LOOP UNROLL を用いて検証した.

2.2 Vivado HLS の概要と開発フロー

Vivado HLS とは Xilinx 社の提供する高位合成ツールの一つであり, 主に C, C++, SystemC など記述したソースコードから Xilinx 社製 FPGA 用の HDL を自動で生成できる.

Vivado HLS を用いた実機実装までの開発フローを図 1 に示す.

ターゲットとなるコードとテストベンチとなるコードを C 言語や C++ で用意し, 高位合成でコードを HDL に変換する. この HDL を用いて RTL シミュレーションを行うことで, 実機実装後の正確なリソース使用量や動作時間が明確になる. 本研究では, RTL シミュレーションで得られた値を用いて FPGA ボードのリソース使用量や動作時間の比較検討を行っている. ここから実機実

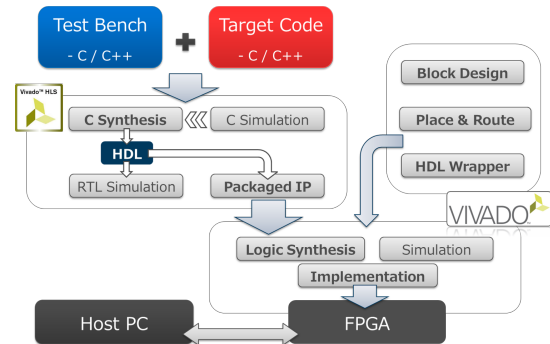


図 1: Vivado HLS を用いた場合の開発フロー

装の為には得られた HDL を IP パッケージングし, Xilinx 社の提供する Vivado という論理合成ツールにて開発を進める必要がある [2].

2.3 SDAccel の概要と開発フロー

SDAccel も HLS と同じく Xilinx 社の提供する高位合成ツールの一つであり, OpenCL に準拠した高位合成開発環境である. SDAccel を用いる利点としては, OpenCL, C, C++ で記述されたソースコードを CPU/GPU と同様の開発環境とランタイムで FPGA へ実機実装することができる点が挙げられる.

SDAccel 環境における開発フローを図 2 に示す.

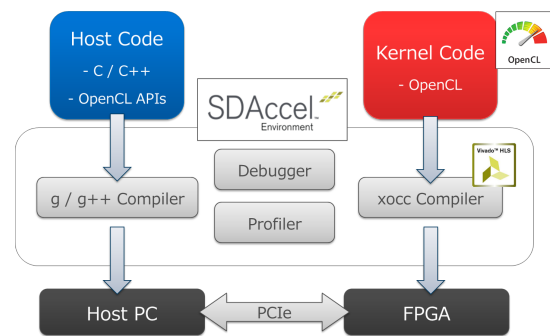


図 2: SDAccel における開発フロー

任意のソースコードにおいて, ホスト PC の CPU で処理する箇所を C, C++ で記述し, FPGA で計算させるカーネルコードを OpenCL で記述する. 合成段階において, C, C++ で記述されたホストコードは一旦オブジェクトファイルにコンパイルされ, ランタイム共有ライブラリとリンクすることで実行ファイルが生成される. 一方カーネルコードは Vivado HLS に準拠した xocc コンパイラを用いて一旦オブジェクトファイルにコンパイル

*東京理科大学基礎工学部

される。その後、ハードウェアプラットフォームにリンクされ、全ての配置配線やラッピングなどの作業を自動で行い、実機実装できる状態のFPGAバイナリが生成される [3]。

3. 実験結果

3.1 シミュレーション環境

本研究におけるターゲットデバイスは Xilinx 社製の FPGA ボード KCU-1500 とした [4]。また、高位合成を行った環境を以下の表 1, 2 に示す。

表 1: Vivado HLS シミュレーション環境

| | |
|------|-------------------------------|
| CPU | Intel Core i5-7600T 2.80[GHz] |
| メモリ | 16.00[GB] |
| OS | Windows10 Pro |
| 開発環境 | Vivado HLS 2018.2 |

表 2: SDAccel シミュレーション環境

| | |
|------|-------------------------------|
| CPU | Intel Core i5-7600T 2.80[GHz] |
| メモリ | 16.00[GB] |
| OS | CentOS 7.6 |
| 開発環境 | SDAccel 2018.2 |

3.2 シミュレーション結果

まず、入力データ 8×8、データ型 double の場合の 2次元 FFT プログラムの高位合成結果を以下の表 3 に示す。

表 3: 8×8 double 型での高位合成結果 -動作時間-

| 合成環境 | 最適化指示詞 | 動作時間 [ns] |
|------------|----------|------------|
| Vivado HLS | なし | 129,357.28 |
| | pipeline | 852.70 |
| | unroll | 9,988.19 |
| | both | 713.48 |
| SDAccel | なし | 187,940.08 |
| | pipeline | 217,718.08 |
| | unroll | 187,940.08 |
| | both | 217,718.08 |

表 3 より全ての条件において SDAccel で高位合成を行ったプログラムの方が遅くなっている事が分かる。特に最適化指示詞を付加した場合の差は顕著であり、原因としては SDAccel において正常に最適化が行われなかった事が挙げられる。また、SDAccel において pipeline 指示詞については動作時間の改善に効果があったが unroll 指示詞については全く作用していない。

次に、最適化指示詞を挿入していない状態での異なる入力データサイズ、データ型の場合の高位合成結果を以下の表 4 に示す。

表 4: 異なる入力データサイズ、データ型での高位合成結果 -動作時間-

| 合成環境 | データサイズ | データ型 | 動作時間 [ns] |
|------------|--------|--------|--------------|
| Vivado HLS | 8×8 | double | 129,357.28 |
| | 16×16 | double | 2,773,783.95 |
| SDAccel | 8×8 | float | 108,794.10 |
| | 8×8 | double | 187,940.08 |
| | 16×16 | double | 3,457,558.67 |
| | 8×8 | float | 152,527.12 |

表 4 を参照すると Vivado HLS, SDAccel 共にデータサイズが 4 倍になることで動作時間はおよそ 2 倍になっている。異なるデータ型について比較しても、Vivado HLS, SDAccel 共にデータ幅を小さくすることでリソース使用量及び動作時間の改善が見取れる。

4. まとめと今後の課題

複雑なループ構造のプログラムを SDAccel 環境で高位合成する場合、FPGA での計算最適化手法においてかなり有効であるパイプライン化やループアンロールを正常に行い、並列処理をさせることが出来なかった。しかし、ループ構造を工夫することで SDAccel 環境で最適化指示詞を用いることは可能であると考えられ、更に最適化指示詞を用いない状態であれば概ね Vivado HLS に近い動作時間を得ることが出来た。それゆえにプログラム自体の改善をする上では、CPU/GPU と同様の開発環境とランタイムで実機実装を行える SDAccel は 2次元 FFT 計算回路の開発に十分有効だと言える。

今後の展望としては、その他の最適化手法の検証や入力データ幅の縮小を試みる事が挙げられる。

参考文献

- [1] 佐藤紘将, 廣田祐輔, 山本洋太, 増田信之 (2018), "C-002 DHPTV 高位合成を用いた 2次元 FFT 計算回路の作成と検証 (コンピュータ・システム, 一般論文), 情報科学技術フォーラム講演論文集", 164.
- [2] Xilinx Inc., "Vivado Design Suite Tutorial", https://www.xilinx.com/support/documentation/sw_manuals/xilinx2014_2/ug871-vivado-high-level-synthesis-tutorial.pdf, (参照 2019-06-17)
- [3] Xilinx Inc., "SDAccel Programmers Guide", https://china.xilinx.com/support/documentation/sw_manuals/xilinx2018_2/ug1277-sdaccel-programmers-guide.pdf, (参照 2019-06-20)
- [4] Xilinx Inc., "Xilinx Kintex UltraScale FPGA KCU1500 Acceleration Development Kit", <https://www.xilinx.com/products/boards-and-kits/dk-u1-kcu1500-g.html>, (参照 2019-06-20)