

# 論理再合成における遅延時間抑制に有効な RECON スペアセルの概略配置手法

## A Global Placement Method for RECON Spare Cells to Suppress Increase in Delay Time with Incremental Synthesis for ECO

明石 淳平<sup>†</sup>, 澤井 剛史<sup>†</sup>, 廣瀬 哲也<sup>†</sup>, 黒木 修隆<sup>†</sup>, 沼 昌宏<sup>†</sup>

Junpei Akashi<sup>†</sup> Takeshi Sawai<sup>†</sup> Tetsuya Hirose<sup>†</sup> Nobutaka Kuroki<sup>†</sup> Masahiro Numa<sup>†</sup>

### 1. はじめに

LSI 設計においては, 設計対象回路の大規模化や動作周波数の向上, プロセスの複雑化, 設計期間短縮の必要性から, 計算機による設計支援や, 設計自動化の技術が必要不可欠となっている。一方, LSI 製造工程の様々な場面で, 仕様変更やタイミング制約違反, 設計誤りの混入等により, 設計変更要求 (ECO: Engineering Change Order) が発生しており, 設計のやり直しや人手による回路の部分修正が行われている。特に, マスク製造後など設計の後期段階で発生する ECO (post-mask ECO) に対しては再設計が必要となる場合が多く, 設計期間やコストが増大する要因となる。1 回以上の再設計が必要になった LSI は全体の 70% 程度に及び, その原因の 91% が論理設計の不具合によるものと報告されている [1]。

マスク製造後の ECO に対応する手法として, 製造したトランジスタ形成用マスクを再利用し, メタル層マスクのみ再設計する手法 (メタル修正) が提案されている [2]。100 nm プロセスにおいて, トランジスタ形成用マスクは, マスクセットのコストの約 68% を占める [3] ため, メタル修正は post-mask ECO に対応する有用な手段である。そこで, 論理設計誤りの自動修正を行う論理診断を用いて修正箇所や修正方法を特定して最小限の修正で ECO に対応する論理再合成手法 [4] に関する研究が行われている。

本稿では, 仕様変更に対応しつつ論理再合成後の最大遅延時間抑制に有効な, RECON スペアセルの概略配置手法を提案する。

### 2. 関連研究

#### 2.1 論理診断に基づく論理再合成

論理診断に基づく論理再合成とは, 回路中に含まれる論理設計誤りに対する自動修正技術である論理診断手法を, 論理再合成に応用した手法である。この手法は, マスク製造後の設計変更を目的としているため, 既存のレイアウトのセル配置は固定した状態で, 配線変更のみで論理機能変更後の回路を実現することが可能である。実際のレイアウト設計では, スペアセルと呼ばれる余剰なセルを設計変更に合わせてチップ上にあらかじめ配置する。このスペアセルを用いることで, セル配置を固定したまま, 配線変更のみで論理機能変更後の回路を実現する。

現在スペアセルとして用いられているのが, 一つのセルで複数の論理を実現することができる reconfigurable cell (RECON セル) [5] である。RECON セルは, トランジスタを形成する層に最も近いメタル層 (METAL1) のみの変更で, スペアセルかデカップリング・コンデンサのいずれか一方として利用可能という特徴をもつ。RECON セルは, それを構成するトランジスタ数によって 2T/4T/6T-RECON セルに分類される。6 トランジスタで構成される

6T-RECON セルは, 実現できる素子の種類は多いが, 面積および消費電力が大きい。逆に, 2 トランジスタで構成されている 2T-RECON セルは, 実現できる論理素子はインバータのみだが, 面積が小さく消費電力が少ない。

RECON セルをスペアセルとして用いることで, より少ないスペアセル数で修正を行うことができるため, スペアセル不足を解消すると同時に配線長増加も抑え, タイミング制約違反の誘発を抑制することができる。

#### 2.2 問題点

従来手法では, RECON スペアセルを予め回路に埋め込む際には, チップ全体に一樣に配置していた。しかし, 初期回路の配線密度を考慮していないため, 配線混雑度の高低に関係なく, スペアセルを一樣に配置していた。そのため, 配線が混雑している部分で修正が必要になると, 配線の自由度が低いために配線長が増加し, タイミング制約違反を誘発する可能性が高まる点に問題があった。他方, 周辺にセルが少ない部分では ECO によって修正が必要となることが少ないため, 付近の RECON スペアセルの必要性が低下する。さらに, 修正に用いられない RECON セルが残る一方で, 別の領域では局所的な RECON セル不足によって最大遅延時間が増加する場合があった。

### 3. 提案手法

図 1 に, 本稿で提案する RECON スペアセルの概略配置手法の概要を示す。まず, 与えられた仕様をもとに, 機能, 論理設計を行う。次に, 従来手法に従って RECON スペアセルを均等に配置するようにレイアウト設計を行う。続いて, 1) 初期配線余裕度抽出において, 初期配線結果から配線混雑度の低さを表す, 配線余裕度を抽出する。次に, ECO を仮想的に発生させ, 論理診断, 論理再合成を行う。その後, 2) 論理再合成試行結果解析において, 前に行った論理診断・再合成の結果から, 局所的な RECON スペアセルの利用比率, および種別比率を抽出する。さらに, 処理 1) と 2) によって得られた情報をもとに, 配線混雑や局所的な RECON スペアセル不足といった問題を解消すべく, RECON スペアセルの配置を決定する。提案手法により決定した RECON スペアセル配置によって, 求められる仕様変更を満たし, 従来手法よりも論理再合成後の最大遅延時間を抑制できる回路修正を可能とする。

#### 3.1 初期配線余裕度抽出

初期配線余裕度抽出処理では, 初期配線結果に関して, 図 2 に示すように  $4 \times 4 = 16$  等分する。レイアウトツール (IC Compiler) で表示される初期配線図では, 背面が黒色, 配線部分は黒以外の色で表されている。よって, 黒色のピクセル数を求めることで, 簡易的に配線余裕度を数値化することができる。この方法を用いて, 16 等分された各領域の黒色部分の割合を配線余裕度  $R_{no-wire}$  と定義する。

$R_{no-wire}$  は

$$R_{no-wire} = \frac{\text{無配線領域面積 (黒色部分)}}{\text{面積}} \times 100 [\%] \quad (1)$$

で表される。配線余裕度  $R_{no-wire}$  の数値は、高いほど配線領域に余裕があり、低いほど配線が混雑していることを示す。

### 3.2 論理再合成試行結果解析

論理再合成試行結果解析処理では、複数の仮想 ECO に対する論理再合成の結果から、全 RECON スペアセルの利用率を抽出する。次に、従来手法での RECON スペアセル配置結果を前節と同様に  $4 \times 4 = 16$  等分する。回路の外側は、RECON スペアセルを配置しても効果は薄いため、16 分割する領域から除外した。16 等分された各領域で、最も利用率が高い RECON スペアセルの利用率を、その領域の RECON スペアセル利用率  $R_{usage}$  として抽出する。例えば、ある領域に利用率 60% と 40% の RECON スペアセルが存在する場合は、この領域の RECON スペアセル利用率  $R_{usage} = 60\%$  とする。仮想 ECO に対する結果ではあるが、 $R_{usage}$  の値が大きいほど RECON スペアセル利用期待値が高く、小さいほど RECON スペアセル利用期待値が低いことを示す。

### 3.3 概略配置決定

RECON スペアセルの概略配置を決定するため、各領域の RECON スペアセル重要度  $R$  を

$$R = R_{no-wire} + R_{usage} / 4 \quad (2)$$

と定義する。 $R_{no-wire}$  と  $R_{usage}$  は共通して、値が高いほど必要する RECON スペアセル数が多くなるため、両者を加えることで、配線余裕度と RECON スペアセルを考慮した一つの値が算出される。 $R_{usage}$  の値域は 0~100 であるのに対して、 $R_{no-wire}$  は広く見積もって 65~90% 程度のため、 $R_{usage}$  を 4 で割ることで配線余裕度と RECON スペアセル利用率の変化幅を一致させる。そして RECON スペアセル重要度  $R$  が平均よりも高い領域順について、 $R$  の降順に 2T, 4T, 6T-RECON を 1 個ずつあてはめる。それらに余剰が生じる場合は、再度  $R$  の降順に当てはめていく。

## 4. 実験結果と考察

### 4.1 実験概要

診断対象回路としては、ISCAS'85 ベンチマーク回路 C880 [6] に対し、ランダムに生成した 3~5 箇所機能誤りを混入させた回路 60 例を採用した。それらの例に対して、RECON スペアセルを均等に配置した回路と提案手法による配置による回路それぞれについて、論理診断に基づく論理再合成を行った。本実験では、最大遅延時間の変化量を評価項目とする。

### 4.2 実験結果と考察

図 3 に、最大遅延時間変化量に関する結果を示す。60 例中 44 例で最大遅延時間の短縮に成功した。また、提案手法による配置では、RECON スペアセルを片側に偏って配置したにも関わらず、最大遅延時間が増加したのは 7 例のみであった。RECON スペアセル重要度  $R$  をもとに、RECON スペアセル利用率と配線余裕度が高い領域に RECON スペアセルを配置することで、最大遅延時間増加の抑制が可能になった。

## 5. まとめ

本稿では、仕様変更に対応しつつ論理再合成後の最大遅延時間抑制に有効な RECON スペアセルの概略配置手法を提案した。実験の結果、60 例中 44 例で最大遅延時間の抑制に成功した。

今後の課題としては、回路修正に用いる RECON スペアセルの効率的な選択方法を決定するアルゴリズムの構築が挙げられる。

## 参考文献

- [1] 古川 寛, “LSI 開発における検証の重要性を考える”, Design Wave Magazine, 2007 年 3 月.
- [2] D. Josephson, “The good, the bad, and the ugly of silicon debug,” DAC 2006, pp. 24–28, Jul. 2006.
- [3] A. Balasinski, “Optimization of sub-100-nm designs for mask cost reduction,” Journal of Microlithography, Microfabrication, and Microsystems, vol. 3, no. 2, pp. 322–331, Apr. 2004.
- [4] H. Inoue, T. Iwasaki, T. Sugane, M. Numa, and K. Yamamoto, “Application of error diagnosis technique to incremental synthesis,” IEICE Trans. Fundamentals, vol. E86-A, no. 12, pp. 3214–3217, 2003.
- [5] H. T. Chen, C. C. Chang, and T. Hwang, “New spare cell design for IR drop minimization in engineering change order,” Proc. ACM/IEEE Design Automation Conf., pp. 402–407, 2009.
- [6] F. Brglez and H. Fujiwara, “A neutral netlist of 10 combinational benchmark circuits and a target translation in FORTRAN,” ISCAS'85, 1985.

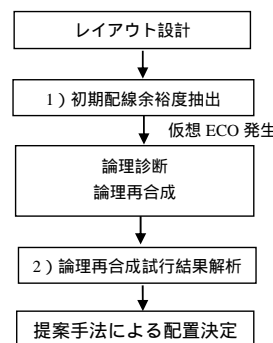


図 1 提案手法の概要

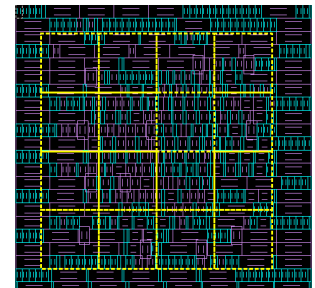


図 2 16 分割の例

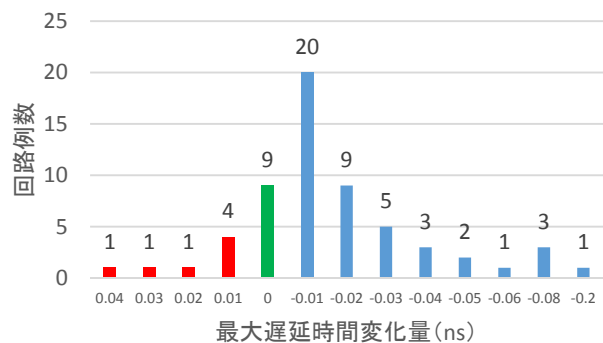


図 3 提案手法による最大遅延時間変化量