

誤り追跡入力追加生成に基づく論理診断処理の効率化

An Efficient Error Diagnosis Technique

Based on Incremental Input Pattern Generation for Locating Design Errors

大村祥吾[†], 竹崎彩乃[†], 廣瀬哲也[†], 黒木修隆[†], 沼 昌宏[†]Shogo Omura[†], Ayano Takezaki, Tetsuya Hirose[†], Nobutaka Kuroki[†], and Masahiro Numa[†]

1. はじめに

大規模化・複雑化が進む LSI 設計・製造工程において、仕様変更や設計誤りの混入、タイミング制約違反などにより、設計変更要求 (ECO: Engineering Change Order) が生じる場合がある。設計期間やコストの増加を抑制しつつ ECO に対応する手法として、回路に含まれる論理設計誤りを自動的に修正する論理診断手法 [1], [2] に基づき、配線変更のみで修正を実現する論理再合成手法 [3], [4] が提案されている。従来手法である、充足可能性判定に基づく誤り追跡入力生成と機能特定を用いた論理診断手法 [1] では、SAT ソルバを用いることで、BDD (Boolean Decision Diagram) が構築できない大規模な回路についても論理診断を可能とする。一方、組合せ箇所抽出・絞り込みを目的として、平均化 EPI (Error Possibility Index) 群に基づく組合せ箇所抽出手法 [5] が提案されているが、対象回路によっては各箇所の不一致外部出力への可制御性を表す EPI 値が大きい値のまま残存するために、組合せ箇所抽出に時間を要する点が課題となっている。

そこで本稿では、論理診断処理の時間短縮を目的として、誤り追跡入力追加生成に基づいて組合せ箇所抽出に要する時間を短縮する手法を提案する。

2. 論理診断手法の概要

必要な用語の定義を行った上で、本稿で扱う論理診断手法の概要について述べる。

定義 1 機能仕様, LUT 回路, 診断対象回路

実現すべき機能仕様 S を、 n 入力変数ベクトル $x = (x_1, \dots, x_n)$ に対する p 出力論理関数ベクトル $f_s = (f_{s1}, \dots, f_{sp})$ で表す。真理値表 (LUT: Look-Up Table) を素子とする LUT 回路が誤りを含むとき、これを診断対象回路 G と呼び、 G の外部出力関数ベクトルを $f_g = (f_{g1}, \dots, f_{gp})$ で表す。

定義 2 一致入力, 不一致入力

ある入力 $\alpha (\exists \alpha \in B^n)$ が、

$$f_{sj}(\alpha) = f_{gj}(\alpha) \quad (1 \leq j \leq p) \quad (1)$$

を満たす場合、その $\alpha = (x_1, \dots, x_n)$ を一致入力と呼び、式 (1) を満たさない入力 α を不一致入力と呼ぶ。論理設計誤りは、診断対象回路が機能仕様を満たさない場合に定義される。機能仕様を満たす回路を理想回路と呼ぶ。

定義 3 誤り追跡入力

一つの変数 X または \bar{X} を含む入力ベクトル $\alpha = (a_1, \dots, a_i, X/\bar{X}, a_{i+1}, \dots, a_n)$ に対して

$$f_{sj}(\alpha) = X, \quad (2)$$

$$f_{gj}(\alpha) = a \quad (3)$$

が成立するとき、 α を誤り追跡入力と呼ぶ。ただし、 X/\bar{X} は X または \bar{X} の一方を表し、 $a_k \in B = \{0, 1\} (1 \leq k \leq n; k \neq i)$, $a \in B$ とする。論理診断には、 n_α 個の誤り追跡入力を

適用するものとし、必要に応じてそれぞれ $\alpha_q (1 \leq q \leq n_\alpha)$ で識別する。

定義 4 修正箇所, 組合せ箇所

設計誤りを含むと想定する一つの LUT を修正箇所 l_i と呼ぶ。 m 個の修正箇所からなる空でない集合を、多重度 m の組合せ箇所と呼び、 $L^m = \{l_i | i = 1, \dots, m\}$ で表す。

図 1 に、従来の論理診断手法 [2] の処理概要を示す。まず SAT ソルバを用いて生成した誤り追跡入力をもとに、具体的な修正方法を特定せずに修正候補となる組合せ箇所の抽出と絞り込みを行う。特に初期段階で組合せ箇所数の増加を抑えることが処理時間短縮に効果的であるが、EPI はある組合せ箇所に対する誤りの可能性の指標を表し、仕様と一致しない不一致外部出力に対する可制御性を表す。この EPI を用いることで、機能変更によって外部出力の値を変化させる可能性がある組合せ箇所のみを抽出することができる。続く 6 値シミュレーションにおいては、修正後の信号値について、やはり具体的な修正方法を特定せずに評価することを可能とし、組合せ箇所の絞り込みを行う。絞り込まれた組合せ箇所に対して、該当する LUT の内容を真理値変数で表現した真理値シミュレーション、さらに最終的には SAT ソルバを用いた機能特定処理によって、修正解を得ることができる。

3. 誤り追跡入力追加生成による組合せ箇所削減

1 章で言及したように、複数の誤り追跡入力、不一致外部入力に基づいて設定された EPI 群を箇所毎に平均化することで、抽出される組合せ箇所数を抑える平均化 EPI 群に基づく組合せ箇所抽出手法 [5] が提案された。この手法は組合せ箇所削減に大きな効果を示した一方で、対象回路の規模や修正すべき組合せ箇所の多重度によっては、削減効果が限定的となる場合があった。

この問題を解決するため、大きな値のまま残存する EPI 値の低減に効果的な誤り追跡入力を追加生成して新たな EPI 群を設定することにより、抽出される組合せ箇所を削

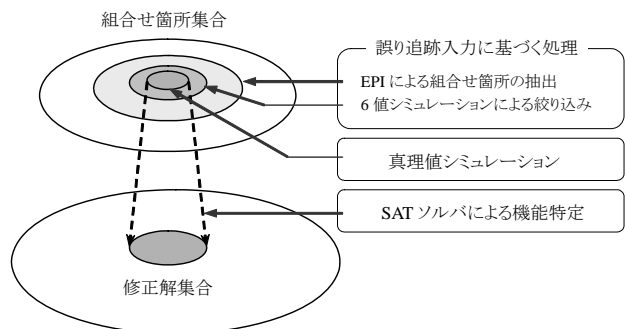


図 1 論理診断処理の概要

† 神戸大学, Kobe University

減する手法を提案する。

平均化後の EPI 値が高い箇所は、平均化対象とした各 EPI 群のそれぞれについて、比較的大きな EPI 値を示していることを意味する。そこで、それらの箇所に対する EPI 値が 0 または小さな値に留まるような誤り追跡入力を追加生成する。具体的には、EPI 値が高い 2 箇所に着目して、いずれか一方の出力値が X または \bar{X} となるような誤り追跡入力を追加生成する。図 2 に具体例を示す。赤枠で示した 2 箇所が、それぞれ 0.8, 0.7 と高い EPI 値を示している。そこで、これら 2 箇所のいずれかの出力値が X または \bar{X} となるような誤り追跡入力を追加生成した結果、EPI 値 0.5 の箇所に接続する外部出力について、理想回路の出力 $f_s = X$ に対して、診断対象回路の出力 $f_g = 1$ となる。この外部出力を起点とする EPI 群を設定すると、この箇所には EPI 値 1 が与えられる一方、0.8, 0.7 など大きな EPI 値を示す箇所には EPI 値 0 が与えられる。その結果、各 EPI 群に関して各素子に与えられた EPI 値を平均化することで、大きな EPI 値を低減することが可能となる。

4. 実験結果

従来手法および提案手法を計算機 (CPU: Core i7-3770 3.40 GHz RAM: 32 GB) 上に実装し、実験評価を行った。表 1 に示す 2 種類のベンチマーク回路に対して、5 箇所の素子機能誤りを無作為に挿入した回路を 10 例ずつ、計 20 例について実験を行った。組合せ箇所の抽出処理に要した処理時間を評価項目とする。

表 2 に実験結果を示す。C5315 の回路例 5 については約 71%、C7552 の回路例 5 については約 73%、回路例 10 については、約 86% 処理時間が削減された。このように、従来手法で処理時間を要していた回路例に対して、大幅な削減効果を確認した。その一方で、従来手法でも短時間で処理可能であった回路例に対して、提案手法によって処理時間が増加する例もあった。大幅な削減効果があった例については、実際の誤り箇所と EPI 値の高かった箇所が一致しており、処理時間が増加した例に対しては、一致しなかったため、処理時間が増加したと考えられる。

5. まとめ

本稿では、充足可能性判定に基づく誤り追跡入力生成と機能特定を用いた論理診断手法における、組合せ箇所抽出処理の効率向上による論理診断処理の効率化を目的として、平均化 EPI 群に基づく組合せ箇所抽出手法に関して、EPI 値が高い箇所に着目した誤り追跡入力の追加生成による組

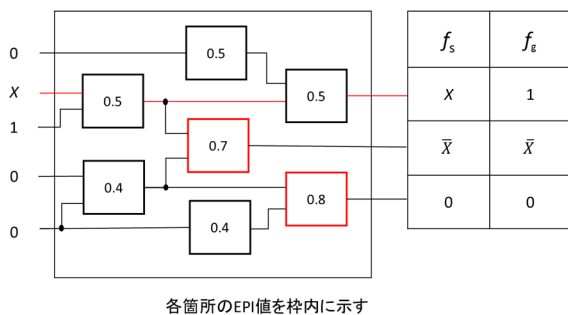


図 2 EPI 値に基づく誤り追跡入力の追加生成

表 1 ISCAS'85 ベンチマーク回路

回路名	ゲート数	LUT 数	外部入力数	外部出力数
C5315	2,307	668	178	123
C7552	3,513	805	207	108

表 2 各手法による組合せ箇所抽出処理時間 [s]

回路例	C5315		C7552	
	従来手法	提案手法	従来手法	提案手法
1	56.98	59.72	74.41	214.27
2	0.18	0.36	252.20	219.14
3	36.35	27.89	10.51	10.21
4	422.85	417.05	13.58	47.59
5	1,703	495.54	10,978	2,984
6	15.07	21.72	106.21	78.18
7	4.10	1.37	59.97	278.47
8	2.99	4.34	253.17	81.73
9	29.87	24.70	25.24	105.03
10	2.36	1.70	5,602.49	759.00

合せ箇所削減手法を提案した。

従来手法では、ランダムで 100 個生成した誤り追跡入力をを用いて組合せ箇所抽出を行うため、誤り追跡入力から生成される不一致外部出力の種類が少ない場合や、大規模回路など多くの外部入力を含む回路において、組合せ箇所を十分に絞り込めないという問題があった。提案手法では、EPI 値が高い箇所にブール変数 X または \bar{X} を伝播させる誤り追跡入力を追加生成することで、平均化後の EPI 値を低減する EPI 群を新たに設定して抽出される組合せ箇所数を削減することで、長い処理時間を要した回路例に対して、処理時間の削減を可能とした。

提案手法を計算機上に実装して評価実験を行った結果、従来処理時間を要していた C7552 の回路例 5, 10 に対して、処理時間がそれぞれ約 73% と約 86% 削減され、C5315 の回路例 5 に対して処理時間が約 71% 削減されたことから、提案手法による処理時間削減効果を確認した。

今後の課題として、EPI 値の設定に影響を及ぼす誤り追跡入力や不一致外部出力に関する検討が挙げられる。

参考文献

- [1] 沼 昌宏, 井上 宏, 皆見利行, 黒木修隆, 山本啓輔, “真理値シミュレーションに基づく LUT 論理診断手法”, 情報処理学会論文誌, vol. 43, no. 5, pp. 1252-1259, 2002.
- [2] 片山直樹, 松山友紀, 渡辺浩介, 廣瀬哲也, 黒木修隆, 沼 昌宏, “充足可能性判定に基づく誤り追跡入力生成と機能特定を用いた論理診断手法,” DA シンポジウム 2012, pp. 13-18, 2012.
- [3] H. Inoue, T. Iwasaki, T. Sugane, M. Numa, and K. Yamamoto, “Application of error diagnosis technique to incremental synthesis,” IEICE Trans. Fundamentals, vol. E86-A, no. 12, pp. 3214-3217, 2003.
- [4] 下野友大, 天満 健, 千崎弘人, 廣瀬哲也, 黒木修隆, 沼 昌宏, “メタル配線により再構成可能なセルと論理再合成への応用,” DA シンポジウム 2012, pp. 7-12, 2012.
- [5] A. Takezaki, T. Sawai, T. Hirose, N. Kuroki, and M. Numa, “An error diagnosis technique based on averaged EPI values to extract error locations sets,” SASIMI 2016, pp. 317-322, Oct. 2016.