

再構成可能デバイス MRLD のための接続欠陥テスト

Testing Method for the Interconnection Defects of MRLD

小川 達也, 王 森レイ, 高橋 寛*1

佐藤正幸*2

T.Ogawa, S.Wang, H.Takahashi

M.Sato

*1 愛媛大学

*2 株式会社 TRL

Ehime University*1 TRL Corp.*2

1. まえがき

IoT 環境や機械学習装置の構成要素を目指して、汎用メモリセルの相互接続で構成される再構成可能なデバイス(MRLD:Memory-based Reconfigurable Logic Device)が開発されている[1]. MRLD は、従来の再構成可能デバイスである FPGA とは構造が異なるメモリ機能と再構成機能によって構成されている。

本研究では、MRLD の基本構成要素である SRAM セルで構成された MLUT(Multi-output Look Up Table)間の相互接続配線 (アドレス/データ線:AD 対)における接続欠陥に対するテスト生成法を提案する。

2. MRLD の構成

ここでは、MRLD を述べる。図 1 は、MRLD の構造を示している。MRLD は、複数のプログラム可能なブロック MLUT(Multiple Look-Up-Table)がアレー状に並んで構成されている。MLUT の間は、AD 対と呼ばれるアドレス入力線とデータ出力線で相互接続されている。図 1 に示すように MLUT₂ の入力アドレス線は隣接する MLUT_s(MLUT₁, MLUT₃, MLUT₇, MLUT₉)のデータ出力線と接続している。個々の MLUT は図 1.a のように同期・非同期 SRAM ペアで構成されるため、通常のメモリモードか、または論理構成モードとして利用する。MRLD では、配線が MLUT を構成するため、FPGA で必要となる多大な配線リソースを要しない。したがって、MRLD は、低コスト・低消費電力・小遅延の利点を持っている。

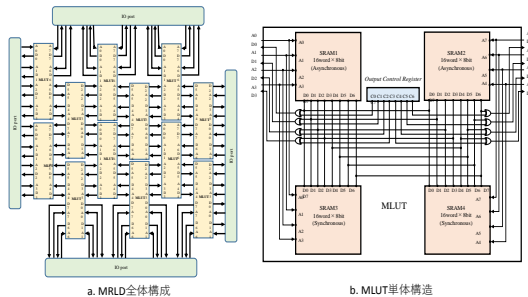


図 1 MRLD 及び MLUT の構造

2.1 論理再構成法

MLUT における論理回路と配線の構成法について説明する。図 2 では、MLUT の論理回路と配線の構成の例を示す。AND, OR ゲートを SRAM1 に、XOR と配線と NOT ゲートを SRAM2 において構成する。図 2 のように、入力とそれに対する出力を決め、SRAM1, および SRAM2 に真理値を書き込む。これにより、SRAM1 は AND, OR ゲートを実現し、SRAM2 は XOR ゲートと配線と NOT ゲートを表現する。SRAM のデータ線は OR ゲートによって、それぞれ接続されており、XOR ゲートを経て 8bits の OCR(Output Control

Register)により制御されるので SRAM の残りのデータ線の値はすべて 0 になる。OCR では、XOR 回路が機能しないように 0 を記録される。

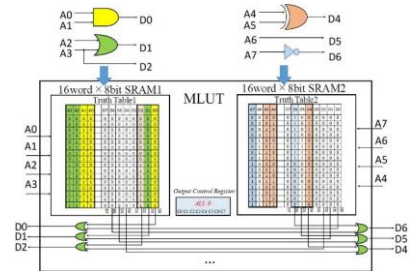


図 2 MLUT における論理再構成の例

3. 接続故障に対するテスト生成法

MRLD では、複数の MLUT が AD 対で相互接続されているため、製造不良によって AD 対で接続欠陥が存在する可能性がある。本稿では、MRLD の歩留まりと信頼性を向上するために、MLUT 間の接続故障を検出するテスト生成法を提案する。

提案するテスト方法では、MLUT の接続故障として、縮退故障およびオープン故障を対象とする。

3.1 MLUT 接続故障に対するテストの基本的考え方

ここでは、テストの基本的な考え方を述べる。MLUT は相互 AD 接続によってそれぞれ接続され、アドレス入力は隣接した MLUT の出力論理値からなる。AD 対での接続故障が存在するならば、MLUT の異なる内容(論理データ)にアクセスし、アドレスの変化が生じる。そこで MLUT の SRAM にテストデータを記録し、MRLD の論理出力の変化を観測することで接続故障を検出する。提案法では、MRLD の相互接続故障をテストするために二つテストデータを定義する。1) MRLD の外部ロジック入力に適用されるパターンを外部入力パターンとする。2) 故障を励起、および MLUT 間で伝播させるために MLUT の SRAM に記憶されるテストデータをテストキューとする。

3.2 縮退故障に対するテスト生成[2]

ここでは、縮退故障に対するテスト法を述べる。図 3 では、MLUT が[A7:A0]と[D7:D0]AD 対で構成され、アドレス入力 A0 に 1 縮退故障が生じている場合を考える。1 縮退故障をテストするために、パターン[00000000]を[A7:A0]へ印加するとき、アドレス[00000001]の内容がデータ出力される。all-0 のアドレスの内容が他のアドレスと異なるデータを MLUT の SRAM に書き込むことによって、故障を検出できる。m 対の AD 相互接続 (m ビットアドレス入力 A [m-1:0]および m ビットデータ出力 D [m-1:0]) を有する MLUT に対して、1 縮退故障のテスト生成を以下に示す。

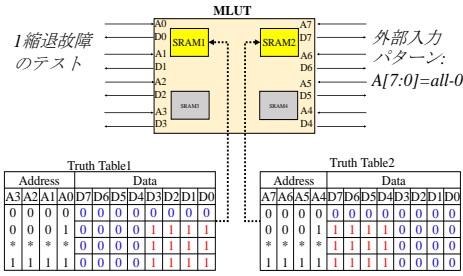


図 3 1 縮退故障に対するテストキューブ

1 縮退故障に対するテスト生成

[テストキューブの生成]

Step1: 全ての SRAM について、 $A[m-1:0]=all-zero$ の $D[m-1:0]$ の内容を全て 0 に設定する。

Step2: SRAM が MLUT の下位アドレス入力 $A[m/2-1:0]$ を共有するためには、アドレス線 $A[m/2-1:0] \neq all-zero$ の内容を $D[m-1:m/2]=all-zero$, $D[m/2-1:0]=all-one$ に設定する。

Step3: SRAM が MLUT の上位アドレス入力 $A[m-1:m/2]$ を共有するためには、アドレス線 $A[m/2-1:0] \neq all-zero$ の内容を $D[m-1:m/2]=all-one$, $D[m/2-1]=all-zero$ に設定する。

[外部入力パターンの生成]

MRLD のアドレス入力に全て 0 のパターンを設定する。

0 縮退故障に対しても同様にテストを生成する。

3.3 オープン故障に対するテスト生成法

AD 接続線が断線していることが、オープン故障である。断線している信号線は、フローティング状態であると考えられる。また、MLUT の AD 線で断線が起こった場合、その故障線における論理値は隣接線の容量の影響を受ける。このことを利用してオープン故障に対するテスト生成法を提案する。

図 4 では、オープン故障が生じている AD 線が隣接している AD 線の影響によってどのように変化するかを示している。矢印に向かって左が隣接している二つの接続線、向かって右がそれらの接続線から影響を受けた故障線の状態を表している。隣接線での論理値の立ち上がりや立ち下りの時に故障線での状態遷移を起こす。

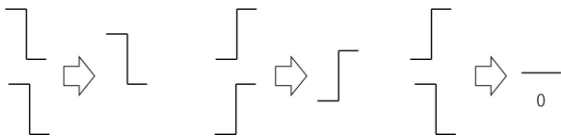


図 4 オープン故障の隣接線の影響における出力

図 5 のように互いに隣接している MLUT1, および MLUT2 が $A[7:A0]$ と $D[7:D0]$ の AD 対で構成され、MLUT1_A4 と MLUT2_A4 の間にオープン故障があると仮定する。オープン故障に対して、図 5 に示したテストキューブをそれぞれ MLUT1 と MLUT2 に設定する。MLUT1 に all-0 のテストパターンを印加すると、MLUT1 が all-1 を出力するので、MLUT2 の all-1 アドレスにアクセスする。このアドレスに対応する MLUT2 の出力が all-0 になる。MLUT1 の A4 線の論理値は正常の場合は 0 になるが、オープン故障によって隣接しているデータ線 D5 と D4 の状態 (1) の影響で 0 になってしまう。結果として、MLUT1 の入力値には 0 が現れ、出力は all-1 となり、

期待値と異なるデータ all-0 が出力されたので、故障が検出される。

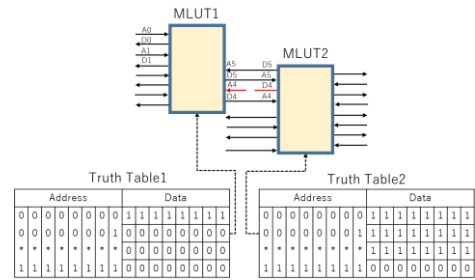


図 5 オープン故障に対するテストキューブ

4. 提案法の検証結果

提案したテスト生成法を検証するために、図 1 の a に示すように 6×6 配列に 36 個の MLUT を配置した MRLD を設計した。MRLD のネットリストに縮退故障 (0,1) を挿入し、ModelSim を用いた論理シミュレーションを行って出力値を求めた。なお、本稿では、オープン故障に対するテスト生成法に関しては検証していない。

図 6 に 1 縮退故障検出のシミュレーション結果を示す。すべての MLUT に 3.2 で示した縮退故障テスト用のテストキューブを作成する。縮退故障テスト用の MRLD のアドレス入力に all-zero を印加する。正常の回路では、all-zero が MRLD の出力で観測される。1 縮退故障を注入した時、出力値が all-one に変化する。これにより、1 縮退故障が検出できることがわかる。

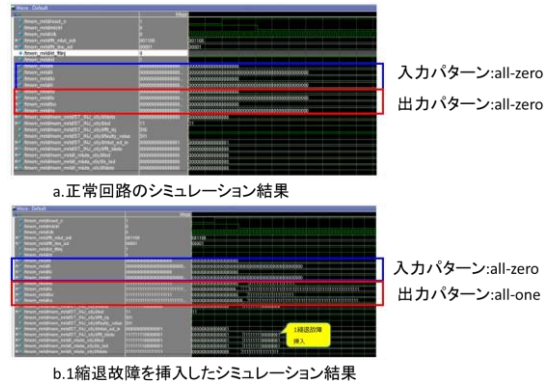


図 6 1 縮退故障を挿入した時のシミュレーション結果

5. まとめ

本稿では、まず、MRLD の構造とその動作を述べた。次に、MRLD の AD 接続線における縮退故障およびオープン故障に対するテスト生成法をそれぞれ提案した。また、提案したテスト生成法の検証のために、MRLD のネットリストへ縮退故障を挿入し、論理シミュレーションを行った。

謝辞：本研究は一部、科研費(16K00074)の援助を受けている。

参考文献

[1] M. Sato, K. Sato, M. Katsu, and I. Shimizu, "Reconfigurable logic device," Oct. 3 2014, WO Patent App. PCT/JP2014/059,703.
 [2] S. Wang, etc., "Testing of Interconnect Defects in Memory Based Reconfigurable Logic Device (MRLD)," in Proc. IEEE Asian Test Symposium, 2017, submitted.