

組み込みシステム向けホログラフィ専用計算機の開発

Development of computer dedicated to holography for embedded systems

山本 洋太*

Yota Yamamoto

山形 健太*

Kenta Yamagata

廣田 祐輔*

Yusuke Hirota

増田 信之*

Nobuyuki Masuda

原田 哲也*

Tetsuya Harada

1. まえがき

現在主流の 3 次元提示手法である両眼視差方式は、脳内で 3 次元像を復元するための手がかりが欠如しており、観察者に対して酷い吐き気を感じさせることがある [1]。一方、観察者に対して負担を掛けない究極の 3 次元提示手法として電子ホログラフィに対する期待が高まっている [2]。

しかし、電子ホログラムの計算量は膨大であり、動画として知覚される時間内に計算時間を抑えることが難しい。計算時間の削減を行ったシステムでも大型なものが多く [3][4]、小型なシステムが求められる。本研究では、ARM CPU と FPGA をワンチップに搭載した Xilinx ZYNQ シリーズを利用し、小型なホログラフィ専用計算機を開発を行った。その結果、動画として知覚可能な時間で計算可能なシステムを開発した。

2. 電子ホログラフィ

究極の 3 次元提示技術として位置づけられる電子ホログラフィであるが、その実現には主に 3 点の問題点がある。以下にその問題点を挙げる [4][5]。

1. 干渉縞であるホログラムの記録を行うセンサの解像度が現状では十分ではない。
2. ホログラムを表示するディスプレイである空間光変調器 (SLM) の解像度が現状では十分ではない。
3. 計算機ホログラムの計算量が膨大であり、動画として表示可能な時間内に計算時間を抑えることが現実的ではない。

特に、画素数 N と物体点数 m の増加にあわせ Nm で増加していく計算量の多さが、その実現を困難にしている。

ホログラムの強度 $I(x_i, y_i)$ は式 (1) のように表される。

$$I(x_i, y_i) = \sum_{j=1}^m A_j \cos \left[\frac{2\pi}{\lambda} \sqrt{(x_i - x_j)^2 + (y_i - y_j)^2 + (z_j)^2} \right] \quad (1)$$

ここで、フレネル近似式を用いて式 (1) を簡略化し、高速化を図った計算式として、式 (2) がある。

$$I(x_i, y_i) = \sum_{j=1}^m A_j \cos \left[\frac{2\pi}{\lambda} \cdot \frac{(x_i - x_j)^2 + (y_i - y_j)^2}{z_j} \right] \quad (2)$$

*東京理科大学基礎工学部

さらに、漸化式を利用し、計算量を削減した計算式 [4] もある。しかし、漸化式を利用した式は FPGA 上に多くのメモリを必要とし、ZYNQ のリソースで実現するには向いていない。また、式 (2) であれば、各画素ごとに独立して計算可能であり、比較的多くメモリを利用せずハードウェアに実装するのに向いているといえる。したがって、本研究では式 (2) を用いた。

3. FPGA を用いた専用計算機システム

先行研究として、ホログラムの計算時間削減に焦点を当て開発されたシステムとして、GPGPU を利用したもの [3] や、FPGA を利用したもの [4] がある。しかしながら、どれも大型なシステムである。電子ホログラフィの問題点として 1, 2 に挙げた点から、現状では大型の 3 次元テレビの利用法よりも、比較的小きな視域で収まる HMD (Head Mounted Display) 向け利用が適しているといえる。また、HMD 向けの利用を考えた時、ユーザの動きを束縛しないため、HMD 上でシステムが完結していることが望ましい。したがって本研究では、Xilinx ZYNQ シリーズを搭載した評価ボードである ZedBoard を利用した。

ZYNQ シリーズは ARM CPU と FPGA がワンチップに搭載された FPGA SoC であり、先行研究にあるような大型なシステムをワンチップで実装することが可能である。

ARM CPU 内では OS として Linux が動作しており、スタンドアローンで動作することが可能である。また、実際に HMD の一部として本システムを利用したとき、VR・AR 用のフレームワークとの親和性が高く、応用が期待できる。

式 (2) を用いて計算するホログラム 1 画素専用計算モジュールを図 1 に示したように FPGA 内に複数つくり、並列動作させることにより計算の高速化を図った。

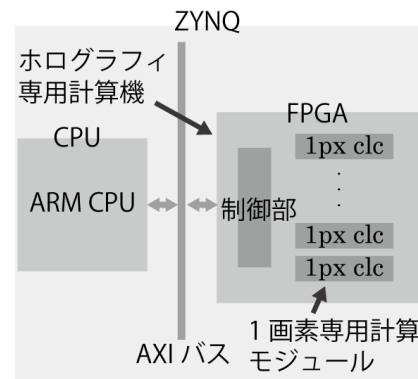


図 1: 専用計算機のブロック図

4. 評価

4.1 評価環境

ZYNQ の測定環境を表 1 に示した。

表 1: 評価環境

ZYNQ シリーズ	XC7Z020-CLG484-1
CPU	ARM Cortex-A9 MPCore 667MHz
Memory	512MB
OS	Ubuntu 14.04 LTS 32bit
Compiler	gcc 4.7.3

また、比較対象として計算時間を比較した Intel CPU での環境を表 2 に示す。

表 2: Intel PC 評価環境

CPU	Intel corei5-6600K 3.5GHz
Memory	16GB
OS	Windows7
Compiler	Visual Studio 2013

4.2 実験結果

284 点の点光源モデルから 120×120 画素のホログラム面を計算するのにかった時間を表 3 に示した。

表 3: 計算時間の比較

計算ハード	計算時間 [s]	高速化比 [倍]
FPGA	0.059	1.0
ARM のみ	11.059	190
intel CPU	0.202	3.4

表 3 より、284 点の点光源モデルからホログラムを生成した場合、0.059s の計算時間を実現した。ZYNQ 搭載 ARM CPU のみで計算した場合と比べ 190 倍高速、Intel corei5-6600K 3.5GHz の CPU においてシングルコアで計算した場合と比べ 3.4 倍高速という結果となった。

1 点と 284 点の点光源モデルに関して、1 画素専用計算モジュールの並列数と計算時間の関係を図 2 に示した。

図 1 に示した 1 画素専用モジュールは ZYNQ 内に 25 個搭載可能であった。図 2 より、1 並列時の計算時間は、1.455s であり、25 並列では、0.059s であった。並列数の増加分だけ高速化が実現されていることがわかった。

リソースの使用率について表 4 に示した。

表 4 より、DSP のみがリソース上限に達していた。このことより、現状の 25 並列という値を決めているのは DSP のリソースであることがわかる。図 2 の結果とあわせて考えると、より DSP のリソースに余裕がある上位の ZYNQ シリーズに乗り換えることによる高速化が期待できるといえる。

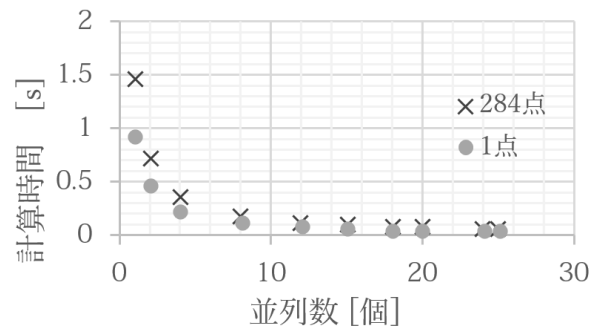


図 2: 1 画素専用計算モジュールの並列数と計算時間の関係

表 4: システム全体のリソースの使用率 (%)

	FF	LUT	BRAM	DSP48
Total [%]	15	44	13	100

5. まとめと今後の課題

Xilinx 社の ZYNQ を用いて組み込み機器向けの小さなホログラフィ専用計算機の開発を行った。本研究において、1 秒間に 27 フレーム計算可能という結果となった。一般的に、毎秒 20-30 フレームで画面を更新することにより人間に動画と知覚される。本システムの計算時間は 1 秒当たり 3 フレーム足りていない。しかし、現在のシステムでは計算結果を確認するため CPU にデータを FPGA からコピーしており、その転送にかかる時間も含まれている。最終的なシステムでは、計算結果を直接 DVI に出力するため、その分の転送時間は削減され、現時点でも動画再生用途として許容可能であると考えられる。また、並列数を増やした分だけ高速化が実現されており、上位の ZYNQ モデルへの移行によるさらなる高速化が望めると考えられる。

謝辞

本研究は JSPS 科研費 15K00175 の助成を受けたものです。

参考文献

- [1] Kramida in Ieee Transactions on Visualization and Computer Graphics, vol.22, pp.1912-1931, 2016
- [2] Y. Frauel, in Proceedings of the IEEE, vol. 94, pp. 636-653, 2006.
- [3] N.Takada, Appl Opt. ,51,7303-7307,2012
- [4] Yasuyuki Ichihashi, Opt. Express 17, 13895-13903 (2009)
- [5] 早崎芳夫, "デジタルホログラフィ", 朝倉書店, 2016