

セレクタを用いた小面積な論理ブロック SLB の提案 Proposal of small logic block SLB using selector

山本 啓輔[†]谷川 一哉[†]弘中 哲夫[†]石黒 隆[‡]

Keisuke YAMAMOTO Kazuya TANIGAWA Tetsuo HIRONAKA Takashi ISHIGURO

1. はじめに

近年, FPGA(Field Programmable Gate Array) などの再構成デバイスが幅広く利用されている. FPGA は任意の論理関数を実現する論理ブロックと, 配線要素であるスイッチブロック, コネクションブロックを用いて配線を行うことで任意の回路を構成することができる [1]. しかし, FPGA 全体における配線資源の面積割合が多く, 固定されている [2] のに対し, 多くの回路のマッピングでは配線資源の能力を全て使っていない. それを改善するため, 配線要素と論理関数の割合を柔軟に変更できる再構成デバイス MPLDTM* (Memory-based Programmable Logic Device) が提案されている [3]. これは論理ブロックである MLUT(Multiple-output Look-Up Table) が論理関数・配線要素の両方として使用できる. しかしながら, MPLD も論理回路をマッピングした際には MLUT の多くが配線要素として使用されているため, 再構成デバイス全体における配線資源は多いといえる.

そこで本稿では, 6 入力 LUT の 1/10 の面積で実現することができる MUX4 Logic Element[4] をベースとし, さらに配線資源の機能の一部を取り込んだ論理ブロック SLB(Selector-based Logic Block) を提案する. 本稿では, 従来型の論理ブロックの 1 つである MLUT と提案した論理ブロック SLB の面積比較をし, ISCAS'85 ベンチマーク回路を用いて, 提案した論理ブロックを導入した再構成デバイスの評価を行う.

以下に本稿の構成を示す. 2 節では従来の再構成デバイスの特徴, 問題点について述べる. 3 節では提案する論理ブロック SLB の詳細構造, 従来の論理ブロックにおける使用トランジスタ数の比較について述べる. 4 節では SLB を使用した再構成デバイスと従来の再構成デバイスにおいて配置配線ツールを使用した比較結果について述べる. 最後に 5 節で本稿をまとめる.

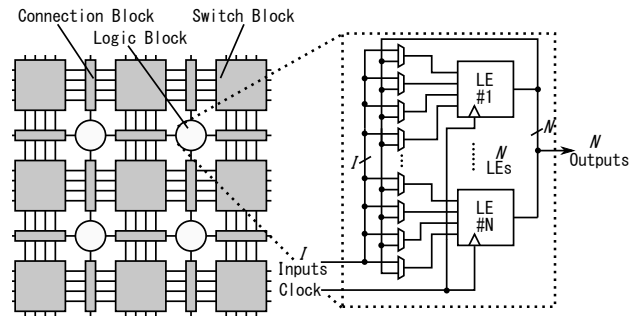


図 1 FPGA の構成例

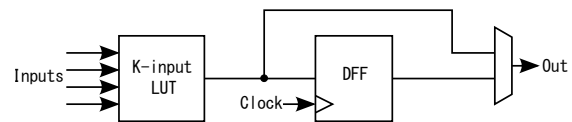


図 2 LUT 方式の論理エレメント

2. 従来型再構成デバイスの問題点

本節では従来の再構成デバイスとして, FPGA と MPLD について述べ, その後でそれらにおいて配線資源が問題になることを説明する.

2.1 FPGA

FPGA は図 1 のように任意の論理関数を実現する論理ブロックと, それらの間を配線するスイッチブロック, コネクションブロックから構成されている. 論理ブロックは図 2 のような論理エレメントを組み合わせることで構成されている. 論理エレメントはルックアップテーブル (Look-Up Table:LUT) や D-FF(D Flip Flop) を搭載することで, 任意の論理回路を実現できる構成となっている. また, 論理エレメントの実現方式としては, LUT 方式とマルチプレクサ (MUX) 方式があり, LUT 方式は作成したい関数の真理値表を SRAM セルに保存することで実現する方式であり, MUX 方式は AND, OR ゲート, マルチプレクサを用いた方式である.

FPGA では上記で述べたスイッチブロックやコネクションブロックを配線で接続することによりスイッチマトリックスが構成されており, FPGA の内部に配置された論理演算を担当する論理ブロック間の接続におい

[†] 広島市立大学大学院情報科学研究科

[‡] 太陽誘電株式会社

* MPLDTM は太陽誘電株式会社の登録商標である.

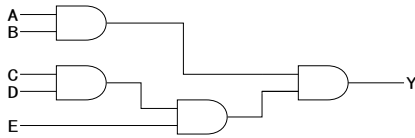


図 3 5 入力 AND

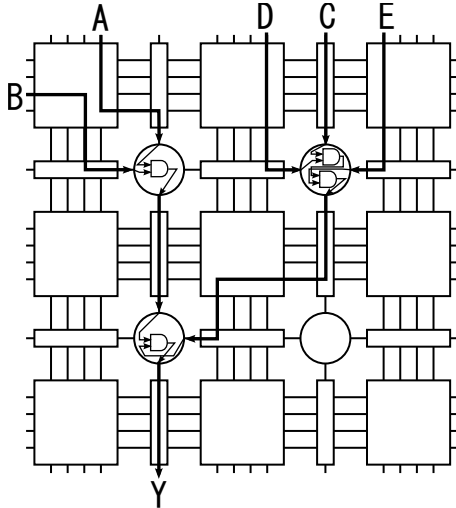


図 4 FPGA のマッピング例

て高い柔軟性を実現している。図 3 の回路を FPGA にマッピングした結果を図 4 に示す。図 4 では、1 つの論理ブロックに 4 入力 LUT が 1 つ搭載されていると仮定している。このように FPGA では配線資源により論理ブロック間が接続されているが、全ての配線資源がマッピングで使用されているわけではないため、配線資源を効率的に使用できるような手法が必要だと考えられる。

2.2 MPLD

MPLD は図 5 のように論理ブロックである MLUT をアドレス線とデータ線の対 (AD 対) によって相互接続することで構成されている。MPLD の基本素子である MLUT は論理、配線資源の双方として利用できるため、論理、配線資源の比率を自由に変更することができる。

MPLD における回路マッピングの例として図 3 の回路を AD 対 3 の MLUT, AD 対 4 の MLUT に配置配線した結果をそれぞれ図 6, 7 に示す。ここで、AD 対 3 の MLUT とは AD 対が 3 個付属した MLUT を指し、AD 対 4 の MLUT とは AD 対が 4 個付属した MLUT を指す。図 6 では、2 入力 AND を 2 個配置した MLUT の AD 対の入力は全て使用されており、配線を通すことができなくなっている。それに対し、図 7 では、2 入力 AND を 2 個配置した MLUT にはまだ使用されていない AD 対の入力があり、配線を通すことが可能になっている。このことから、AD 対数が多くなると AD 対による配線、論理構成能力を向上させることができる。

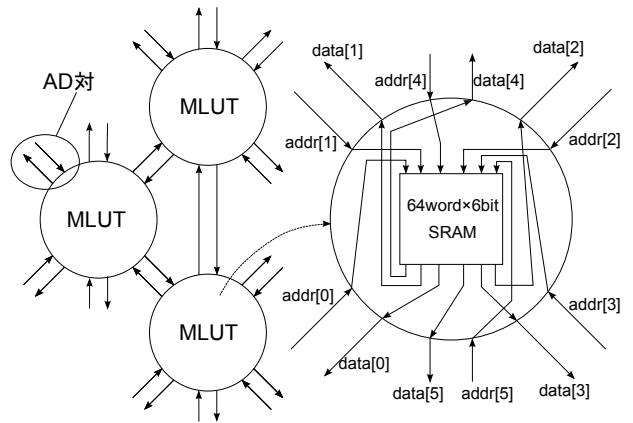


図 5 MPLD の構成

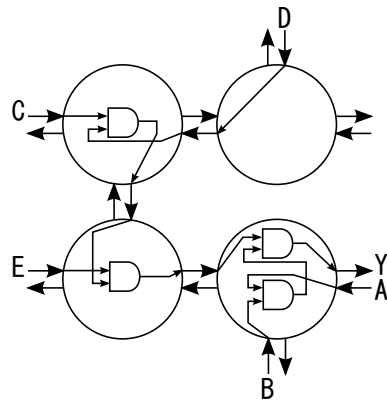


図 6 AD 対 3 の MLUT

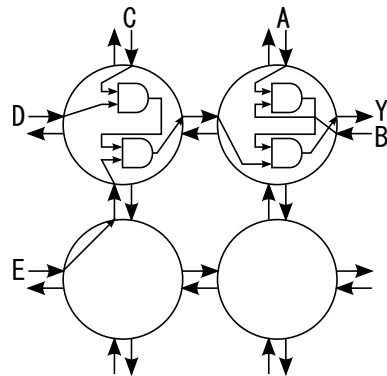


図 7 AD 対 4 の MLUT

しかし、MPLD には AD 対を増加させると面積が増加するという問題がある。AD 対 3, AD 対 4 の MLUT をレイアウトレベルで設計し、面積を算出した結果を表 1 に示す。先ほどの配置配線結果において、使用した MLUT 数は AD 対 4 の MLUT の方が少ないが、レイアウト面積で比較すると AD 対数 4 の MLUT の方が大きくなっている。さらに AD 対数の多い MPLD で配置配線を行うと、論理を搭載した MLUT に配線が集中することで再構成要素の多くが配線として使用されてしまい、MLUT の持つ再構成能力を十分に発揮できないとい

表 1 MLUT の AD 対別レイアウト面積比較

AD 対数	レイアウト
AD 対 3	34070 μm^2
AD 対 4	53697 μm^2

う問題が発生した。

3. 提案する論理ブロック SLB

本節では 2.3 節で述べた問題に対する解決方法のアプローチを述べ、提案する論理ブロック SLB の詳細な構造について述べる。

3.1 問題解決へのアプローチ

前節で述べた問題に対して、本稿では、論理ブロックの論理搭載数を 1 個に制限し、出力にクロスバを設置することで、小面積かつ配線資源を持つ論理ブロック SLB(Selector-based Logic Block) の提案を行う。具体的な手法として論理エレメントを LUT 方式から MUX 方式に変更する。このように変更することにより、論理エレメント単体で実現可能な論理関数は減少するが、論理エレメントの面積を減少させることができる。さらに、論理ブロック自身が配線資源としても使用できるため、再構成デバイス全体の配線能力を増加させることができる。

3.2 SLB の概要

SLB は任意の 2, 3 入力論理関数、いくつかの 4, 5 入力論理関数、1 つの 6 入力論理関数を実現することができる論理エレメント SLE6(6 input Selector-based Logic Element) を使用した 6 入力 6 出力の論理ブロックである。SLE6 は MUX4 Logic Element に変更を加えた論理エレメントであり、6 入力 LUT と比べ、1/10 の面積で実現が可能である。このことから本稿では論理エレメントとして SLE6 を使用する。SLB は入力にクロスバを設置することで、入力の位置制約を無くし、出力にクロスバを設置することで配線としても使用することができる。また、構成情報用メモリとして 1-bit SRAM を入力用クロスバで 18 個、SLE6 の論理構成のために 8 個、出力用クロスバで 18 個の計 44 個使用している。次節から SLB の詳細な構造について述べる。

3.3 SLB の構造

SLB は図 8 のように論理エレメントである SLE6 と、出力用クロスバを並べることで構成されている。出力にクロスバを設けることで、入力を任意の箇所に出すことができる。これにより SLB 自身が配線資源としても使用できる。

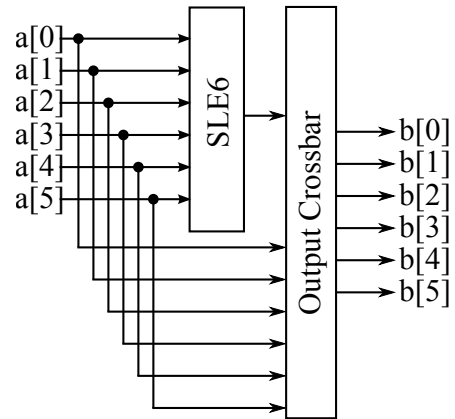


図 8 SLB の構造

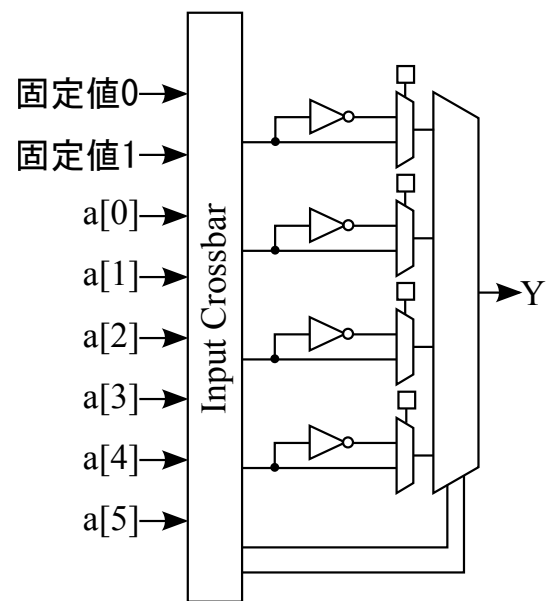


図 9 MUX4 Logic Element

3.4 SLE6 の構造

MUX4 Logic Element は図 9 のように外部入力から固定入力の 0, 1 を含む 8 個の入力を構成情報用メモリによって選択することで論理を構成する小面積な論理エレメントである。ここで、MUX4 Logic Element を更に小面積にするため、以下の変更を行った。

- (1) 外部入力である固定値 0,1 を内部で選択可能にする
- (2) 内部のマルチプレクサを 2 入力から 4 入力に変更
- (3) 変更した 4 入力マルチプレクサを最適化

変更点 (1), (2) を適用した構造を図 11 に、すべての変更を適用した SLE6 の構造を図 11 に示す。SLE6 は構成情報用メモリからの出力を 2 入力セクタで選択し、それらの出力を 4 入力セクタで選択することで論理を構成する。これらの変更により、論理関数の実現能力はそのままに、MUX4 Logic Element よりも少ないトランジスタ数で構成することができる。

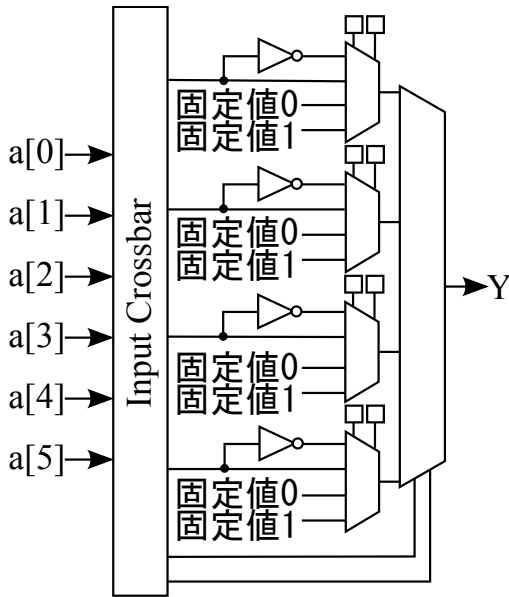


図 10 変更点 (1), (2) を適用

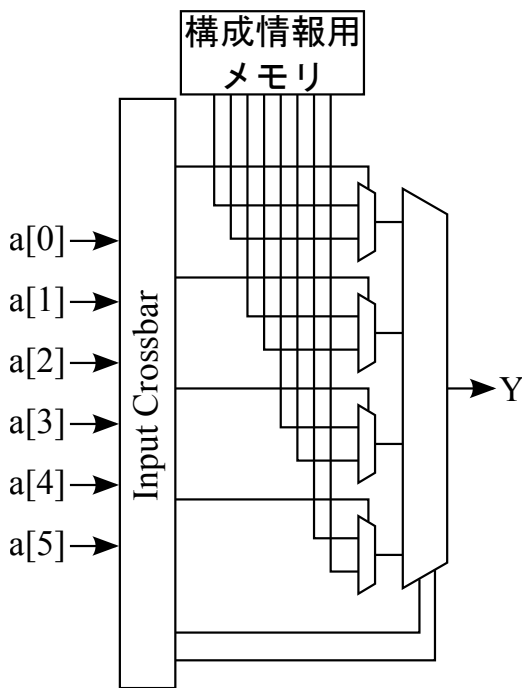


図 11 SLE6 の構造

3.5 クロスバの詳細構造

提案した SLB, SLE6 において使用したクロスバの詳細な構造について述べる。SLE6 で使用する入力用クロスバは図 12 のように 6 個の 6 入力セクタを並べることで構成されている。選択信号には構成情報用メモリからの値を使用する。6 入力セクタは 2 入力セクタをツリー状に並べることで構成され、2 入力セクタはトランジスタ数削減のために CMOS スイッチを用いている。また、SLB で使用する出力用クロスバは 6 個の 7 入力セクタを入力用クロスバと同様に並べることで構成

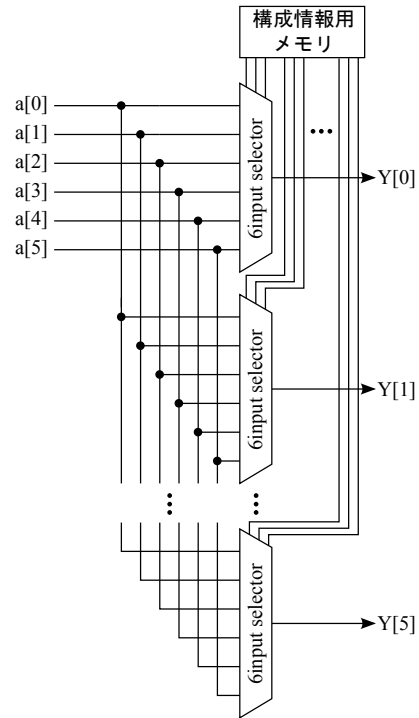


図 12 SLE6 の入力に使用される入力用クロスバ

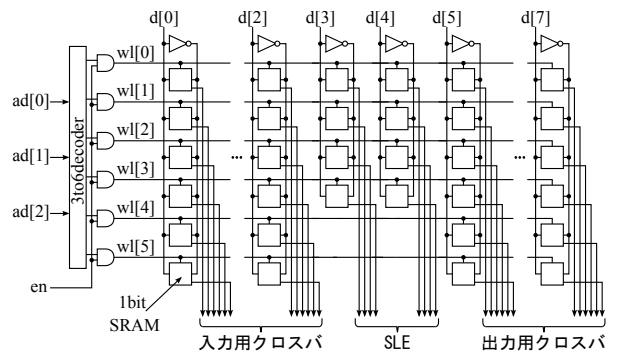


図 13 構成情報用メモリ

されている。

3.6 構成情報用メモリの詳細構造

構成情報用メモリの構成を図 13 に示す。構成情報用メモリは 3to6 デコーダの出力とイネーブル信号 en の論理積が SRAM の書き込みイネーブル信号 wl とつながっており、SRAM に 1 行ずつ書き込みを行えるようになっている。デコーダの出力とイネーブル信号の論理積をとる理由として、意図しない書き込み動作を防ぐためである。また論理関数を構成するにあたり、SRAM からの値が常に必要になるので、SRAM から出力線を出し、この出力を SLE やクロスバへの入力としている。

3.7 SRAM の詳細構造

提案した SLB において、SLE6, クロスバは SRAM か

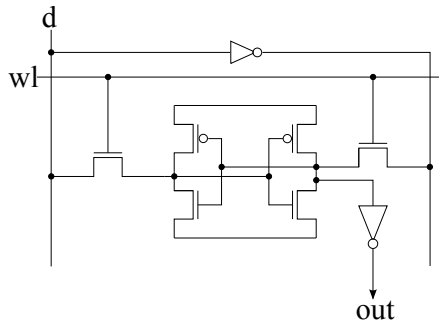


図 14 構成情報用メモリで使用する SRAM の構造

表 2 各エレメントにおける使用トランジスタ数

名称		使用 Tr 数
MUX4 Logic Element	入力用 XB	252
	論理構成部	50
	構成情報用メモリ	176
	計	478
SLE6	入力用 XB	180
	論理構成部	42
	構成情報用メモリ	208
	計	430

らの値を使用している。つまり、回路を構成するにあたり、常に SRAM から値が供給されている必要がある。今回使用する SRAM を図 14 に示す。保存している値と反転した値が存在している箇所から値をとり、その値を反転させる。これにより保存している値と同じ値を使用することができる。この値をセレクタの選択信号や SLE の入力として使用する。

3.8 SLE6,SLB のトランジスタ数評価

ここでは、提案した SLE6 と MUX4 Logic Element, SLB と MLUT についてトランジスタレベルで設計し、使用したトランジスタ数を比較する。トランジスタレベルの設計には Cadence 社のツールである Virtuoso を使用し、それぞれのトランジスタ数を数えた。表 2 に SLE6 と MUX4 Logic Element のトランジスタ数の評価結果を示す。3.3 節で述べた変更により、SLE6 の構成情報メモリは MUX4 Logic Element より増加してしまう。しかし、MUX4 Logic Element は論理を構成するために固定入力の 0, 1 が必要なため、入力用クロスバが SLE6 よりも大きくなる。結果、SLE6 は、MUX4 Logic Element と比較して、90.0%のトランジスタ数で実現できる。次に、表 3 に AD 対 6MLUT と SLB のトランジスタ数の評価結果を示す。AD 対 6MLUT では、384bit の構成情報メモリを使用しているのに対し、SLB では 44bit に抑えられている。その結果、SLB を構成するその他の回路を含めても、SLB は AD 対 6MLUT と比較して、22.6%のトランジスタ数で実現できる。

表 3 各論理ブロックにおける使用トランジスタ数

名称		使用 Tr 数
AD 対 6MLUT		3,916
SLB	入力用 XB	180
	論理構成部	42
	出力用 XB	216
	構成情報用メモリ	352
	書き込み回路	94
計		884

表 4 各論理ブロックにおけるクリティカルパス

名称	クリティカルパス (ps)
AD 対 6MLUT	3141.157
SLB	1502.395

4. 評価

提案した SLB は LUT 形式の論理ブロックよりも論理構成能力が低下しているため、SLB で構成した再構成デバイスは配置配線に必要な論理ブロック数が多くなるということが考えられる。そこで、MPLD, FPGA の論理ブロックを SLB に置き換えた再構成デバイスを使用し、以下の評価を行う。

- MLUT と SLB の論理および配線遅延評価
- MPLD と SLB を使用した再構成デバイス SePLD の配置配線効率の比較
- FPGA と SLB を使用した再構成デバイス SeFPGA の配置配線効率の比較

評価 (a) で論理エレメントを LUT からセレクタベースにしたことにより、遅延時間においても提案手法が有効であることを示したのち、評価 (b)(c) で SLB を使用した再構成デバイスが MPLD だけでなく、FPGA に対しても、高い配置配線効率を実現できることを示す。

4.1 MLUT と SLB の論理および配線遅延評価

トランジスタレベルで設計した SLB と AD 対 6MLUT を Synopsys 社の NanoTime を使用して、論理および配線遅延評価を計測した。また、設計した回路の SPICE パラメータにはフェニテック社の 0.6 μ mSPICE ファイルを使用した。SLB と AD 対 6MLUT のクリティカルパスの比較結果を表 4 に示す。SLB は MLUT の 2.1 倍で動作することが分かった。これは、MLUT が入力された値から 6 入力 64 出力のデコーダを介して指定された番地のメモリから値が出力されているのに対し [6], SLB は入力された値がクロスバのみを介して出力されているため高速に動作できると考えられる。これらの結果から、提案した論理ブロックは MLUT よりも小面積でかつ高速な論理ブロックであることが分かった。

4.2 配置配線に必要なトランジスタ数

SLB は LUT 形式の論理ブロックよりも論理構成能力が低下しているため、SLB で構成した再構成デバイスは配置配線に必要な論理ブロック数が多くなるということが考えられる。そこで、MPLD, FPGA の論理ブロックを SLB に置き換えた再構成デバイスを使用し、それぞれ評価を行う。

4.2.1 MPLD との比較

MPLD との比較では、図 15 のように MPLD における MLUT を SLB に置き換えた再構成デバイス SePLD (Selector-based PLD) を使用し、評価を行う。使用する MPLD は AD 対 6 の MLUT で構成された MPLD とする。評価手法として、SePLD と MPLD においてベンチマーク回路を配置配線するために必要なトランジスタ数を比較する。配置配線する回路にはベンチマーク回路 ISCAS' 85[7] の c17 と c432 を使用した。また、配置配線ツールには MPLD 用の配置配線ツール [8] を改造したものを使用する。評価は以下のように行う。

- (1) ベンチマーク回路を ABC (A System for Sequential Synthesis and Verification) ツール [9] を用いてテクノロジマッピングを行う。その際、LUT の入力数を SePLD 用、MPLD 用で、それぞれ 3 入力、6 入力まで使用可能とする。これは、SLB と MLUT で論理関数実現能力が異なるためである。
- (2) 再構成デバイスのアレイサイズ (縦横の論理ブロック数) を変更しながら 10 回配置配線を行う。その際、配置配線の成功率が 90% 以上のアレイサイズを配置配線可能なアレイサイズとし、その中で最も小さいアレイサイズを最小アレイサイズとする。
- (3) 最小アレイサイズでさらに 10 回配置配線を行い、使用した論理ブロック数を求め (図 16 における赤丸の総数)、結果の中央値を使用した論理ブロック数とする。複数回配置配線を行う理由は、MPLD 用の配置アルゴリズムにおいて SA (Simulated Annealing) 法 [10] を使用しているためである。
- (4) 使用した論理ブロック数からトランジスタ数を求め、それらを配置配線に必要なトランジスタ数とする。

ISCAS'85 ベンチマーク回路の c17 と c432 の配置配線を行い、ベンチマーク回路の構成に必要なトランジスタ数を求めた結果をそれぞれ表 5, 6 に示す。表 5 より、ベンチマーク回路 c17 ではアレイサイズに差は出なかったが、回路構成に必要な論理ブロック数は MPLD の方が多いという結果になった。c17 回路の配置配線に必要なトランジスタ数は、MPLD に比べ、SePLD では 18.5% のトランジスタ数であった。

表 6 より、ベンチマーク回路 c432 ではアレイサイズ

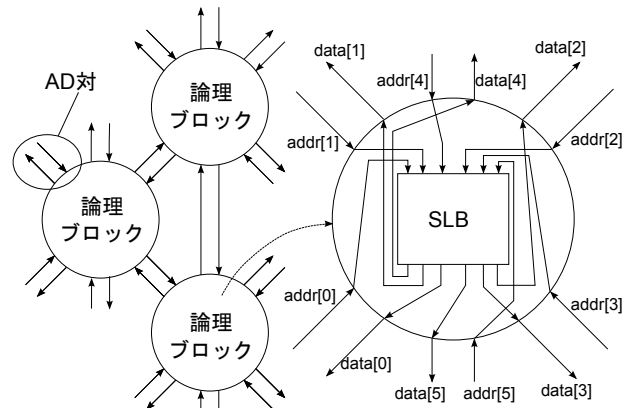


図 15 SePLD の構造

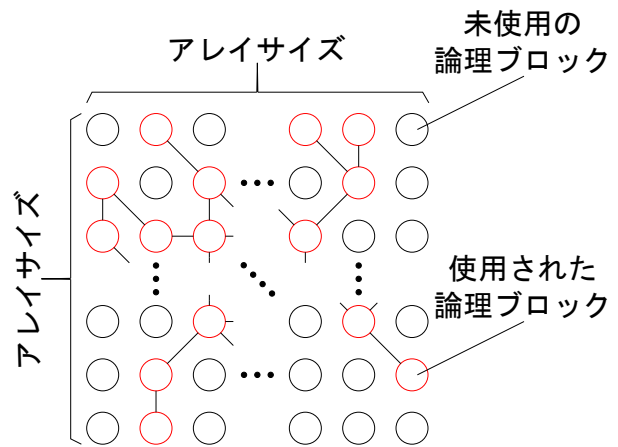


図 16 配置配線の実行例

に差は出なかったが、回路構成に必要な論理ブロック数は SLB を搭載した再構成デバイスの方が多という結果になった。これは SePLD の論理ブロックの論理回路のマッピング能力が MPLD の論理ブロック MLUT より低いため、予測された通りの結果である。それにも関わらず、c432 回路の配置配線に必要なトランジスタ数は、MPLD に比べ、SePLD では 23.1% のトランジスタ数であった。

これらのことから、ベンチマーク回路 c17, c432 を配置配線するのに必要なトランジスタ数を MPLD と比べた場合、SePLD は 18.5%, 23.1% のトランジスタ数で回路の配置配線が可能である事が分かった。

4.2.2 FPGA との比較

FPGA との比較では、図 1 の FPGA における論理ブロックを SLB に変更した再構成デバイス SeFPGA (Selector-based FPGA) を使用する。評価対象の FPGA の論理ブロックの構成は、文献 [11] のおいて面積遅延積の評価結果が最もよかった論理ブロックの構成を採用する。具体的には、その論理ブロックの構成は入力が 22 本、5 入力 LUT を 4 個搭載した論理ブロック (図 17) で

表 5 c17 回路構成に必要なトランジスタ数

名称	最小アレイサイズ	使用した論理ブロック数	使用 Tr 数
MPLD	5 × 5	11	43,076
SePLD	5 × 5	9	7,956

表 6 c432 回路構成に必要なトランジスタ数

名称	最小アレイサイズ	使用した論理ブロック数	使用 Tr 数
MPLD	35 × 35	1,165	4,562,140
SePLD	35 × 35	1,191	1,052,844

あった。また、評価に使用した SeFPGA, FPGA のスイッチブロックは wilton 型, $F_s=3$ とした。評価手法として, SeFPGA と FPGA においてベンチマーク回路を配置配線するために必要な論理ブロックによるトランジスタ数を比較する。配置配線する回路にはベンチマーク回路 ISCAS'85 を使用した。また, FPGA の配置配線ツールには VPR[12] を使用する。評価は以下を行う。

- (1) ベンチマーク回路を ABC (A System for Sequential Synthesis and Verification) ツールを用いてテクノロジーマッピングを行う。その際, LUT の入力数を SeFPGA 用, FPGA 用で, それぞれ 3 入力, 5 入力まで使用可能とする。
- (2) 再構成デバイスのアレイサイズの縦横の比率を 1 対 1 に固定し配置配線を行う。
- (3) アレイサイズに論理ブロックのトランジスタ数を掛け, それらを論理ブロックによるトランジスタ数とする。

ISCAS'85 ベンチマークを FPGA, SeFPGA にマッピングした時の, 使用した論理ブロックのトランジスタ数評価の結果を表 7 に示す。回路 c432, c3540 では FPGA の方が配置配線に使用された論理ブロックの総トランジスタ数は少ないという結果になった。しかし, ベンチマーク回路の全てを総合した評価結果では SeFPGA の方が配置配線に使用された論理ブロックの総トランジスタ数は, FPGA に対して, 平均で 56.9% のトランジスタ数であるという結果になった。この結果には配線資源のトランジスタ数が含まれていないが, SeFPGA は論理ブロック内でも配線が行えるため, 配線資源の面積も小さくなるのではないかと我々は予測している。

4.2.3 順序回路について

4.2.1, 4.2.2 節の評価では, 組み合わせ回路のみで評価を行ったが, ここでは順序回路の実現法について考察する。一般的に再構成デバイスで順序回路を実現する手法は DFF を使用した同期式順序回路であるので, SLB でも DFF を使用する。SLB で順序回路を実現する手法としては以下が考えられる。

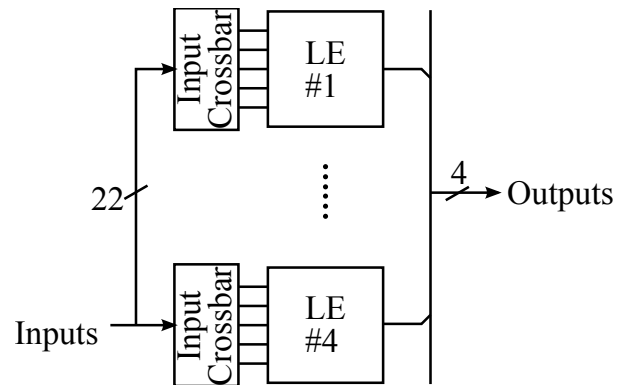


図 17 FPGA で使用する論理ブロック

- (1) SLE6 の出力に DFF を挿入
 - (2) Output Crossbar の入力に DFF を挿入
 - (3) DFF からの出力を SLE6 の入力に使用するクラスターベース SLB
- (1) の手法については DFF の挿入が 1 個のみであるため, (2) の手法よりも小面積で実現できると考えられる。(2) の手法は配線に DFF を挿入するため, フリップフロップを多く持つ回路の配置配線には向いていないかと考えられる。(3) の手法は入力信号を共有可能であるため, 周辺の配線資源を削減できると考えられる。今後は VPR 上にてこれらの回路を実装し, 評価を行っていく予定である。

5. まとめ

従来の再構成デバイスが持つ, 配置配線の際に配線資源の割合が多くなるという問題に対して, 論理ブロックの論理搭載数を 1 個に制限し出力にクロスバを設置することで, 小面積かつ配線資源を持つ論理ブロック SLB を提案した。加えて, 提案した論理ブロックを使用した小面積な再構成デバイス SePLD, SeFPGA において, ISCAS'85 ベンチマーク回路を使用して, 使用された論理ブロックのトランジスタ数を比較した。その結果, FPGA と比較して, SeFPGA の方が平均で 56.9% のトランジスタ数で回路をマッピング出来ることが分かった。

今後の課題として, 配線資源のトランジスタ数を含めたベンチマーク回路を構成するのに必要なトランジスタ

表 7 FPGA, SeFPGA による配置配線結果

回路名	デバイス	最小アレイサイズ	論理ブロックによる Tr 数
c17	FPGA	1 × 1	5,088
	SeFPGA	2 × 2	3,536
c432	FPGA	4 × 4	81,408
	SeFPGA	10 × 10	88,400
c499	FPGA	7 × 7	249,312
	SeFPGA	11 × 11	106,964
c880	FPGA	8 × 8	325,632
	SeFPGA	13 × 13	149,396
c1355	FPGA	7 × 7	249,312
	SeFPGA	11 × 11	106,964
c1908	FPGA	6 × 6	183,168
	SeFPGA	13 × 13	149,396
c2670	FPGA	25 × 25	3,180,000
	SeFPGA	25 × 25	552,500
c3540	FPGA	9 × 9	412,128
	SeFPGA	23 × 23	467,636
c5315	FPGA	26 × 26	3,439,488
	SeFPGA	26 × 26	597,584
c6288	FPGA	14 × 14	997,248
	SeFPGA	28 × 28	693,056
c7552	FPGA	27 × 27	3,709,152
	SeFPGA	27 × 27	644,436

数の評価, 順序回路も実現できる SLB の考察, SePLD 用の CAD ツールの開発などが挙げられる。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通しケイデンス株式会社, シノプシス株式会社の協力で行われたものである。

参考文献

- [1] Ahmed, E.; Rose, J., "The effect of LUT and cluster size on deep-submicron FPGA performance and density," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2004.
- [2] Z. Marrakchi, H. Mrabet, U. Farooq, and H. Mehrez, "FPGA Interconnect Topologies Exploration," Int. Journal of Reconfigurable Computing, 2009.
- [3] M. Nakamura, M. Inagi, K. Tanigawa, T. Hironaka, M. Sato, T. Ishiguro, "A Physical Design Method for a New Memory-based Reconfigurable Architecture without Switch Blocks," IEICE TRANSACTIONS on Information and Systems, 2012.
- [4] S. Alexander Chin, Jason H. Anderson, "A Case for Hardened Multiplexers in FPGAs," International Conference on Field-Programmable Technology 2013, 2013.
- [5] Naoki Hirakawa, Masanori Yoshihara, Masayuki Sato, Kazuya Tanigawa and Tetsuo Hironaka "Low Cost PLD with High Speed Partial Reconfiguration," Proceedings of the ITC-CSCC 2008, 2008.
- [6] 徳佐田直弥, 弘中哲夫, 谷川一哉, 石黒隆, "クロスバスイッチを搭載した MLUT で構成した再構成型デバイス MPLD の検討," 信学技報, 2015.
- [7] F. Brglez and H. Fujiwara, "A Neutral Netlist of 10 Combinational Benchmark Circuits," in Proc. IEEE Int. Symposium on Circuit and Systems, pp.695-698, 1985.
- [8] 山下智也, "再構成可能デバイス MPLD のアーキテクチャ評価," 広島市立大学大学院情報科学研究科修士論文, 2014.
- [9] Berkeley Logic Synthesis and Verification Group, "ABC: A System for Sequential Synthesis and Verification," <http://www.eecs.berkeley.edu/~alanmi/abc/>, Release 70930.
- [10] P.J.M. van Laarhoven and E.H.L. Aarts, "Simulated Annealing: Theory and Applications," Springer, 1987.
- [11] A. M. Smith, G. A. Constantinides and P. Y. K. Cheung, "FPGA Architecture Optimization Using Geometric Programming," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010.
- [12] J. Luu, I. Kuon, P. Jamieson, T. Campbell, A. Ye, M. Fang, and J. Rose, "VPR 5.0: FPGA CAD and architecture exploration tools with singledriver routing, heterogeneity and process scaling," in Proc. Int. Symp. Field-Programm. Gate Arrays, 2009.