

C-037

## ビルディングブロック型計算システムのプロトタイプ 2号 Cube-2 の構成 Cube-2: A heterogeneous multiprocessor prototype of building-block computing systems

天野英晴 †  
Hideharu Amano

### 1 はじめに

IoT、Wearable Computing、自動運転、知能ロボットなど最近の IT 機器は様々な機能、インタフェース、性能、消費電力を要求し、これを単一の SoC(System-on-a-Chip) で満足することは困難である。一方、LSI チップの開発費は、先端プロセスに進むに従って膨大なものとなっており、目的用途別に大規模な SoC を開発することが困難になっている。これに代わり、プロセッサ、メモリ、アクセラレータ、特殊ハードウェアなどを小規模な専用チップに実装し、これらのうち必要なものだけを必要な個数 SiP(System-in-Package) 技術を用いて組合せる手法が注目されている。中でも、誘導結合によるチップ間無線通信用インタフェース TCI(Thru-Chip Interface)[1] は、低コストで柔軟にシステムを構築できる点が優れている。

科学研究費 S「ビルディングブロック型計算システムの研究」[2] は、TCI 技術を用いて、レゴブロックのように様々な機能のチップを組合せて大規模システムを構築する技術の確立を目指している。現在、最初のプロトタイプ Cube-1 の開発経験を基に、プロトタイプ 2号機である Cube-2 を開発している。本報告では、この Cube-2 の設計と実装を紹介する。

### 2 Cube-2

#### 2.1 Cube-2 の構成

Cube-1 は、2 枚積層での安定動作を実現したが、3 枚以上では動作が不安定になる。TCI のインタフェースに柔軟性がない、リングネットワークの遅延が大きいなどの問題点が明らかになった。Cube-2 は、この経験に基づき、4 枚積層での安定稼働を目指すと共に、TCI を用いて容易に様々なシステムを構築するための技術を確認する目的で開発されている。Cube-1 と Cube-2 の仕様の相違を表 1 に示す。

Cube-1、Cube-2 は共にホストプロセッサ用チップに、最大 3 個のアクセラレータ用チップを積層することで、ヘテロジーニアスマルチプロセッサを構築することができる。ホストプロセッサ用チップ GCSOTB は、MIPS

表 1: Cube-1 と Cube-2 の仕様

	Cube-1	Cube-2
Process	e-shuttle 65nm CMOS (12-Metal)	SOTB 65nm CMOS (7-Metal)
Area	2.1mm × 4.2mm	3mm × 6mm
TCI	3Gb/s 240 $\mu$ m	2.5Gb/s 240 $\mu$ m
CPU ISA I/D Cache TLB	Geyser-Cube MIPS R3000 4KW 2way 16-Entry Shared	GCSOTB MIPS R3000 4KW 2way 16-Entry Shared
CMA PE Array	CMA-Cube 8×8	CCSOTB 12×8
Supply Voltage	0.5-1.2V	0.3-1.2V
Target Freq.	50-100MHz	50-100MHz
Chip Thickness	40-80 $\mu$ m	80 $\mu$ m

R3000 コンパチブルの命令セットを持つ 5 段パイプライン構成の Geyser CPU コアと、4KB の命令、データ分離型キャッシュと、16 エントリの命令、データ共有 TLB から構成され、Linux OS を走らせることができる。アクセラレータ用チップ CCSOTB は、低電力リコンフィギュラブルアクセラレータ CMA で、高いエネルギー効率で、画像処理など並列性の高い問題を解くことができる。それぞれの CCSOTB のメモリは、GCSOTB のメモリ空間にマップされており、アクセラレータ間でストリーム処理を行うのに適した DMA 機構をもっている。

Cube-2 では、国家プロジェクト LEAP により開発された SOTB(Silicon On Thin Buried Oxide)[3] を用いた。SOTB は、FD-SOI の一種であり、10nm 程度の極薄酸化膜層上にトランジスタを形成する。低電圧動作でもばらつきが少く、高い性能を得ることができる。また、ボディバイアスによりトランジスタのスレッシュホールドレベルを制御することができ、リーク電流と性能のバランスを制御することができる。ビルディングブロック型計算システムは、様々なチップを自由に組合せることができるのが最大の特徴だが、チップのばらつき、特性差に対処するため、ビルディングブロックの電気的特性を接続時に調整できなければならない。SOTB 技術を利用し、バイアス制御を接続時に行うことで、こ

† 慶應義塾大学理工学部, Dept. of Information and Computer Science, Keio University

の問題点に対処することが可能となる。

## 2.2 TCI 用 IP

Cube-2 では、誘導結合 TCI(Through Chip Interface) の IP 化を試みた。従来、TCI は用途、プロセス毎にアドホックに設計、実装を行ってきた。ビルディングブロックを構築するためには、これを統一し、IP として標準化する必要がある。このため、インダクタ部だけではなく、SERDES 部を併せて IP 化した。これにより、TCI は 35bit のデータを送受信する通信路として扱うことができる。IP の構成は、図 1 に示す通り、送信、受信が切替可能な半二重通信用になっている。通信の方向とその切替のタイミングは上位のプロトコルで制御しなければならない。クロックとデータの 2 個のインダクタがセットとなっており、それぞれについて送信用と受信用のコイルが、重ねて巻かれている。

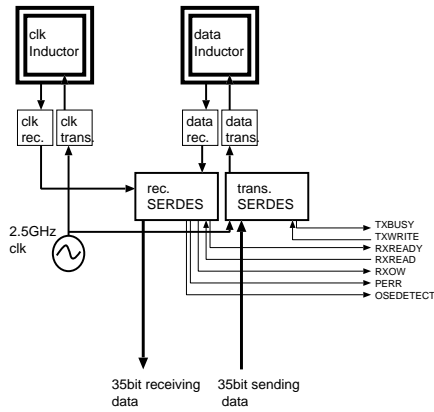


図 1: TCI IP の構成

TCI での転送用のクロックは IP 内部で発生するため、外部とのハンドシェイクは非同期に動作する。このため、接続するシステムの動作周波数が一定以下ならば容易に接続を行うことができる。図 2 に IP のレイアウトを示す。左側のインダクタがクロック、右側がデータである。前後にデジタル部とのインタフェースと SERDES 回路が配置されている。

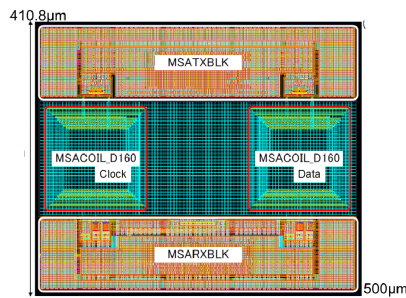


図 2: TCI IP のレイアウト

この TCI 用 IP は、SOTB の標準的な設計フローの中に組み込むことができ、従来に比べれば容易に TCI を装

備したチップ開発を行うことができる。

## 2.3 エレベータネットワーク

Cube-2 は、Cube-1 の反省に基き、図 3 で示す直線状のネットワークを採用した。アクセラレータの CCSOTB は IP を 2 セット、ホスト CPU の GCSOTB は 1 セット設け、IP の間隔分シフトして積層する。Cube-1 の単方向リングとは異なり直線状のネットワークになる。ここではこれをエレベータネットワークと呼ぶ。

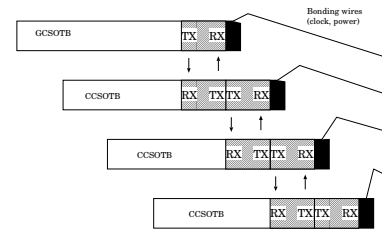


図 3: エレベータネットワーク

エレベータネットワークは、上りと下りが独立した経路になっており、最上層、最下層まで行くことなしに上下の方向を切り換えることができる。この点で Cube-1 の単方向リングよりも平均距離が短かくてすむ。さらに、Cube-1 の単方向リングと異なり、ワイヤレスのデータ伝搬経路が重なることはない。実際に積層したチップの様子を図 4 に示す。

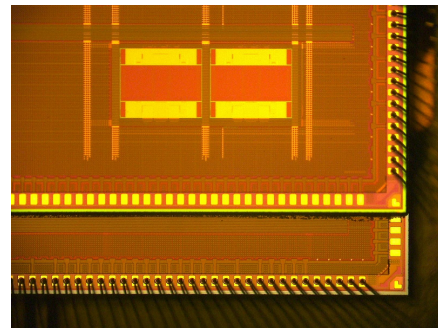


図 4: Cube-2 のチップ写真

## 3 おわりに

Cube-2 は、それぞれのチップの動作を確認し、CC-SOTB を複数積層した状態での転送試験に成功した。現在評価中である。

## 参考文献

- [1] Yasuhiro Take and et.al. 3-D NoC with Inductive-Coupling Links for Building-Block SiPs. *IEEE Transactions on Computers (TC)*, 63(3):748–763, March 2014.
- [2] [http://www.am.ics.keio.ac.jp/kaken\\_s](http://www.am.ics.keio.ac.jp/kaken_s). 科研費基盤研究 (S) ビルディングブロック型計算システムに関する研究ホームページ. 2015.
- [3] Takashi Ishigaki, et al. Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET. *Solid State Circuits Technologies*, Jacobus W. Swart (Ed.), ISBN: 978-953-307-045-2, InTech, pages 146–156, 2010.