

FD-SOI テクノロジーを用いた最適なボディバイアスバランスの検討

奥原 颯†

天野英晴†

† 慶應義塾大学大学院理工学研究科

1 はじめに

テクノロジスケールが進むにつれて、革新的なトランジスタ構造を持つデバイスが開発されてきた。この中でも、FD-SOI デバイスである Silicon on Thin BOX (SOTB) MOSFET はボディバイアスに対しての閾値電圧の制御特性がよく、リーク電流と遅延のトレードオフを幅広く取る事が可能である。本稿では、ボディバイアスを nMOSFET と pMOSFET で不均一に印加する手法を提案する。

2 SOTB MOSFET

SOTB MOSFET の断面図を図 1 に示す。SOTB は完全空乏型の SOI の一つで 10nm 程度の極薄の酸化膜上にトランジスタが形成される。これにより、ボディバイアスによる閾値電圧の制御を可能としている。ここで、ボディバイアス制御とは、トランジスタのウェルの電圧 (nMOS: VBN、pMOS: VBP) を変更することにより閾値電圧を変更する事である。ボディバイアスについて表 1 に効果をまとめる。また、SOTB はドーパントレス構造を採用しており、閾値のばらつきが低減されるため低電源電圧化に適したデバイスである。従って、低 V_{DD} 下における最適なボディバイアス制御手法が必須である。

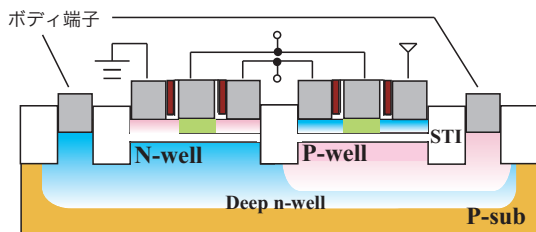


図 1: SOTB MOSFET の断面図: (a)pMOS (b)nMOS

表 1: Body Bias の効果

	フォワード	リバース	ゼロ
VBN	$V_S < V_{BN}$	$V_S > V_{BN}$	$V_S = V_{BN}$
VBP	$V_S > V_{BP}$	$V_S < V_{BP}$	$V_S = V_{BP}$
効果	リーク:増、周波数:増	リーク:減、周波数:減	

3 ボディバイアス制御

ボディバイアスを制御するにあたり、nMOSFET と pMOSFET は個別に電圧を印加する必要がある。[1] や、[2] では、ボディバイアスは nMOS と pMOS で等量与えるという仮定のもと、待機時のリーク電流の削減 [1] や、動作時の消費電力の最適化 [2] を行っている。これは nMOSFET と pMOSFET で閾値電圧のバランスをとる目的に基づいており [3] は 65-nm バルクプロセスにおいて閾値のバランスが取れていない際にはリーク電流が増加するという報告をしている。しかし、SOTB テクノロジーでの調査は我々の知るところでは存在しない。そこで本稿ではまず、nMOS および pMOS のボディバイアスの最適なバランスを SPICE シミュレーションでリーク電力と遅延時間のトレードオフを求めることにより調査する。

3.1 シミュレーション条件

対象とする回路は 32-bit の桁上げ伝搬回路 (RCA) で、Synopsys 社 IC-Compiler の自動配置配線により実装する。使用ライブラリはルネサスエレクトロニクス社 SOTB 65-nm FD-SOI テクノロジーで、RCA は nMOS のボディバイアス VBN と pMOS のボディバイアス VBP を個別に制御できるようレイアウトした。遅延時間のシミュレーションには 2 種類の入力信号をクリティカルパス (入力最下位 bit から出力最上位 bit まで) が活性化するように設定しておき、シミュレーションした。利用する電源電圧は 0.6V でボディバイアス電圧は $V_{BN} = \{-0.6, -0.4, -0.2, 0, 0.2, 0.4\}$ V、 $V_{BP} = \{1.2, 1.0, 0.8, 0.6, 0.4, 0.2\}$ V とし、nMOS と pMOS でそれぞれ 6 種類ずつの電圧が与えられるものとする。ボディバイアスを nMOS と pMOS で等量かける場合には $V_{DD} = V_{BP} + V_{BN}$ を満たすものとする。たとえば nMOS で 0.2V のリバースバイアスを印加する場合には、pMOS 側にも 0.2V のリバースバイアスが印加される。

3.2 シミュレーション結果

図 2 に前節で述べた全ての条件におけるリーク電流と遅延時間のグラフを示す。バランスが $V_{DD} = V_{BN} + V_{BP}$ を満たした点を結んだグラフでそれ以外はアンバランスである。アンバランスの各曲線は各 VBN に対して 0.2V ずつ VBP を変化させた点をプロットしている。図

Unbalanced body bias control using FD-SOI technology

†Hayate Okuhara †Hideharu Amano

†Graduate School of Science and Technology, Keio University

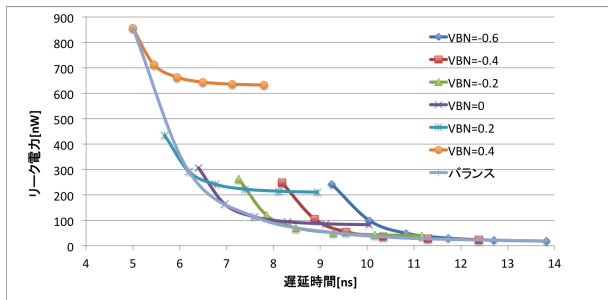


図 2: 32-bitRCA のリーク電力 vs 遅延時間特性

に示す様に、バランス状態のボディバイアスがそれぞれの遅延においてほぼ最小のリーク電力を達成出来ることが分かる。従って、ボディバイアスの電圧を無限に用意することが出来る場合にはバランスよくバイアスすべきである。一方で、ボディバイアスをアンバランスとした場合においても達成できる遅延時間とリーク電力の特性がバランス時の曲線と近い点が複数存在することがわかる。これらの点を有効に活用すれば、限られた電源リソースでより細粒度な電力制御を行うことが可能である。

4 ボディバイアス電圧の細粒度制御

前節の結果を受け、図 2 で得られた全データを 1. 遅延時間によりソートし 2. リーク電力が単調に減少するデータのみをトリミングしたグラフを図 3 に示す。ボディバイアスをバランスした場合、対象の加算器は 6 段階の状態を使い分けることが可能であった。一方で、アンバランス、すなわち $V_{DD}=V_{BN}+V_{BP}$ の条件を緩和すると 16 段階の状態を使い分けられかつ、得られる遅延に対してほぼ単調にリーク電力が減少することがわかった。一例として 0.2V のリバースバイアスを nMOS と pMOS で等量与えた場合、得られる遅延時間は 9.28ns、ゼロバイアス時は 7.60ns である。このときのリーク電力は 0.2V のリバースバイアス (バランス) が 51.2nW、ゼロバイアスが 113nW である。要求される性能がこの間であるような場合、たとえば 8.5ns であるような場合、VBP をゼロバイアス、VBN を 0.2V のリバースバイアスに設定すると遅延時間が 8.48ns でリーク電力が 70.49nW となる。与えられたボディバイアス電圧において、バランスでボディバイアスを印加する場合には 113nW のリーク電力を消費する必要があったが、62.4% のリーク電力をアンバランスボディバイアスは削減している。

また、ボディバイアスは貫通電流への影響が予測される。そこでトリミング後のデータに対応するボディバイアス電圧をスタンダードセルライブラリ内のインバータに印加し、直流伝達特性から貫通電流の最大値を取

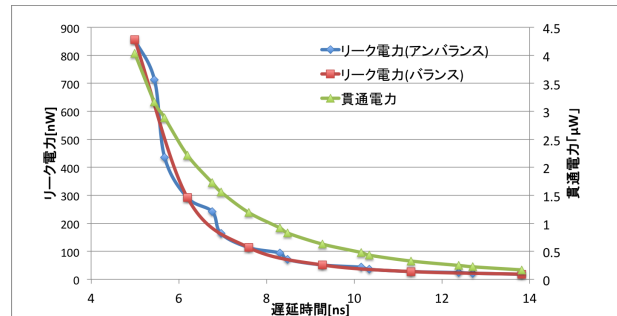


図 3: 32-bitRCA のリーク電力 vs 遅延時間特性 (データトリミング後)

得し、電源電圧を乗じてプロットしたグラフも合わせて図 3 に示す。得られた電力は遅延時間に対して単調に減少していることがわかる。つまり、アンバランスによる細粒度なボディバイアス制御は貫通電流の削減にも効果がある。先ほどと同様の例をとると、貫通電力の最大値はゼロバイアスが $1.19\mu\text{W}$ で、0.2V のバランスリバースバイアスが $0.628\mu\text{W}$ である。一方で、VBP をゼロバイス、VBN を 0.2V のリバースバイアスとした場合には $0.826\mu\text{W}$ の貫通電力で、バランスボディバイアスの中間的な電力を達成している。従って、利用できるボディバイアスの電圧が限られた状況においてアンバランスにボディバイアスを印加する手法は利用電源数、リーク電力、貫通電力の削減の観点から有効である。

5 おわりに

本報告では SOTB を用いた不均一なボディバイアス印加手法を調査した。nMOS と pMOS で等量のボディバイアスを印加する場合がリーク電流対遅延特性が最もよく、利用できるボディバイアス電圧が限られていない場合には最も効率的であることがわかった。一方で、利用できるボディバイアス電圧が限られている場合には、不均一にボディバイアス電圧を印加することで、より細粒度に電力をコントロールできることがわかった。今後は本手法において閾値ばらつきも含めた議論を行う予定である。

謝辞

本研究は、JSPS 科研費 (S) ビルディングブロック型計算システムに関する助成を受けたものである。

参考文献

- [1] K. Ishibashi, et. al. A Perpetuum Mobile 32bit CPU on 65nm SOTB CMOS Technology with Reverse-Body-Bias Assisted Sleep Mode. In *IEICE Transactions on Electronics*, Vol. E98-C, pp. 536–543, July 2015.
- [2] Hayate Okuhara, et. al. An Optimal Power Supply And Body Bias Voltage for a Ultra Low Power Micro-Controller with Silicon on Thin BOX MOSFET. In *Proceedings of ISLPED*, pp. 207–212, July 2015.
- [3] Goichi Ono, et. al. Method of Compensating Unbalanced Threshold Voltage for Low Supply Voltage CMOS LSIs. In *IEICE Tech. report (ICD2002-177)*, Dec. 2002.