

短周期テストパターンによる高速オンライン遅延測定 A Fast Online Delay Measurement Using Short Cycle Test Pattern

加藤 健太郎[‡]
Kentaro Kato

1. はじめに

短周期テストパターンは、狙ったノードを短周期で連続して活性化することができるため、VLSI の高信頼化に有用である [1]。

本論文では短周期テストパターンを用いた高速オンライン遅延時間測定法を提案する。提案法では可変クロックを用いたオンライン時の遅延時間測定に要する測定パスの連続活性化の周期を、短周期テストパターンを用いることにより短縮する。また部分ローテートスキャンを用いることにより短周期パタンのオンチップでの印加を行う。これによりオンラインでの測定パスの短周期での連続活性化が実現され、従来のスキャンパターンでの測定と比較して、その測定時間を短縮することができる。評価実験により、測定時間がスキャンベースの手法の 1.11%、また実装による面積オーバーヘッドは平均で 7.90%となることを確認した。

2. 短周期テストパターンによる高速オンライン遅延測定

2.1 LOS による可変クロックを用いたオンチップ遅延測定

図 1 を用いて LOS(Launch on Shift)による可変クロックを用いたオンチップ遅延測定法を概説する。スタートポイント FF_{FS} 、エンドポイント FF_{FE} のパス pr を測定する際、シャドウフリップフロップ F を付加する。シャドウフリップフロップ F の入力線は pr のエンドポイントに接続される。またクロック線は可変クロック VCG より供給される。そして測定パスを、連続的に活性化を行い VCG のクロック幅をスウィープしながら遅延故障テストを繰り返す。 F にキャプチャされたテスト応答より pr の遅延時間の推定を行う。

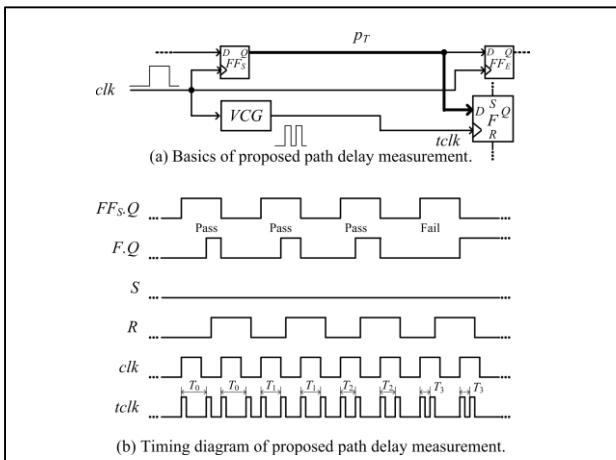


図 1 周期的な LOS によるパス活性化を用いた可変クロックによる遅延測定法

[‡] 鶴岡工業高等専門学校, National Institute of Technology, Tsuuruoka College

2.2 短周期テストパターンによる周期的同一パス活性化

図 2 を用いて提案する短周期パターンによる周期的測定パス活性化手順について説明する。被測定回路はデジタル回路であり、フリップフロップとロジック回路から構成される。フリップフロップにはフルスキャンが実装されているものとする。短周期パタンの周期が N の時スキャン入力 sci から N 個のフリップフロップを用いてローテートスキャンが構成される [2]。この例では、短周期パターンは "01" であり 2 ビットであるので、長さ 2 のローテートスキャンが構成される。

ローテートスキャンをイネーブルにした状態でクロックをフリップフロップに入力すると周期 2 の短周期パターンが繰り返し印加され、繰り返し測定パスが 2 クロック周期で活性化される。

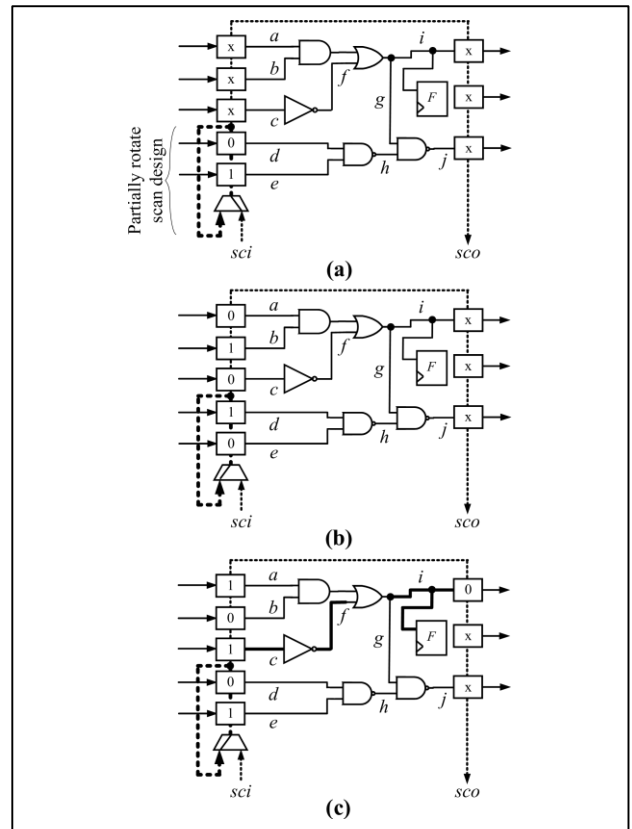


図 2 部分ローテートスキャンを用いた短周期テストパターンによる周期的パス活性化 ($N=2$)

3. 短周期テストパターン生成アルゴリズム

周期 N の短周期テストパタンの生成手順を、図 3 を用いて説明する。まず測定パスを LOS 活性化するスキャンパターン tv を用意してその中からスキャンパターンから最短のケア

ビット列 cb を抽出する (a)。ここで cb のビット長を N_{cb} とする。このとき $N_{cb}/N+1$ 個の cb を用意して N ビットおきに並べた状態でテストコンパクションを試行する (b),(c)。この例では (b) が $N=1$ の場合、(c) が $N=2$ の場合である。(b) ではコンパクションが失敗するが、(c) では成功する。

コンパクションが成功した場合は、コンパクション後のビット列に N 周期列となるように X ビットに値を代入する。この時連続する N ビット列が短周期パターンとなる。オンライン遅延測定のためには最も短い N を求めて適用することにより、最短周期で測定パスを連続活性化することが可能となる。

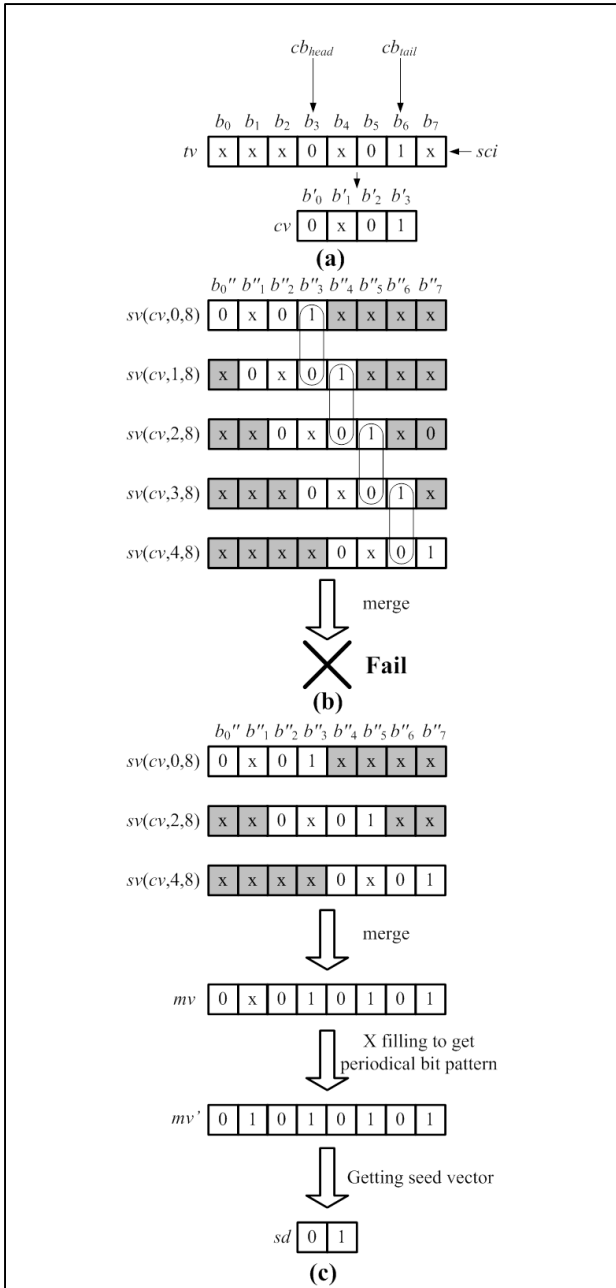


図 3 短周期テストパターン生成例 ($N=2$)

4. 評価

測定時間、メモリ量、面積オーバーヘッドそれぞれについて評価を行う。評価対象回路として 2 つの ISCAS 89 ベンチマーク回路を用いる。短周期パターン生成のためのテストパターンは in-house ATPG を用いて行う。本評価では従来法として通常のスキャンパターンを用いた場合と比較する。表 1 に短周期テストパターンで活性化した場合の活性化周期 (cyc) とスキャンパターンで行った場合の活性化周期 (scan len) を示す。シングルスキャンを仮定した場合、提案法の活性化周期は、平均で % となる。表 2 にシャドウ FF 数 1, 3 で提案法を実装した場合の面積オーバーヘッドを示す。面積オーバーヘッド O_A (%) は実装前後の面積をそれぞれ A_{org} , A_{pp} とすると $A_{pp}/A_{org}-1$ $\times 100.0$ で定義される。シャドウ FF 数が 1, 3 で変化しても面積オーバーヘッドはほとんど変化しない。従って本評価の条件下において面積オーバーヘッドはほとんどスキャン実装に要する追加面積と言える。

表 1 活性化周期の評価結果

circ.	cyc	scan len	cyc/scan len (%)
s38417	7	1,636	0.42
s38584	26	1,452	1.80
ave	-	-	1.11

表 2 面積オーバーヘッドの評価結果

circ.	A_{org} (mm ²)	n_F	A_{pp} (mm ²)	O_A
s38417	0.3829	1	0.4147	8.3
		3	0.4148	8.3
s38584	0.3771	1	0.4053	7.5
		3	0.4055	7.5
ave	-	-	-	7.9

5. おわりに

本論文では短周期テストパターンを用いた高速オンライン遅延時間測定法への応用を検討した。可変クロックを用いたオンライン時の遅延時間測定に要する測定パスの連続活性化の周期を、短周期パターンを用いることにより短縮する。また部分ローテートスキャンを用いることにより短周期パターンのオンチップでの印加を行う。これによりオンラインでの測定パスの短周期での連続活性化が実現され、従来のスキャンパターンでの測定と比較して、その測定時間を短縮することができる。評価実験により、測定時間がスキャンベースの手法の 1.11%、また実装による面積オーバーヘッドは平均で 7.90% となることを確認した。

参考文献

- [1] 野中淳平, 重田一樹, 松井央, 内角哲人, 和田慎一, “短周期テストパターンによるランダムロジック動作解析の実現”, 第 35 回ナノテストシンポジウム (NANOTS2015).
- [2] K. Ichino, K. Watanabe, M. Arai, S. Fukumoto, K. Iwasaki, “Application of Partially Rotational Scan Technique with Tester IP for Processor Circuits”, IEICE Transaction D, Vol.87, No.3 (2004).