

自由度のあるタイミング生成を実現する LSI テストシステムに関する研究 Study on LSI testing system realizing formation in a timing with flexibility

手塚 雄大[†] 柴田 翔[†] 竹林 祐紀[†] 土屋 秀和[‡] 浅川 毅[†]
Yuta Tetsuka[†] Shou Shibata[†] Yuki Takebayashi[†] Hidekazu Tsuchiya[‡] Takeshi Asakawa[†]

1. はじめに

LSI には個体差が存在するため、品質の高い LSI 組み込み製品を作る際には受け入れテストを行い、特性ばらつきを抑える必要がある。受け入れテストでは LSI テスタを使う場合もあるが、テスト対象 (DUT: device under test) 以上の性能が求められることから、非常に高価である。この為、一般には汎用の測定器を組み合わせることでテストしているが、高品質なテストを行うことは難しい。この問題の解決策の一つとして、特定のテスト機能や DUT に特化することで、低コストかつ高品質なテストを実現する手法がある。例えば、LSI の受け入れテストに多く用いられるファンクションテストに着目し、DUT への印加パターンのタイミングをサイクル単位で切り替えることが可能な高速プロセッサが提案されている[1]。また、良品デバイスとの比較により故障の検出を行うことで、出力期待値パターンの作成が不要である出力電流測定法や、LSI の故障解析に用いられる EB テスタ及び発光発熱解析装置への支援機能を備えた故障解析向け低コスト LSI テストシステムが提案されている[2] [3]。さらに、パソコン向け DDR3 メモリモジュールの検査に特化した命令を備えるプロセッサを FPGA 上に構成し、高速でテストを行うシステムも報告されている[4]。この他に、FPGA を用いてフラッシュメモリをテスト対象とする低コストな基板型再構成テスタも提案されている[5]。そこで本研究では FPGA を使用し、システムクロックと遅延クロックからテスト波形を生成することにより、安価かつタイミング的に自由度のあるテストシステムを実現する。

2. LSI テストシステム

2.1 システムの概要

LSI テストシステムは、任意の遅延量を持った遅延クロックを用いることで、自由度の高いタイミング生成を可能とする。LSI テストシステムの構成図を図 1 に示す。LSI テストシステムは、テスト命令を格納するメモリ、メモリからのテスト命令をデコードし、各モジュールへ指令を送信するデコーダ、遅延クロック及びストローブタイミング、システムクロックを生成するクロック生成部、印加波形を生成する波形生成部、DUT のピンへの入出力設定を行う IO 部、DUT からの応答値を圧縮する MISR、圧縮された応答値を期待値と比較しテスト結果を一時保存する照合部によって構成される。このうち、波形生成部、IO 部を IO ごとにモジュール化することで拡張性を高めている。

2.2 システムの主な構成要素

2.2.1 クロック生成部

クロック生成部は Xilinx 社製 FPGA の 7 シリーズデバイスに搭載されている MMCM (mixed mode clock manager)

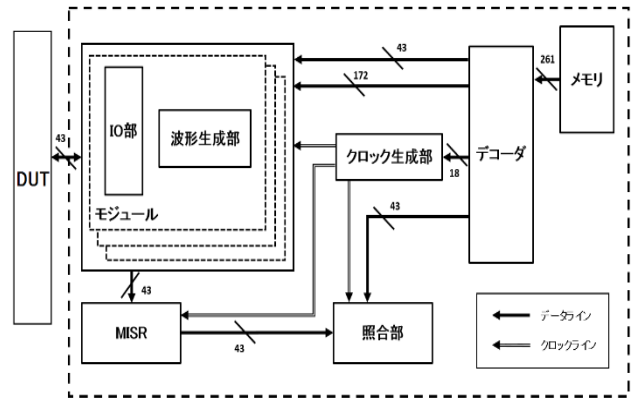


図 1 LSI テストシステムの構成図

機能及び複数のプログラマブル遅延素子を用いて構成される。MMCM 機能は分数の分周比や通倍比を設定できることが最大の特徴であり、任意の位相シフト、デューティサイクルでクロックを出力できる。クロック生成部では基準となる 100MHz のクロック、デコーダより送信される遅延クロックの指示値及びストローブタイミングの指示値、制御用のステート信号を入力して、400MHz のシステムクロック、遅延クロック、ストローブタイミングを生成する。遅延クロックは、0~2418ps まで 78ps 刻みで可変させることができる。また、生成した遅延クロックは波形生成部へ、ストローブタイミングは MISR へ、システムクロックは波形生成部、MISR、照合部へ送られる。

2.2.2 デコーダ

デコーダは 2 システムクロックで動作し、メモリから送られたテスト命令が印加波形のセット、リセットにそれぞれ 1 システムクロックを用いている。そして、3 ステージのパイプライン処理でテスト命令のデコードを行う。デコードされたテスト命令は、テストパターン命令とテスト条件命令に分割される。また、入出力設定、遅延とストローブのタイミングや遅延選択信号などのテスト条件命令は、内部のレジスタに格納され、テストの繰り返しごとに条件命令に従い遅延クロックの指示値及びストローブタイミングの指示値を増減させる。

2.2.3 波形生成部

波形生成部では、システムクロック及び遅延クロックの立ち上がりエッジを検出回路で検出し、出力論理値と遅延選択信号を組み合わせることで印加波形を生成する。表 1 に遅延選択信号による使用クロックの選択を示す。

[†] 東海大学大学院工学研究科情報理工学専攻,
Graduate School of Tokai University
[‡] 東海大学情報教育センター, Tokai University ICT
Education Center

表 1 遅延選択信号による使用クロックの選択

| 遅延選択 信号 | システムクロック | | 遅延クロック | |
|------------|----------|---|--------|---|
| | ↑ | ↓ | ↑ | ↓ |
| 00 | ○ | ○ | | |
| 01 | ○ | | | ○ |
| 10 | | ○ | ○ | |
| 11 | ○ | ○ | | |

2.3 論理合成結果

図 2 に FPGA の論理合成後リソース使用率を示す。上から順に LUT(look up table)、LUTRAM、FF(flip flop)、IO、BUFG(global clock buffer)、MMCM のリソース使用率を示している。使用可能な IO 数が 210 ピンに対して、49 ピン使用していることから 23%となっている。

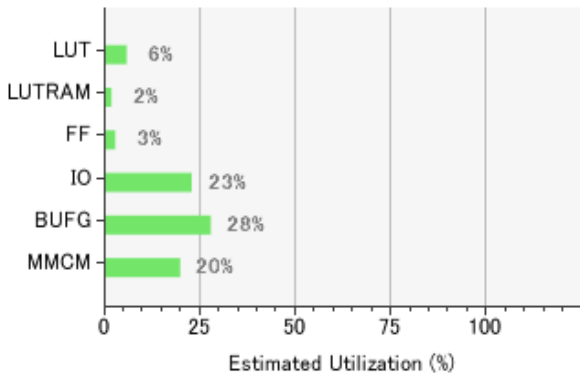


図 2 FPGA の論理合成後リソース使用率

3. システムの評価

提案した LSI テストシステムをシミュレーションにより評価を行った。開発環境は Xilinx 社の Vivado Design Suite 2015.3、開発言語として VerilogHDL を使用した。シミュレーションは、Xilinx 社が提供する Vivado simulator の Behavioral Simulation で行った。DUT としては、ISCAS'85[6]の c432(27-channel interrupt controller)をシミュレーション上で LSI テストシステムと接続した。ATPG(automatic test pattern generator)で生成した決定論的テストパターンを使用し、タイミングテスト及びファンクションテストを行った。タイミングテストのシミュレーション条件を表 2 に、結果を図 3 に示す。図 3 の各信号は、Dut_io が DUT への入出力、sig_result は応答値の圧縮結果、exp_value は圧縮結果の期待値、result は圧縮された応答値と期待値の比較結果、test_count がテストの実施回数を示す。test_count が 4 の時点でテスト結果が FAIL を検出している。これは、ストローブタイミングの遅延量が 16 に対して、遅延クロックの刻み幅が 5 であるため、4 回目のテストの際に Dut_io の立ち上がりはストローブタイミングよりも遅くなってしまったため、テスト結果が FAIL となった。また、ファンクションテストに関しては応答値と期待値が一致した。よって、LSI テストシステムは DUT のファンクションテスト及びタイミングテストを実施可能であることを確認した。

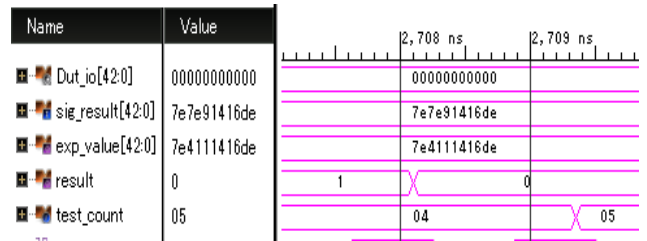


図 3 タイミングテストのシミュレーション結果

表 2 タイミングテストのシミュレーション条件

| | |
|------------------|---------------------------------|
| テスト回数 | 11 |
| 遅延クロックの初期値 | 0 |
| 遅延クロックの刻み幅 | +5 |
| ストローブタイミングの初期値 | 16 |
| ストローブタイミングの刻み幅 | 0 |
| 圧縮結果の期待値 | 7e4111416de (16 進数) |
| 入力ピン | 6~0 番ピン |
| 出力ピン | 42~7 番ピン |
| マスク設定 | 出力ピンを全てマスク(1), 入力ピンはマスクしない(0) |
| 遅延対象設定 遅延選択信号 | 42 番ピンの立ち上がりのみ 遅延クロックを使用(10) |

4. おわりに

本論文では、安価かつタイミング的に自由度のある LSI テストシステムについてシミュレーション上で評価を行った。その結果、LSI テストシステムが DUT に対してタイミングテスト及びファンクションテストを実施できることが確認できた。今後の展望として FPGA へ実装し、実際にテストを実施評価する。また、配置配線の最適化やキャリブレーション機能の実装をすることで、より高精度なテスト実施を目指す。

参考文献

- [1] 吉成朝雄, 荻原帆斗, 松埜智, 浅川毅, “LSI 機能テスト向けプロセッサの開発”, 情報科学技術フォーラム講演論文集 13(1), 183-188(2014-08-09)
- [2] 渡辺宏, 滝沢知, 池田達治, “出力電流測定による故障検出手法の開発”, 日本信頼性学会誌: 信頼性 26(4), 271-276 (2004-06-01).
- [3] 丹野雅明, 久慈憲夫, 竹田忠雄, 中村信二, “故障解析用 LSI テストシステム”, 電子情報通信学会技術研究報告.R: 信頼性 96(574), 27-32, 1997-03-14
- [4] 浅川毅, 松埜智, 土屋秀和, 関達也, 熊澤 慎一, “テスト命令に基づく DDR3 メモリモジュールテストの開発”, 電子情報通信学会論文誌.D, 情報・システム J95-D(4), pp. 928-939, Apr. 2012 年.
- [5] 佐藤正幸, 大塚信行, 武藤治, 新井雅之, 福本聡, 岩崎一彦, 上原孝二, 志水勲, 間明田治佳, “低消費電力基板型再構成テストの開発”, 信学論(D-I), Vol.J88-D-I, No.6, pp 1065 - 1075, June 2005.
- [6] Daved Bryan, MCNC, “The ISCA'85 benchmark circuits and netlist format”, Digital Design & Dependability Research Group