

FPGA を用いた LSI の DC テストに関する研究 Study on DC testing of LSI using FPGA

高木 貴弘[†]
Yoshihiro TAKAGI

土屋 秀和[‡]
Hidekazu TSUCHIYA

浅川 毅[†]
Takeshi ASAKAWA

1. はじめに

近年、半導体製造技術の発展に伴い、動作速度をはじめとした性能も向上を続けている[1]。LSI のテストを行うためには、LSI テスタが LSI 以上の性能を有している必要がある[2]。しかし、LSI テスタは非常に高価であり、LSI の性能向上にあわせて更新していくことは、LSI ユーザーにとって莫大なコストが掛かり現実的ではない。この課題に対する解決手法として、BIST(Build-in Self-Test)や BOST(Build-out Self-Test)を用い、測定対象の LSI である DUT のテストを行う手法が提案されている[3]。また、特定の対象に特化することで、コストを削減する方法も提案されている[4]。そこで、本研究では LSI テスタの DC テストにおける閾値電圧の測定を行うテスト項目に着目し、FPGA を使用した低コスト LSI テストシステムを提案する。

2. DC テストシステムの概要

2.1 DC テストについて

DC テストとは、テスト対象の LSI(DUT: device under test)に対して、電源電圧、入力電圧を変化させながら入力を行い、出力信号の測定を行うことで、LSI の電気的特性の測定を行うテスト項目である。本システムは、LSI に対する入力電圧の閾値を計測する VIH/VIL テストと、出力電圧の計測を行う VOH/VOL テストを可能としている。

2.2 システムの構成

本システムは、ソフトウェア部とハードウェア部から構成されている。ソフトウェア部は、FPGA 内部に搭載されている ARM アーキテクチャを中心に、HDL で記述されたロジックを接続し構成した。ソフトウェア部は、ハードウェア部の制御を行い、DC テストの制御を行う。ハードウェア部は、アナログ回路から構成されており、DUT に対する電源電圧、入力電圧の制御を行う 2 つの DAC と、DUT からの出力電圧のテストを行うための DAC とコンパレータで構成した。ハードウェア部を構成する IC を Table 1 に示す。

Table 1 ICs of the hardware part

Function	Product : Manufacturer	Features
DAC	AD557 : Analog Devices	8bit
DAC	DAC0800 : TEXAS INSTRUMENTS	8bit
OP-amp	UA741 : TEXAS INSTRUMENTS	I _{cc} = 3.3mA
Comparator	NJM2403D : JRC	t _R = 1.5μs

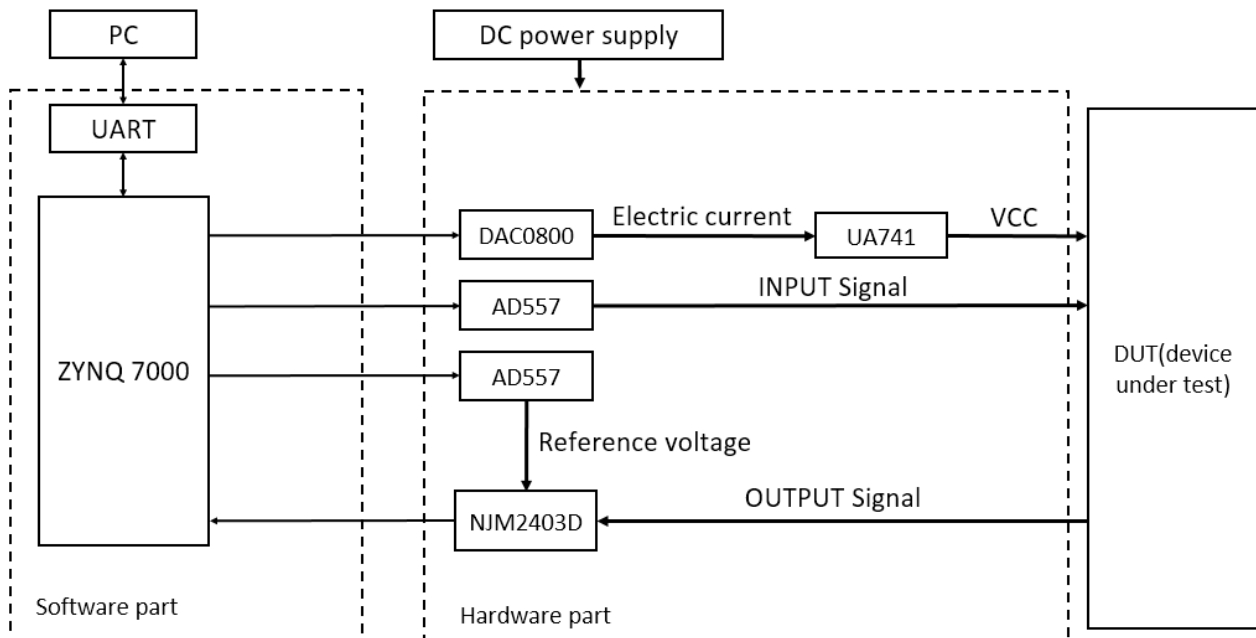


Fig. 1 System Structure

[†] 東海大学大学院工学研究科 Tokai university

[‡] 東海大学情報センター Tokai university ICT Education Center

2.2.1 システムの概要

本研究は開発環境として Xilinx 社製 Vivado 2015.2、Xilinx SDK 2015.2、対象の FPGA ボードは Digilent 社製 FPGA ボード ZYBO (ZYNQ XC7Z010-1CLG400C) を使用している。システム全体の概略図を Fig.1 に示す。

3. 評価

3.1 評価方法

テスト命令は FPGA 内部のメモリに格納し、テスト時に読み出して使用している。テスト結果は、UART を使用し、FPGA ボードから PC に送信を行い、PC 上のソフトウェアを用いて shmoo plot 形式でグラフ化を行った。DUT は、Hitachi Semiconductor 社製 HD74LS161A を使用した。また、本システムは山田電音社製 LSI テスタ FTOR-μ5-LIGHT[5] と比較を行い、測定結果の妥当性の検証を行った。

3.2 評価結果

テスト結果の shmoo plot を Fig.2、Fig.3 に示す。Shmoo plot は、それぞれ本システム、FTOR-μ5-LIGHT の VIL のテスト結果であり、`が PASS、*が FAIL を示す。グラ

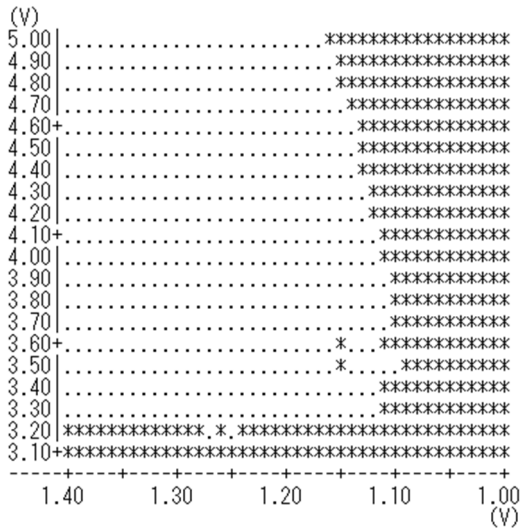


Fig. 2 VIL shmoo plot @ Developed System

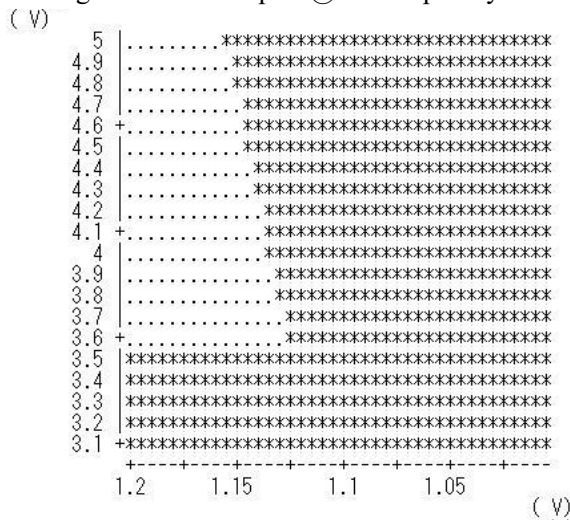


Fig. 3 VIL shmoo plot @ FTOR-μ5-LIGHT

フの縦軸は、DUT に印加されている電源電圧を表し、横軸は DUT に対する入力電圧を表す。Fig.2、Fig.3 の shmoo plot を比較すると、ほぼ同一の結果が得られていることが確認できた。Fig.2 で観測された信号の乱れは、DAC の信号ノイズが原因と考えられる。Table 2 に VIH/VIL および VOH/VOL の評価結果と DUT のデータシート値[6]を示す。

Table 2 HD74LS161A DC Characteristics (VCC=5V, Ta =25°C)

	Datasheet	FTOR-μ5-LIGHT	Developed System
VIH min	2.00V	1.15V	1.15V
VIL max	0.80V	1.15V	1.15V
VOH min	2.70V	3.25V	-
VOL max	0.50V	0.20V	0.16V

4. おわりに

本研究では、LSI の DC テストを行うことの可能な低コストシステムを開発し、既存の LSI テスタとの比較を行った。評価の結果、本システムは既存の LSI テスタと同等の性能を示した。今後の展望として、テストプログラム作成の簡略化やハードウェア部のノイズの低減を行い、より高性能な評価を行っていく。

謝辞

評価、回路作成において助言を賜りました竹林裕紀様、手塚雄大様、柴田翔様に感謝の意を表します。

参考文献

[1] LEE Kangwook , Takafumi FUKUSHIMA, Testsu TANAKA, Mitsumasa KOYANAGI “Overview of 3D Integration Technology and Challenges for Volume Production” IEICE. ICD, Integrated Circuit, 112(324), 15-22, 2012-11-20.

[2] Manoj Sachdev, “Defect Oriented Testing for CMOS Analog and Digital Circuit”, Springer Science+Business Media Dordrecht, 1999.

[3] Susumu HIRANO, Tatsuya KOBAYASHI, Koji TSUTSUMI, Keitaro YAMAGISHI, Noriyuki MINEGISHI, “Design for Testability of Mixed Signal LSI for Optical Communications” Proceedings of the 2011 IEICE General Conference Electronics(2), pp. S-28, Feb, 2011.

[4] Takeshi Asakawa , Satoshi MATSUNO , Hidekazu TSUCHIYA , Tatsuya SEKI , Shinichi KUMAZAWA “The Development of the DDR3 Memory Module Tester Based on Testing Instruction” Proceedings of the 2012 IEICE General Conference Electronics,J95-D(4), pp. 928-939, Apr, 2012.

[5] Yamadadenon , “Ftor-μ5-LIGHT システム仕様書 (第 2 版) ”

[6] Hitachi Semiconductor , “HD74LS161A Synchronous 4-bit Binary Counter Product Specification”